

## BIST 向け検査点挿入方式の FF 共用に関する考察

中尾 教伸\* 小林 誠治\* 畠山 一実\*  
飯島 一彦\*\* 寺田 聖二\*\*\*

\* (株)日立製作所 日立研究所, 茨城県日立市大みか町七丁目 1 番 1 号

\*\* (株)日立製作所 汎用コンピュータ事業部, 神奈川県秦野市堀山下 1 番地

\*\*\* (株)日立ビジネスソリューション, 神奈川県秦野市堀山下 1 番地

Email : nakao@hrl.hitachi.co.jp

あらまし 本稿では, 検査点挿入方式の面積オーバーヘッドを低減するために, 検査点に使われるフリップフロップ (TP 用 FF) の共用方法について考察する. 制御点に関しては, 可制御性に影響がある領域が互いに交わらない複数の制御点の TP 用 FF を共用するとともに, 相関のある制御点についても効果的な場合のみ TP 用 FF を共用する. 観測点に関して, 可観測性に影響がある領域が互いに交わらない複数の観測点に対し, EOR や AND, OR ゲート等の圧縮回路を通して TP 用 FF を共用する. この圧縮回路を観測点における可制御性によって選択するのが特徴である. また, 観測点, 制御点ともに, 通常論理に使われる FF と TP 用 FF を共用することで, 面積オーバーヘッドを大幅に削減する方法について述べる. 提案した方法の有効性を確認するため, 実用回路を用いた実験結果を示す.

キーワード 検査点, BIST, FF 共用, 可制御性, 可観測性, 圧縮回路

## On Flip-flop Sharing in Test Point Insertion for Scan-Based BIST

Michinobu NAKAO\* Seiji KOBAYASHI\* Kazumi HATAYAMA\*  
Kazuhiko Iijima\*\* Seiji Terada\*\*\*

\* Hitachi Research Laboratory, Hitachi, Ltd.

\*\* General Purpose Computer Division, Hitachi, Ltd.

\*\*\* Hitachi Business Solution, Ltd.

Email : nakao@hrl.hitachi.co.jp

Abstract This paper presents a flip-flop (FF) sharing technique to reduce the area overhead by test point insertion for circuits designed by full-scan based BIST scheme. FFs of independent control points are shared, and there exist the efficient cases for FF sharing of dependent control points. FFs of independent observation points are shared through compactors such that EOR, AND and OR gate. The key is selection of compactors in according to controllability of the signals to be inserted observation points. Also, a technique for sharing FFs in normal logic and FFs using as test points are introduced. We evaluate efficiency of the proposed method by experimental results.

key words Test point, BIST, FF Sharing, Controllability, Observability, Compactor

## 1. まえがき

LSIの高集積化に伴い、高品質なテストを設計することが難しくなっている。その原因の1つにテストデータ量（あるいはテストパターン数）の増大が挙げられる。この問題を解決する技術として、擬似乱数パターン生成器とパターン圧縮器をLSIに内蔵したBIST (Built-In Self-Test, 組込み自己テスト)方式が注目されている[1]。ただし、乱数パターンによるテストであるため、高い故障検出率を得るには非常に多くのパターン数が必要となる。これを改善する方法の1つが、検査点挿入 (Test Point Insertion, TPI)方式[2]-[11]である。これは、回路中に可制御性を向上させる制御点や可観測性を向上させる観測点を挿入することにより、テストバリエーションを改善する方法であり、乱数パターンテストのパターン数削減、故障検出率向上に大きな効果がある。

TPI方式で、検査点の挿入位置や型を指摘する処理方法として、故障シミュレーションに基づく方法[2][3]、COP[12]と呼ばれる確率的な尺度に基づき回路全体のテストバリエーションを表すコスト関数を最小化する方法[4]、故障の活性化に基づく方法[5]などが提案されている。さらに、上記のコスト関数最小化の方法で、大規模回路に対応するため処理時間を短縮する方法[6][7]が研究されている。

TPI方式を実用化するためには、主に2つの課題がある。一つは遅延オーバーヘッドの問題で、動作性能への悪影響は受け入れ難い。この問題に対し、検査点指摘処理の中で遅延を計算することで遅延の厳しいパスへのTPIを避ける方法[8]や、検査点の回路を工夫した方法[9]、制御点を特定のセルの置換に限定した方法（セル置換限定手法）[10]が提案されている。

もう一つの課題は、TPIで挿入される回路や配線による面積オーバーヘッドである。回路面積の増加は、LSI製造コストの増加を招く。この問題に対するアプローチの多くは、検査点数を少なくするよう検査点指摘アルゴリズムを改良するもので、我々も故障検出率を反映したコスト関数による最適化方法を提案した[10]。一方で、検査点を共用することで面積オーバーヘッドを低減する方法[9][11]が提案されている。

特に文献[9]では、検査点の共用について詳し

く論じている。制御点に関しては、可制御性に影響がある領域が互いに交わらない複数の制御点に対し、それぞれの制御用信号に接続する外部入力を共用し、さらに通常論理の外部入力とも共用できることを示唆している。観測点に関しては、複数の観測点に対し観測に必要な「スキャン機能付きフリップフロップ」（以下では単に「FF」と略す）をセレクタを通して共用する。ただし、セレクタを制御する信号線が必要になることや、共用した観測点を同時に観測できないことによるテスト時間の増加等の問題を指摘している。

我々のTPI方式では、1つの制御点あるいは観測点に対し、原則として1つのFF（「TP用FF」と呼ぶ）を挿入することを前提とする。外部入力、外部出力を利用しない理由は、LSIの外部端子数やテストの端子数に対する制約が厳しいこと、BISTで乱数を発生させるにはFFが適していることが挙げられる。この前提におけるTPI方式では、面積オーバーヘッドの大部分がTP用FFに関連するセルや配線となるため、TP用FF数の削減が必要となる。

本稿では、TPI方式の面積オーバーヘッドを低減するために、TP用FFの共用方法について考察する。制御点に関して、まず分類された制御点間の関係毎にTP用FF共用の性質を調べる。文献[9]と同様な、可制御性に影響がある領域が互いに交わらない複数の制御点のTP用FFを共用するとともに、相関のある制御点についても効果的な場合のみTP用FFを共用する。観測点に関して、可観測性に影響がある領域が互いに交わらない複数の観測点に対し、EORやAND、OR等の圧縮回路を通してTP用FFを共用する。この圧縮回路を観測点における可制御性によって選択するのが特徴である。また、観測点、制御点ともに、通常論理に使われるFFとTP用FFを共用することで、面積オーバーヘッドを大幅に小さくできる方法について述べる。そして、提案した方法の有効性を確認するため、実用回路を用いた実験結果を示す。

## 2. TPI方式に関する諸定義

TPI方式とは、論理回路のテストバリエーションを改善するために検査点を挿入する技術である。図1に検査点の回路例を示す。(b)は1制御点、

(c)は0制御点, (d)は観測点の例で, それぞれ, 信号線BとCの1-可制御性, 0-可制御性, 信号線Aの可観測性を向上する効果がある. なお制御点の場合, 通常動作時には, 元の回路論理を変えないようにTP用FFから入力する論理値を固定する必要がある, その論理値は挿入した組合せゲートの non-controlling value (NCV), すなわち(b)では0, (c)では1である.

なお, 本稿では信号線の可制御性, 可観測性という語句を, 乱数パターンが入力されたときの論理値の出現する確率, 観測できる確率の意味で用いる. COP[12]がその例だが, 再収斂が考慮されていないことを注意しておく. 以下では, 特に断らない限り, 信号線Aの1可制御性を $C_A$ , 可観測性を $O_A$ のように表記することにする.

図2に, TPIによる回路全体におけるテストバリエーションの影響領域を示した. (a)の制御点の場合, 挿入点から信号が伝搬する出力側の領域 (Ct1-up) では可制御性が向上 (1-可制御性, 0-可制御性が平均化) し, その影響で可制御性が変化した信号線から入力側の領域 (Obs-chg) で可観測性が変化する. 一方, (b)の観測点の場合, 挿入位置へ信号が伝播する入力側の領域 (Obs-up) で可観測性が向上する.

図3を用いて, 2つの検査点の相関関係を定義する. まず, 制御点に関しては, (a)のように, 可制御性が向上する領域が重なるとき「強相関」, 可制御性が向上する領域は重ならないが可観測性が変化する領域が重なるとき「弱相関」, 可制御性・可観測性が変化する領域が重なるとき「独立」と呼ぶことにする. 観測点に関しては, (b)のように, 可観測性が向上する領域が重なるとき「強相関」, 重なるとき「独立」と呼ぶことにする. 観測点の場合には弱相関を定義しない.

### 3. TP用FFの共用方法

複数のTP用FFを共用して, TP用FFの総数を削減する方法を考察する. 制御点, 観測点それぞれについて, 相関関係の種類毎にTP用FF共用の性質を調べ, 我々が採用するTP用FF共用方法を述べる. そして, 通常論理で使われるFFとTP用FFとの共用方法に触れる.

#### 3.1 制御点のTP用FF共用

制御点のTP用FF共用とは, 複数の制御点の

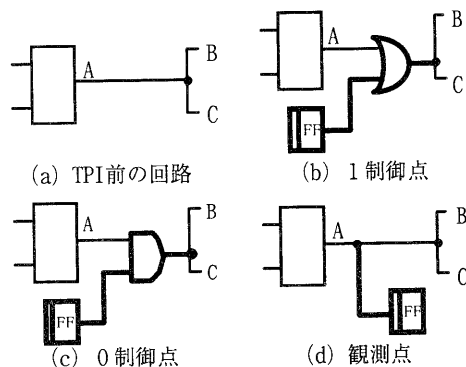


図1 検査点の回路例

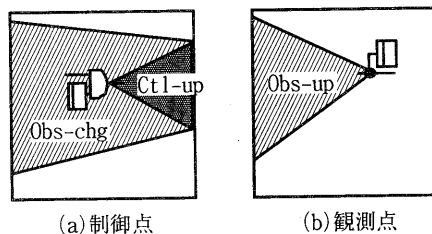


図2 検査点の影響領域

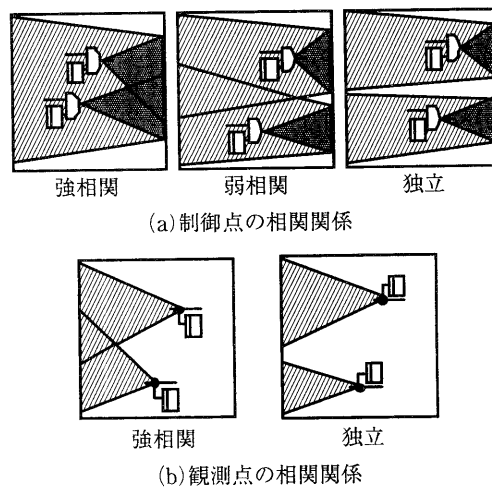


図3 2つの検査点の相関関係

制御入力線を1つのTP用FFから配線することをいう. まず, 図4で, 制御点のTP用FF共用に関する簡単な定義を行う. (a)で示す制御点 $TP_1, TP_2, TP_3$ のTP用FF共用が, (b)のように, 挿入した組合せゲートのNCVとなる論理値が同時に設定できるとき, 「NCV保存」と呼ぶ. そうでないとき, そのTP用FF共用が「NCV非保存」と呼ぶ. ((c)参照)

制御点の TP 用 FF 共用に関して、次の性質が成り立つ。

(性質 1) NCV 保存ならば、TPI 前に検出可能な単一縮退故障は TPI 後も検出可能である。

(性質 2) 強相関の制御点の TP 用 FF 共用が NCV 非保存ならば、TPI 前に検出可能な単一縮退故障が TPI 後に冗長になる場合がある。

(性質 3) 強相関及び弱相関の制御点の TP 用 FF 共用によりテストバリエーションが向上する場合と悪化する場合がある。

(性質 4) 弱相関の制御点の TP 用 FF 共用で、変化するのは可観測性のみで、可観測性が悪化する場合でも下限が存在する。

(性質 5) 独立な制御点の TP 用 FF 共用では、テストバリエーションは変化しない。

性質 1 は、共用された TP 用 FF に NCV の論理値が設定されれば、TPI 前と同じ回路状態になるため、明らかである。性質 2 は、その例を図 5 に示した。(a)では信号線  $f$  上の 0 縮退故障は活性化可能だが、検査点  $TP_A$ 、 $TP_B$  を挿入しそれらの TP 用 FF を NCV 非保存となるように共用すると、全入力の組合せに対し信号線  $f$  は論理値 0 となるため、 $f$  上の 0 縮退故障は冗長となる。

性質 3 に関して、局所的にテストバリエーションが向上する例としては、図 6(a)がある。図 6(a)は複数の制御点の出力線が同一のゲートに入力する場合で、それらの TP 用 FF を共用する。このとき、収斂する NAND ゲートの出力線の 0 可制御性を考えると、TPI 前、TPI 後、TP 用 FF 共用の回路の順で大きくなる。ただし、回路全体のテストバリエーションに関しては、多くの場合で TP 用 FF 共用により向上すると考えられるが、図 6(a)の出力先の回路によってはテストバリエーションが悪化することもありうる。

性質 4 の証明はここでは省略する。性質 5 は明らかである。

以上の性質と、セル置換限定手法[10]による制御点挿入を意識して、我々が採用する制御点の TP 用 FF 共用方法を、図 6 にまとめる。

図 6(a)(b)は、強相関の制御点の TP 用 FF 共用であるが、それによるテストバリエーションの悪化は小さいと考えられること、セル置換限定手法で類出すると予想されることから採用した。なお、どちらの TP 用 FF 共用も NCV 保存を満たすように構成する。(a)の「同一出力制御点」の回

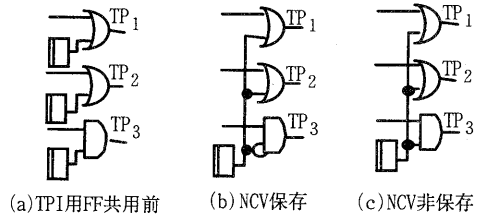


図 4 TP 用 FF 共用の NCV 保存

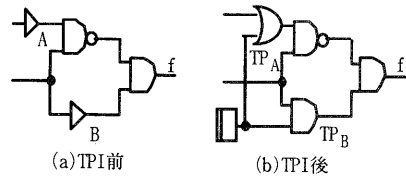
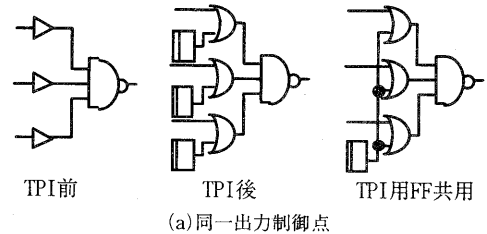
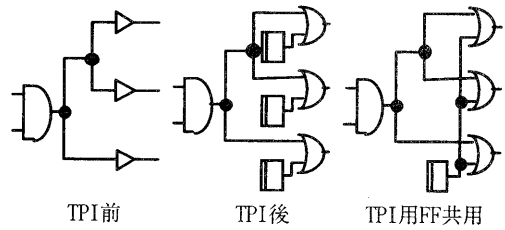


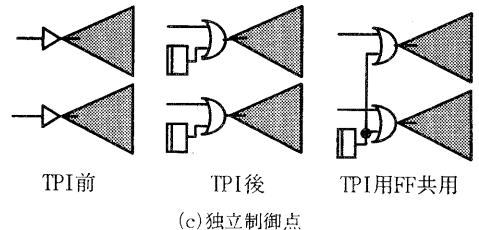
図 5 強相関である制御点の TP 用 FF 共用例



(a) 同一出力制御点



(b) 同一入力制御点



(c) 独立制御点

図 6 採用した制御点の TP 用 FF 共用方法

路例では、置換型の制御点に限定されており、NAND ゲートの出力線には制御点を挿入できないが、その入力線に接続される BUF ゲートは OR ゲートに置換可能な場合を想定している。なお、

TP用FF共用後のTPIの効果は、NANDゲートの出力線に0制御点を挿入した場合と同じであることから、検査点指摘処理でもそれを考慮する必要がある。(b)の「同一入力制御点」は複数の制御点が等価な信号に挿入される場合である。図の回路例では、置換型の制御点に限定されており、ANDゲートの出力線には制御点を挿入できないが、その出力線から分岐するBUFゲートはORゲートに置換可能な場合を想定している。この場合も、TP用FF共用後のTPIの効果は、分岐元のANDゲートの出力線に1制御点を挿入した場合と同じであることから、検査点指摘処理でもそれを考慮する必要がある。

(c)の「独立制御点」は、弱相関あるいは独立な複数の制御点のTP用FF共用である。この方法は文献[9]でも採用されている。

### 3.2 観測点用に関するTP用FF共用

観測点のTP用FF共用とは、複数の観測点に対し、観測用FFへの信号線を「圧縮回路」(Compactor)と呼ぶ多入力1出力の組合せ回路で収斂しFFに接続することをいう。図7は、信号線A,Bへの観測点に対し、TP用FFを共用した例である。

観測点のTP用FF共用に関して、次の性質が成り立つ。

(性質1) 強相関の観測点のTP用FF共用は、TPI前のテストバリエーションと同じになる(TPIの効果がない)場合がある。

(性質2) 独立な観測点のTP用FF共用で、圧縮回路としてEORゲートを用いた場合は、テストバリエーションは変化しない。圧縮回路としてAND,ORゲートを用いた場合は、観測点*i*上でNCVとなる可制御性を $C_i$ とすると、TP用FF共用後の可観測性は $O_i = \prod_{j \neq i} C_j$ となる。

性質1に関して、その例を図9を示した。回路(b)は、回路(a)中の信号線A,Bに観測点を挿入し、EORゲートを通してTP用FFを共用している。この回路例では、領域 $R_A$ あるいは $R_B$ 内の故障を検出するには、信号線A,Bに同じ故障信号が伝搬する必要がある。しかし、これらの信号をEORゲートで圧縮するため、故障信号が消失してしまう。よって、領域 $R_A, R_B$ 内の故障は挿入された観測点により検出されない。このような性質1の例は、圧縮回路がAND,ORゲートの場

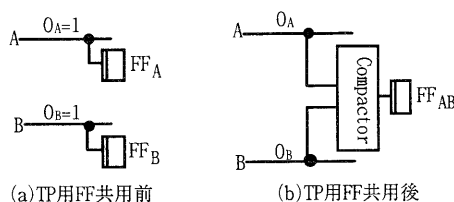


図7 観測点のTP用FF共用

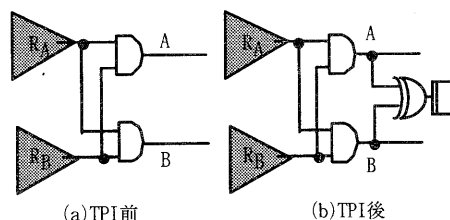


図8 強相関である観測点のTP用FF共用例

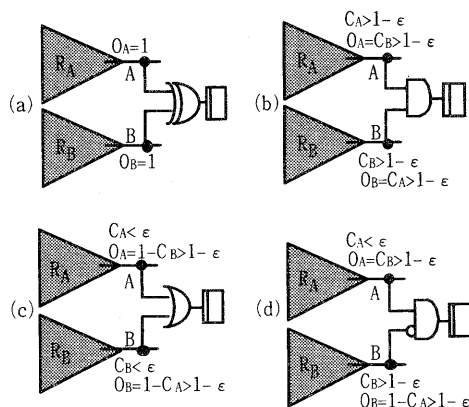


図9 独立な観測点のTP用FF共用

合にも同様に存在する。

性質2に関して、図9を用いて説明する。図9は、信号線A,Bへの観測点が独立であるときにTP用FFを共用した例である。(a)は、圧縮回路としてEORゲートを用いた例である。単一縮退故障モデルを仮定すれば、信号線A,Bに同時に故障信号は伝搬することはない。よって、TP用FF共用後の可観測性は、 $O_A=O_B=1$ である。よって、TPIの効果はTP用FF共用の有無によらず、同等である。(b)は、圧縮回路としてANDゲートを用いた例である。このとき、TP用FF共用後の観測点における可観測性は、他方の観測点上でNCVとなる可制御性、すなわち1可制御性であり、 $O_A=C_B, O_B=C_A$ となる。なお、ANDゲートの代わりにNANDゲートを用いても全く同様である。

(c), (d)も同様で、圧縮回路に応じてNCVが変わるのみである。(c)では、 $O_A=1-C_B$ ,  $O_B=1-C_A$ となり、(d)では、 $O_A=C_B$ ,  $O_B=1-C_A$ となる。よって、(b)~(d)のように圧縮回路がAND, OR ゲートの場合は、TP用FF共用により、TPIの効果は観測点の可制御性に依りて落ちる。

以上の性質と、圧縮回路のサイズ(図9において(b)=(c)<(d)<(a)を仮定)を考慮して、我々が採用する観測点のTP用FF共用を次の手順で求めることにする。

- (1) 観測点における1可制御性が大きく( $>1-\epsilon$ )、独立な観測点のグループを、圧縮回路ANDを用いてTP用FFを共用。(図9(b))
- (2) 観測点における1可制御性が小さく( $<\epsilon$ )、独立な観測点のグループを、圧縮回路ORを用いてTP用FFを共用。(図9(c))
- (3) 観測点における1可制御性の大小が混在した独立な観測点のグループを、圧縮回路ANDとINVを用いてTP用FFを共用。(図9(d))
- (4) 上記に該当しない独立な観測点のグループを、圧縮回路EORを用いてTP用FFを共用。(図9(a))

この手順の特徴は、観測点を挿入した信号線の可制御性が論理値0,あるいは1のどちらかに偏っているかに依りて、圧縮回路を選択することである。以上を「独立観測点」のTP用FF共用と呼ぶ。なお、(1)~(3)ではTP用FFの共用によりTPI効果が落ちることを抑えるため、 $\epsilon$ の適切な設定(0.1程度)と、共用化する1グループの観測点数を制限することが必要となる。

### 3.3 通常論理用FFとの共用

独立制御点、独立観測点のTP用FF共用のアイデアを発展させ、さらに通常動作で使われるFF(「通常論理FF」と呼ぶ)と共用することにより、TP用FFを削減する方法を図10に示す。

(a)(b)は、制御点のTP用FFを通常論理FFと共用する方法を示している。独立または弱相関である複数の制御点に対し、いずれかの制御点により可制御性あるいは可観測性が変化する領域に含まれない、入力としての通常論理FFを選び、その出力信号線から分岐して各制御点の制御入力線として利用する。なお、通常動作時には、制御点に通常論理FFの信号値が伝播しないように制御するため、TESTモード信号線(通常

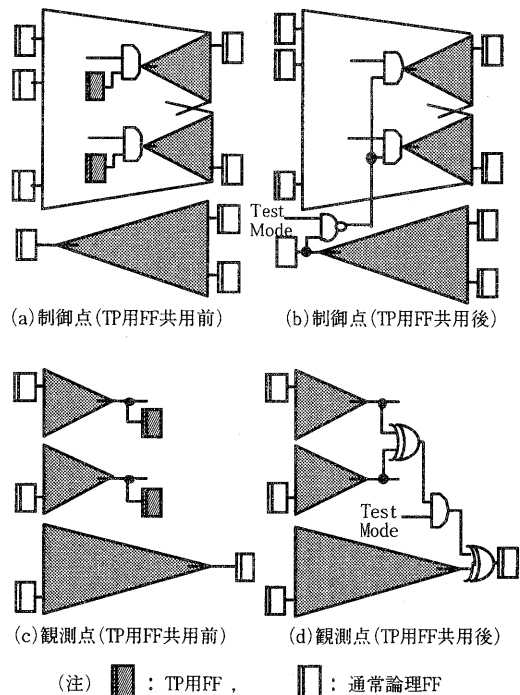


図10 TP用FFと通常論理FFとの共用方法

動作時0)でマスクする必要がある。また、TPIの効果を用有無で比較すると、3.1節の性質4で述べた場合があるものの、ほぼ同等といえる。

(c)(d)は、観測点のTP用FFを通常論理FFと共用する方法を示している。独立である複数の観測点に対し、いずれかの観測点により可観測性が向上する領域に含まれない、出力としての通常論理FFを選び、各観測点の信号値と通常論理FFに入る信号値を圧縮回路(EORゲート等)で圧縮し、その通常論理FFで観測する。なお、通常動作時には、観測点の信号値が通常論理FFに伝播しないように制御するため、TESTモード信号線でマスクする必要がある。また、TPIの効果は共用の有無によらず、同等である。

ただし、通常論理FFをTP用FFと共用する上記の方法には、TESTモード信号線を配線するオーバーヘッドの問題と、TESTモード信号線がTESTモードを表す論理値に縮退する故障を検出できないという問題がある。前者は、他のテスト方法の実現のためにTESTモード信号線を配線する場合は、それを利用することが考えられる。後者に関しては、テスト時にTESTモードに

表 1 実験結果

回路	ゲート数(k)	TPI ゲート比(%)	BIST 故障 検出率(%)	検査点数			TP用FF削減数											
							全体			制御点				観測点				
				計	制御点	観測点	削減率(%)	同一出力	同一入力	独立	計	削減率(%)	AND	OR	AND NOT	EOR	計	削減率(%)
A	119	0.0	93.93															
		0.2	99.32	237	108	129	34.6	1	33	17	51	47.2	16	2	12	1	31	24.0
		0.4	99.50	475	242	233	40.0	7	72	47	126	52.1	27	2	17	18	64	27.5
B	120	0.0	85.52															
		0.2	94.29	236	62	174	50.0	0	4	41	45	72.6	9	0	0	64	73	42.0
		0.4	97.50	473	87	386	57.5	0	7	51	58	66.7	29	1	6	178	214	55.4
C	117	0.0	94.34															
		0.2	98.82	233	107	126	63.9	0	59	13	72	67.3	25	6	11	35	77	61.1
		0.4	99.30	467	210	257	55.7	0	97	27	124	59.0	40	10	21	65	136	52.9
D	171	0.0	84.47															
		0.2	97.21	341	50	291	29.6	0	20	3	23	46.0	73	0	2	3	78	26.8
		0.4	98.56	683	160	523	42.2	0	65	23	88	55.0	100	35	23	42	200	38.2
E	147	0.0	94.63															
		0.2	97.87	288	66	222	64.2	0	12	18	30	45.5	53	0	6	96	155	69.8
		0.4	98.62	558	172	386	61.1	1	30	71	102	59.3	61	15	10	153	239	61.9
平均							49.9					57.1						46.0

(注)BIST故障検出率は、線形フィードバックレジスタによる255kパターンの故障シミュレーションで計算し、冗長故障数は対象外とした。

与える信号値をかえるか、機能テストなど、TESTモードで動作しないようなテストを実施する必要がある。

#### 4. 実験結果

TP用FF共用方法の有効性を検証するため、実用回路5種(118~173kゲート)を用いて実験した。なお、回路はすべてフルスキャン設計されたと考え、組合せ回路として扱う。

表1に、TP用FF共用方法の実験結果を示す。TPI方式及び検査点指摘処理については、文献[11]と同様の方法を採用した。すなわち、制御点をBUFとINVに等価なセルの置換に限定し(セル置換限定手法)、観測点は全信号線挿入可能とする。TP用FFを共用するグループを指摘する処理に関しては、制御点に対し、同一出力制御点、同一入力制御点、独立制御点の3方法をこの順でTP用FFを共用化した。観測点に関しては、まず圧縮回路がAND, OR, AND-NOTゲート利用の独立観測点を求める。なお3.2節で述べたεを0.1に設定し、共用化する1グループの観測点数を2個と限

定した。さらに共用化されていない観測点に対し、圧縮回路がEORゲート利用の独立観測点を求めた。なお、共用する検査点は、配線オーバーヘッドを考慮して、同じ論理ブロック(5~10kゲート)内に限定した。各回路について、検査点数はゲート数に対し、0.2, 0.4%の2通り評価した。表中の「TP用FF削減数」は、共用により削減できたTP用FFの数であり、共用化したグループの検査点数から1減じた数を、全グループについて加えた数である。「全体削減率」は、FF削減数の検査点数に対する百分率である。

以下に、実験結果の考察を述べる。

まず、制御点のTP用FF削減数に関して、最も効果が大きいのは「同一入力制御点」であった。この理由は、制御点をセル置換型制御点に限定していること、実験に用いた回路では制御点置換対象のセルが分岐後にアンプ目的で存在することが多いためである。また、独立制御点の効果も十分にあることもわかる。制御点全体として、共用により平均で57%のTP用FFを削減しており、十分な効果があるといえる。

## 文 献

- [1] P. Bardel and W. McAnney, "Self-Testing of Multiple Chip Module," Proc. International Test Conference 82, pp200-204, 1982.
- [2] A.J. Briers and K.A.E. Totton, "Random Pattern Testability by Fast Fault Simulation," Proc. International Test Conference 86, pp.274-281, 1986.
- [3] V.S. Iyengar and D. Brand, "Synthesis of psuedo-random pattern testable designs," Proc. International Test Conference 89, pp.501-508, 1989.
- [4] B.Seiss, P.Trouborst and M.Schulz, "Test Point Insertion for Scan-Based BIST," Proc. 2nd European Test Conference, pp253-262, 1991.
- [5] N.A.Touba and E.J.McCluskey, "Test Point Insertion Based on Path Tracing," Proc. 14th VLSI Test Symposium, pp2-8, 1996.
- [6] H.-C. Tsai, K.-T. Cheng, C.-J. Lin and S. Bhawmik, "A Hybrid Algorithm for Test Point Selection for Scan-Based BIST," Proc. Design Automation Conference 97, pp.478-483, 1995.
- [7] M. Nakao, K. Hatayama and I. Higashi, "On Acceleration of Test Points Selection for Scan-Based BIST" IEICE Trans. on Information and Systems, Vol.E81-D, pp.668-674, 1998.
- [8] K.-T.Cheng and C.Lin, "Timing-Driven Test Point Insertion for Full-Scan and Partial-Scan BIST," Proc. International Test Conference 95, pp506-514, 1995.
- [9] M. Youssef, Y. Savaria and B. Kaminska, "Methodology for efficiently inserting and condensing test points," IEE Proc.-E, pp.154-160, 1993.
- [10] 中尾,小林,畠山,飯島,寺田, "BIST向け検査点挿入方式における遅延・面積オーバーヘッドの低減," 信学技報, FTS98-93, 1998.
- [11] 本原,藤原, "完全検出率達成のための検査容易化設計," 設計自動化研究会資料 19-3, 1983.
- [12] F.Brglez, "On Testability of Combinational Networks," Proc. 1984 IEEE International Symposium Circuits and Systems, pp221-225, 1984.

観測点の TP 用 FF 削減数に関して、回路によって効果が異なるものの、EOR 利用の独立観測点の効果が大きいといえる。AND, OR, AND-NOT ゲート利用の独立観測点の効果が劣る理由は、1つのグループを2個の観測点と限定したことが大きい。が、回路 B では観測点上の可制御性が偏っていない場合も多く見られた。観測点全体として、共用により平均で 46%の TP 用 FF を削減しており、十分な効果があるといえる。

全体の TP 用 FF 削減率は、約 50%であり、提案した方法の有効性を確認できた。

次に、3.3 節で示した通常論理 FF と TP 用 FF との共用に関する実験結果を、表 2 に示す。独立制御点と独立観測点の各グループに対し、TP 用 FF と共用可能な同一ブロック内の通常論理 FF の数を調べた。その結果、すべての場合で TP 用 FF と共用可能な通常論理 FF が同じブロック内に存在し、その数は多いことが分かった。よって、配線オーバーヘッド等を考慮して望ましい通常論理 FF を選択できると思われる。したがって、この方法を用いることで TPI 用の FF 数を大幅に削減できるため、TPI による回路面積オーバーヘッドをさらに低減することができると考えられる。

表 2 共用可能な通常論理 FF 数

回路	通常論理 FF 数	共用可能な通常論理 FF 数		
		Min	Max	平均
A	4.8k	6	211	69
B	6.0k	11	401	180
C	5.0k	15	68	29
D	9.4k	36	560	377
E	8.3k	20	609	270

## 5. むすび

本稿では、BIST 向け検査点挿入方式における面積オーバーヘッドを低減するために、検査点用 FF の共用方法について考察した。制御点に関しては、同一出力、同一入力の制御点、独立な制御点のグループに対し TP 用 FF を共用する。観測点に関しては、独立な観測点のグループに対し TP 用 FF を共用する。実用回路による評価の結果、TP 用 FF を 50%程度削減できることがわかり、提案方法の有効性を示した。

また、TEST モード信号線を配線し、通常論理 FF と TP 用 FF を共用することにより、さらに TP 用 FF の数を削減できることがわかった。