

ニューロンMOSによる対称関数回路の設計手法

青山 一生 澤田 宏 名古屋 彰 中島 和生[†]

NTT コミュニケーション科学基礎研究所
[†] University of Maryland

〒 619-0237 京都府相楽郡精華町光台 2-4
NTT コミュニケーション科学基礎研究所

Tel: 0774-93-5278, FAX: 0774-93-5285

Email: {issei,sawada,nagoya}@cslab.kecl.ntt.co.jp

あらまし

ニューロンMOSトランジスタにより構成された回路(ν MOS回路)、特に2段論理フィードフォワードにより任意の対称関数を実現する回路の体系的設計手法を提案する。 ν MOS回路の設計とは、入力ゲート容量値とフローティングゲート閾値電位の2つの変数を決定することである。本手法は、2つの変数の関係を定式化したことに特徴があり、任意の対称関数を生成する変数の存在を保証している。また、基準入力ゲート容量値とフローティングゲート閾値電位を定めれば、変数は一意に決まる。この特徴は、任意の対称関数を容易に生成することを可能にするため、 ν MOS回路の再構成可能デバイスの可変論理部への適用が期待できる。

キーワード ニューロンMOSトランジスタ、再構成可能デバイス、対称関数、回路設計

A Design Method for a Circuit with Neuron MOS Transistors Realizing Any Symmetric Function

Kazuo Aoyama, Hiroshi Sawada, Akira Nagoya and Kazuo Nakajima[†]

NTT Communication Science Laboratories
[†] University of Maryland

2-4, Hikoridai, Seika-cho, Soraku-gun, Kyoto 619-0237, Japan

Tel: 0774-93-5278, FAX: 0774-93-5285

Email: {issei,sawada,nagoya}@cslab.kecl.ntt.co.jp

Abstract

A design method for a circuit with neuron MOS transistors(ν MOS circuit), especially a 2-level feed-forward circuit, that is capable of realizing any symmetric function is presented in this paper. We think designing ν MOS circuits means to give proper values to input gate capacitances and a floating gate threshold voltage. A feature of this method is that the above two variables are related by a formula. This method certifies that solutions for variables can be obtained for any k-input variable symmetric function circuit and gives unique solution when a standard input gate capacitance and a floating gate threshold voltage are fixed. These characteristics are effective to realize any symmetric function ν MOS circuit without difficulty.

key words neuron MOS transistor, reconfigurable device, symmetric function, circuit design

1 はじめに

論理機能再構成可能デバイスの可変論理部として、SRAMを用いたLUT(Look-Up Table)型、アンチフェーズを用いたMUX(Multiplexer)型、E²PROMを用いたPLA(Programmable Logic Array)型などが知られている[1]。一方、 ν MOSトランジスタ[2]で構成された回路による論理再構成の実現可能性を示した例として、多値制御入力による任意の2変数論理関数[3],[5]、2値制御入力による任意の4変数論理関数[3]、2値制御入力による8変数対称関数(3変数論理関数)[5]があり、対称関数の使用例として全加算器[4]も報告されている。また、多段 ν MOS回路を多重しきい関数素子と見なし、ある制限条件下である論理関数を実現するための設計手法[6],[7]も提案されている。本報告では、一般的再構成可能デバイスとは異なる基本原理に基づき再構成を行う ν MOS回路に着目し、設計自動化を指向した体系的設計手法が未確立である ν MOS回路、特に、対称関数回路を設計する手法の検討を行った。本報告は次のように構成されている。まず、第2節で既知の相補型 ν MOSインバータの動作原理と可変入力閾値特性を、今回新しく導入した2つの閾値概念を含む3つの閾値を用いて新しい視点から概観し、第3節で可変入力閾値回路の設計手法を新たに提案し、第4節で、対称関数回路の設計手法を説明し、最後に本手法の適用例を示す。

2 ν MOS回路の動作原理

本報告の対称関数回路に使用する相補型 ν MOSインバータの構造と動作原理を概観し、特に、 ν MOS回路の動作を理解する上で有効である2つの新たな閾値を導入し、3つの異なる閾値、トランジスタ閾値、フローティングゲート閾値、入力閾値を用いて動作原理を説明し、3つの閾値の相違も明確にする。次に、論理機能再構成可能デバイスを構成する上で必要な特性である可変入力閾値特性について説明する。

2.1 相補型 ν MOSインバータの動作解析

相補型 ν MOSインバータは、標準的CMOSインバータと類似のPMOSFETとNMOSFETによる回路構成であるが、複数の入力ゲートとフローティングゲートを持つ点において異なる。図1は k 入力端子を持ち、各端子のフローティングゲートに対する容量値が C_1, C_2, \dots, C_k である相補型 ν MOSインバータを表す回路図である。

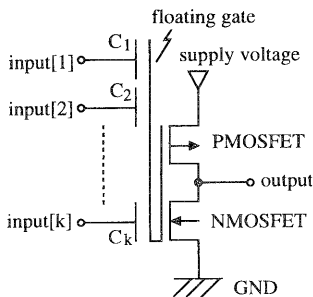


図1. 相補型 ν MOSインバータ回路図

次に、相補型 ν MOSインバータの動作理解上、重要な容量素子で構成した等価回路を図2に示す。

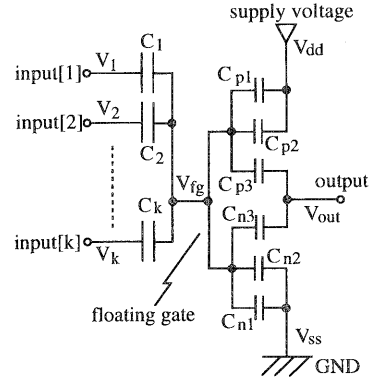


図2. 相補型 ν MOSインバータ等価回路図

P_n NMOSFETは各々フローティングゲートからみた3つの容量成分のみで表される。PMOSFETを例に容量の意味を説明する。 C_{p1} 、 C_{p3} はゲートオーバーラップ容量であり、 C_{p2} はゲートイントリンジック容量即ち、チャンネル形成前の空乏層容量とチャンネル形成後の反転層容量の和である。各容量は電圧依存性を持つが、相補型 ν MOSインバータの動作理解上、取り得る最大容量値の定数容量として近似して良い。この定数容量を用いて動作原理を説明する。相補型 ν MOSインバータは、フローティングゲートを入力ゲートとみなせば標準的CMOSインバータと同じ動作原理である。即ち、電源電位 V_{dd} 、フローティングゲート電位 V_{fg} 、 P_n NMOSFET各々のトランジスタ閾値電圧(V_{thp} , V_{thn})、ゲインファクタ(β_p , β_n)、ドレイン電流(I_p , I_n)とした時、飽和領域ドレイン電流は(1)式で表される。

$$I_p = \frac{\beta_p}{2} \cdot (V_{dd} - V_{fg} - |V_{thp}|)^2$$

$$I_n = \frac{\beta_n}{2} \cdot (V_{fg} - V_{thn})^2 \quad (1)$$

出力電位 V_{out} を電源電位 V_{dd} の1/2にするフローティングゲート電位をフローティングゲート閾値電位 V_{fth} と定義すると、 $I_p = I_n$ となる V_{fg} が V_{fth} であり、(2)式で表される。

$$V_{fth} = \frac{V_{dd} + \sqrt{\beta_n/\beta_p} \cdot V_{thn} - |V_{thp}|}{1 + \sqrt{\beta_n/\beta_p}} \quad (2)$$

(2)式より、 V_{fth} はトランジスタの閾値電圧、トランジスタの実効チャンネル長と実効チャンネル幅を因子に持つゲインファクタを調整することにより可変であることが判る。また、 $V_{fg} > V_{fth}$ である時、出力端子の状態は反転する。次に、図2の等価回路を用いて、入力端子に印加される電位 V_i と V_{fg} の関係を導く。グラウンド電位は常に $V_{ss} = 0$ であり、時刻 $T = 0$ の初期状態において、全入力端子の電位 $V_i = 0$ 、フローティングゲート電位 $V_{fg} = 0$ 、出力端子電位 $V_{out}(0) = V_{dd}$ になっており、同時刻にフローティングゲートの完全フローティング化を行うことを仮定する。この時、初期状態におけるフローティングゲート電荷量 $Q_{fg}(0)$ 、任意の時刻におけるフローティングゲート電荷量 Q_{fg} は各々(3)式、(4)式で表される。

$$Q_{fg}(0) = - \left(\sum_{j=1}^3 C_{p(j)} + C_{n3} \right) \cdot V_{dd} \quad (3)$$

$$Q_{fg} = \sum_{i=1}^k C_i (V_{fg} - V_i) + (C_{p1} + C_{p2})(V_{fg} - V_{dd}) + (C_{p3} + C_{n3})(V_{fg} - V_{out}) \quad (4)$$

完全フローティング状態では電荷量保存が成立するため、 $Q_{fg}(0) = Q_{fg}$ であり、この関係から V_{fg} が求まる。

$$V_{fg} = \frac{\sum_{i=1}^k C_i V_i + (C_{p3} + C_{n3})(V_{out} - V_{dd})}{\sum_{i=1}^k C_i + \sum_{j=1}^3 C_{p(j)} + C_{n3}} \quad (5)$$

今、入力端子とフローティングゲートの間の容量(入力ゲート容量) C_i とゲートオーバーラップ容量の和 ($C_{p3} + C_{n3}$) の関係に (6) 式の条件が成立する場合、

$$C_i \gg C_{p3} + C_{n3} \quad (6)$$

出力端子の状態を決める V_{fg} は入力端子電位 V_i と入力ゲート容量 C_i の積和演算項のみで表現できる。(5) 式の分子第2項は最大 $| -V_{dd} |$ であるため、ある V_i が V_{dd} であれば第2項は無視できる、逆に、 V_i が小さい場合、 V_{out} は V_{dd} に近付き、第1項が0になる時、第2項も0になるため、第2項を無視する。このように、(6)式が成り立つ時、 V_{fg} は (7) 式のように簡単化できる。

$$V_{fg} = \frac{\sum_{i=1}^k C_i V_i}{\sum_{i=1}^k C_i + \sum_{j=1}^3 C_{p(j)} + C_{n3}} \quad (7)$$

V_{fg} を最大フローティングゲート電位 $V_{fg(max)}$ により規格化することで (7) 式を更に簡単化する。 $V_{fg(max)}$ は全ての入力端子電位が電源電位である時、 $V_i = V_{dd}$ に実現され、(8) 式で表される。

$$V_{fg(max)} = \frac{V_{dd} \sum_{i=1}^k C_i}{\sum_{i=1}^k C_i + \sum_{j=1}^3 C_{p(j)} + C_{n3}} \quad (8)$$

(8) 式を用いて、規格化フローティングゲート電位 U_{fg} 、規格化フローティングゲート閾値電位 U_{fth} は各々 (9) 式、(10) 式で表される。

$$U_{fg} = \frac{V_{fg}}{V_{fg(max)}} = \frac{\sum_{i=1}^k C_i V_i}{V_{dd} \sum_{i=1}^k C_i} \quad (9)$$

$$U_{fth} = \frac{V_{fth}}{V_{fg(max)}} \quad (10)$$

(9) 式に着目すると、 C_i は固定値、 V_i は連続量であるため、 $\sum_{i=1}^k C_i V_i$ を連続量である1つの変数と考えることができ、この時 U_{fg} も連続量となり (11) 式、

$$0 < \left(\sum_{i=1}^k C_i V_i \right) < \left(V_{dd} \sum_{i=1}^k C_i \right) \quad (11)$$

の領域において、傾き $1/(V_{dd} \sum_{i=1}^k C_i)$ の直線になる。この U_{fg} と $\sum_{i=1}^k C_i V_i$ の関係を図3に示す。

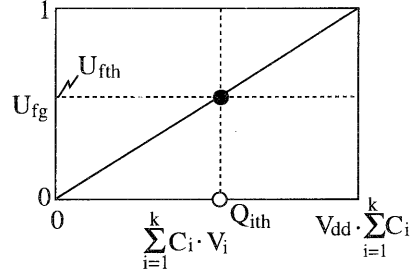


図3. U_{fg} と $\sum_{i=1}^k C_i V_i$ の関係図

今、 $\sum_{i=1}^k C_i V_i$ を入力電荷量と呼び、規格化フローティングゲート電位 U_{fg} が規格化フローティングゲート閾値電位 U_{fth} に達する時の入力端子電位の組合せが誘起する入力電荷量を入力閾値電荷量 Q_{ith} と定義する。図3に示すように入力電荷量が Q_{ith} の時に相補型 ν MOS インバータの出力端子の状態は反転する。また、入力端子電位 V_i は連続量を取ることができ、 Q_{ith} を生成する入力端子電位の組合せは複数存在するが、 Q_{ith} と U_{fth} は1対1対応する。これまでに、トランジスタ閾値、フローティングゲート閾値、入力閾値を使い分けて来た。トランジスタ閾値電圧はMOSFETにチャネルが形成される時の、ソースに対するゲート電圧であり、主にデバイス製造過程で決められる。フローティングゲート閾値電位は、インバータの出力端子電位を電源電位の1/2にするフローティングゲート電位であり、入力端子電位に対して独立であり、P,NMOSFETのゲート長及びゲート幅の調整により設計段階においても制御可能である。入力閾値電荷量はフローティングゲート閾値電位を生む入力電荷量であった。

相補型 ν MOS インバータの入力端子の状態と出力端子の状態が結びつけられたところで、動作について説明する。相補型 ν MOS インバータは、上下限を有する実数 $V_1, V_2, V_3, \dots, V_k$ を入力、正の実数 C_1, C_2, \dots, C_k を重み、上下限を有する実数を閾値 Q_{ith} とし、2つの異なる実数 V_{dd}, V_{ss} を出力する (12) 式、(13) 式を満たす素子である。

$$f(\mathbf{V}) = V_{ss} \quad \text{at} \quad \sum_{i=1}^k C_i \cdot V_i \geq Q_{ith} \quad (12)$$

$$f(\mathbf{V}) = V_{dd} \quad \text{at} \quad \sum_{i=1}^k C_i \cdot V_i < Q_{ith} \quad (13)$$

(12) 式、(13) 式は、この素子が連続値の積和演算結果である閾値により離散値へ変換する素子であることを示している。また、入力を2値に制限することで、しきい素子と見なすことができ、2値論理関数に適用可能になる。

2.2 可変入力閾値特性

図1の相補型 ν MOS インバータに $k+1$ 番目の入力端子を追加する。 $k+1$ 番目の入力端子は入力変数用端子としてではなく、ある電位 V_{k+2} に固定する。この時、(9) 式で表されていた U_{fg} は (14) 式で表される。

$$U_{fg} = \frac{\sum_{i=1}^k C_i V_i}{V_{dd} \sum_{i=1}^{k+1} C_i} + \frac{C_{k+1} \cdot V_{k+1}}{V_{dd} \sum_{i=1}^{k+1} C_i} \quad (14)$$

$k+1$ 番目の端子電位が $0 \leq V_{k+1} \leq V_{dd}$ の値を取ることとを考慮して、(14) 式の関係を図4に示す。

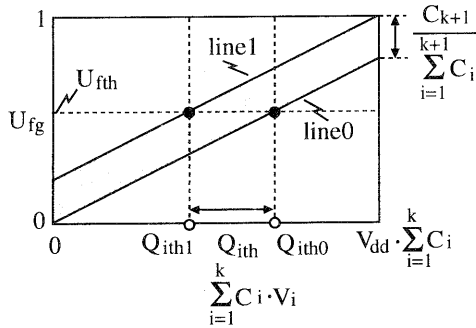


図4. U_{fg} と Q_{ith} の関係図

図4中網掛け部は、 $1 \sim k$ 番目の入力端子電位と $k+1$ 番目の端子電位により実現可能である U_{fg} を表し、line0、line1 は各々 $V_{k+1} = \{0, V_{dd}\}$ の時の入力電荷量と U_{fg} の関係を表す。また、line0、line1 と U_{fth} の交点における入力電荷量 Q_{ith0} 、 Q_{ith1} は各々 $V_{k+1} = \{0, V_{dd}\}$ の時の入力閾値電荷量を表し、 V_{k+1} の値に応じて入力閾値電荷量は $Q_{ith1} \leq Q_{ith} \leq Q_{ith0}$ の値を取る。 Q_{ith0} 、 Q_{ith1} は (15) 式、(16) 式で表される。

$$Q_{ith0} = U_{fth} \cdot V_{dd} \cdot \sum_{i=1}^{k+1} C_i \quad (15)$$

$$Q_{ith1} = \left(U_{fth} - \frac{C_{k+1}}{\sum_{i=1}^{k+1} C_i} \right) \cdot V_{dd} \cdot \sum_{i=1}^{k+1} C_i \quad (16)$$

入力変数用端子以外の入力端子を設け、その端子電位を制御することでフローティングゲートにある電荷量を予め蓄積することにより入力閾値電荷量を変化させた。入力変数用端子以外の入力端子電位が2値を取る場合は2入力閾値電荷量 (Q_{ith0} 、 Q_{ith1}) を設定することが可能になる。

3 可変入力閾値回路の設計手法

まず、入力端子電位として2値を用いた場合のフローティングゲート閾値と入力閾値の関係を導く。次に、2つの異なる入力閾値を有する相補型 ν MOS インバータの設計方法を説明し、最後に相補型 ν MOS インバータの特性を示す。

3.1 2値入力相補型 ν MOS インバータ

対称関数では変数の任意の置換に対して関数値が不変であるため、対称関数回路を生成することを目的とした相補型 ν MOS インバータにおいては変数の属性である重み、即ち入力ゲート容量を等しくしても良い。また、2つの異なる入力閾値を設ける際の自由度を上げるために、 k 個の入力変数用端子の他に、端子電位として2値を取ることが可能である1つの入力端子(第2の入力端子と呼び、 k 入力変数用の第1の入力端子と区別する)の他に、電位が電源に固定された入力端子、電位がグランドに固定された入力端子を付加する。但し、各々の電位固定端子数は0個又は1個とする。また、時刻 $T = 0$ においては電源電位に固定されている端子の電位も一度グランド電位にし、 $T > 0$ において電源電位に固定されたと仮定する。この相補型 ν MOS インバータ回路を図5に示す。

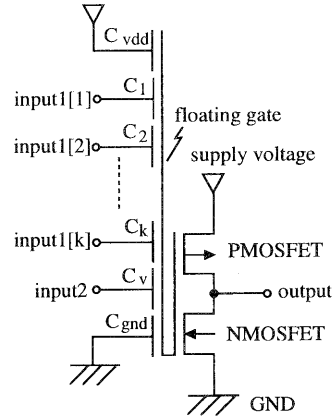


図5. 入力変数用端子以外の付加端子を設けた相補型 ν MOS インバータ回路図

電源電位に固定された入力端子とフローティングゲート間容量を C_{vdd} 、グランド電位に固定された入力端子の容量を C_{gnd} 、第2の入力端子の容量を C_v 、第2の入力端子の電位を V_v 、第1の入力ゲート容量を $C_i = C$ とした時、 U_{fg} は (17) 式で表される。

$$U_{fg} = \frac{C \sum_{i=1}^k V_i}{C_{total} \cdot V_{dd}} + \frac{C_v \cdot V_v}{C_{total} \cdot V_{dd}} + \frac{C_{vdd}}{C_{total}} \quad (17)$$

$$C_{total} = k \cdot C + C_v + C_{vdd} + C_{gnd}$$

上式の U_{fg} と入力電荷量 $C \sum_{i=1}^k V_i$ の関係を図6に示す。

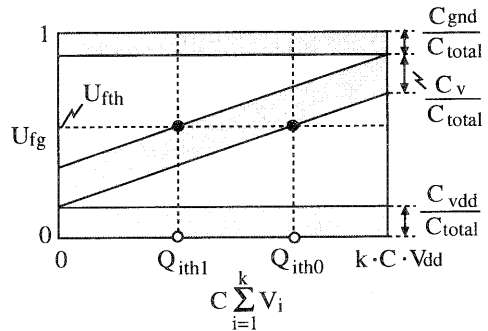


図6. U_{fg} と入力電荷量 $C \sum_{i=1}^k V_i$ の関係図

第2の入力端子電位 V_v が $0, V_{dd}$ の2値を取るため、このインバータは2つの異なる入力閾値電荷量 Q_{ith0} 、 Q_{ith1} を持つ。付加した3つの容量 C_v 、 C_{vdd} 、 C_{gnd} は2つの入力閾値電荷量に対して以下の機能を持つ。 C_v は2つの入力閾値電荷量の間隔 ΔQ_{ith} を (18) 式のように制御する。

$$\Delta Q_{ith} = Q_{ith0} - Q_{ith1} = C_v \cdot V_{dd} \quad (18)$$

また、 C_{total} が不変の場合、 C_{vdd} は2つの入力閾値電荷量を $(-C_{vdd} \cdot V_{dd})$ だけ変化させる。

ここで、入力電荷量を第1の入力端子1個当たりの最大入力電荷量 $C \cdot V_{dd}$ で規格化した値を入力状態量 x と定義し、これにより U_{fg} の表現を単純化する。また、 C_{total} により規格化した C 、 C_v 、 C_{vdd} 、 C_{gnd} を U 、 U_v 、 U_{vdd} 、 U_{gnd} とすると、 U_{fg} と入力状態量 x は (19) 式で表される。

$$U_{fg} = U \cdot x + U_v \cdot \phi_v + U_{vdd} \quad (19)$$

$$\begin{cases} 0 < U < 1 \\ 0 < U_v < 1 \\ 0 \leq U_{vdd} < 1 \\ 0 \leq U_{vdd} < 1 \\ 0 \leq x \leq k \\ \phi_v = (V_v/V_{dd}) = \{0, 1\} \end{cases} \quad (20)$$

入力状態量 x は第 1 の入力端子電位が実数である場合、(20) 式の範囲を取るが、 $\{0, V_{dd}\}$ の 2 値を取る場合、 x は、

$$x = \{0, 1, 2, \dots, k-1, k\}$$

の $k+1$ 個の離散値になる。この離散の入力状態量は、 k 個の第 1 の入力端子中、電位が V_{dd} である端子数を表し、対称関数における入力の状態を識別する数となる。ここで、離散の入力状態量を入力状態数 m と呼ぶことにする。 U_{fg} と x の関係を図 7 に示す。

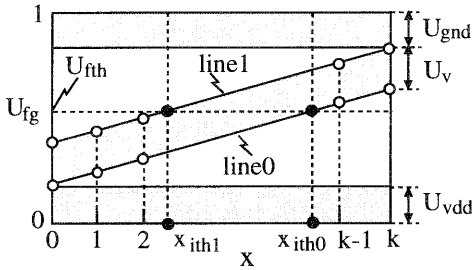


図 7. U_{fg} と入力状態数 x の関係図

第 1 の入力端子の電位 V_i と第 2 の入力端子の電位 V_v が共に連続量である場合は、 U_{fg} は図 7 中の line0 と line1 で挟まれる領域にあり、 V_i が連続量、 V_v が 2 値の場合は、 U_{fg} は line0 及び line1 上であり、 V_i と V_v が共に 2 値の場合は、図中白丸印 (○) の点である。また、入力閾値 x_{ivth0} 、 x_{ivth1} は (21) 式で表される。

$$\begin{cases} x_{ivth0} = \frac{1}{U} \cdot (U_{fth} - U_{vdd}) \\ x_{ivth1} = \frac{1}{U} \cdot (U_{fth} - U_v - U_{vdd}) \end{cases} \quad (21)$$

3.2 可変入力閾値回路の設計方針と手法

相補型 CMOS インバータにおいて、入力閾値をある値に設定することは、 U, U_v, U_{vdd}, U_{gnd} と U_{fth} を決めることである。ここでは、入力閾値を設定する際に、入力電荷量に対するマージンとフローティングゲート閾値電位に対するマージンを最大にする方針を取る。但し、両マージンが入力状態数に対し非依存であることを仮定している。この方針を図 8 を用いて説明する。

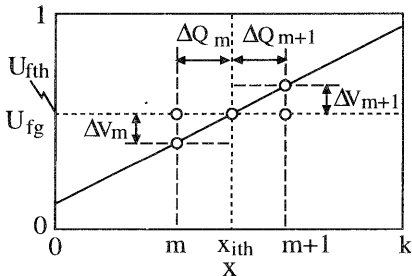


図 8. x_{ith} と U_{fth} に対するマージンの概念図

x_{ith} が入力状態数 $m, m+1$ と ($m < x_{ith} < m+1$) の関係にあると仮定する。 $U_{fg}(x)$ と U_{fth} は独立に変動することが可能であり、各々入力閾値に影響を及ぼすが、ある入力状態数における論理不変性の維持という観点からは、2 つの因子を取り出せる。1 つは、ある入力状態数におけるフローティングゲート電位とフローティングゲート閾値電位の差であり、1 つは入力電荷量と入力閾値電荷量の差である。図 8 中の記号を用いて表せば (22) 式、(23) 式になる。

$$\begin{cases} \Delta V_m = |U_{fg}(m) - U_{fth}| \\ \Delta V_{m+1} = |U_{fg}(m+1) - U_{fth}| \end{cases} \quad (22)$$

$$\begin{cases} \Delta Q_m = |m - x_{ith}| \\ \Delta Q_{m+1} = |(m+1) - x_{ith}| \end{cases} \quad (23)$$

入力電荷量については各々の入力状態数におけるマージンを均等にするという条件を選択すると、 $x_{ith} = m + (1/2)$ になる。また、 U_{fg} は x に対して直線であるため、上記の場合 $\Delta V_m = \Delta V_{m+1}$ となり、 U_{fg} の傾き U が最大である時、最大マージンを取る。図 5 の回路が 2 つの任意の入力状態数 m_l, m_h と各々次の入力状態数の間に入力閾値を取る時、この設計方針を適用して、 U, U_v, U_{vdd}, U_{gnd} と U_{fth} の関係を決めることにより、可変入力閾値回路を設計できる。入力状態数 m_l, m_h と入力閾値 x_{ith1}, x_{ith0} の関係を示す図 9 を参照し、前記の関係を導く。

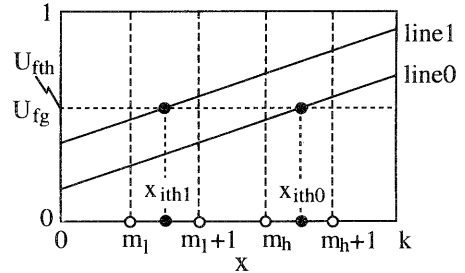


図 9. 2 つの入力閾値と入力状態数の関係図

図 9 中、line0, line1 は各々 $V_v = \{0, V_{dd}\}$ の時の U_{fg} を表す。今、line0 の入力閾値が $x_{ith0} = m_h + 1/2$ であり、line1 について $x_{ith1} = m_l + 1/2$ であると仮定する。 m_l, m_h は入力状態数であり、(24) 式を満たす。但し、入力状態数の概念を拡張してある。

$$\begin{cases} -1 \leq m_l \leq k-1 \\ 0 \leq m_h \leq k \\ 1 \leq m_h - m_l \leq k+1 \end{cases} \quad (24)$$

また、line0 に関して (25) 式、line1 に関して (26) 式、入力状態数 $m = k$ の時の U_{fg} より (27) 式が成り立つ。

$$U \cdot \left(m_h + \frac{1}{2} \right) + U_{vdd} = U_{fth} \quad (25)$$

$$U \cdot \left(m_l + \frac{1}{2} \right) + U_v + U_{vdd} = U_{fth} \quad (26)$$

$$k \cdot U + U_v + U_{vdd} + U_{gnd} = 1 \quad (27)$$

上式より U_v, U_{vdd}, U_{gnd} を U と U_{fth} で表現できる。

$$U_v = (m_h - m_l) \cdot U \quad (28)$$

$$U_{vdd} = U_{fth} - \left(m_h + \frac{1}{2}\right) \cdot U \quad (29)$$

$$U_{gnd} = 1 - U_{fth} - \left(k - m_l - \frac{1}{2}\right) \cdot U \quad (30)$$

(20) 式、(24) 式の U, U_v, U_{vdd}, U_{gnd} に関する制限条件を (28) ~ (30) 式に適用すると、 U の取り得る最大値は (31) 式で表される。但し、関数 $\min(x_1, x_2, x_3)$ は x_1, x_2, x_3 から最小値を選択する関数を表す。

$$U = \min\left(\frac{1}{k}, \frac{U_{fth}}{m_h + \frac{1}{2}}, \frac{U_{fth}}{k - m_l - \frac{1}{2}}\right) \quad (31)$$

2つの入力状態数 m_l, m_h 、フローティングゲート閾値電位、入力ゲート容量を定めた時、 $m_l, m_l + 1$ 間、 $m_h, m_h + 1$ 間に入力閾値を持つ相補型 ν MOS インバータは (31) 式、(28) ~ (30) 式を用いて一意に決めることができる。対称関数回路において使用する、ある入力状態数 m の前後に2つの入力閾値を設ける前記の特殊な場合は、(25) 式、(26) 式において $m_h = m, m_l + 1 = m$ とすることにより実現でき、 U, U_v, U_{vdd}, U_{gnd} は (32) ~ (35) 式で表される。

$$U = \min\left(\frac{U_{fth}}{m + \frac{1}{2}}, \frac{U_{fth}}{k - m + \frac{1}{2}}\right) \quad (32)$$

$$U_v = U \quad (33)$$

$$U_{vdd} = U_{fth} - \left(m + \frac{1}{2}\right) \cdot U \quad (34)$$

$$U_{gnd} = 1 - U_{fth} - \left(k - m + \frac{1}{2}\right) \cdot U \quad (35)$$

3.3 可変入力閾値回路の特性

図5に示す回路に (32) ~ (35) 式を適用した回路の入出力特性を図10に示す。横軸は入力状態量 x 、縦軸は出力端子電位を電源電位で規格化した値 (V_{out}/V_{dd}) である。

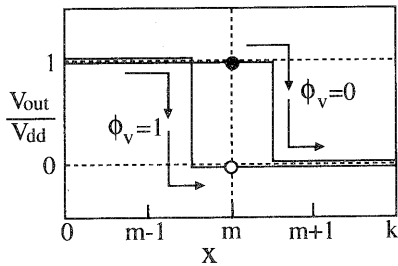


図10. 可変入力閾値回路の入出力特性図

第2の入力端子の規格化電位 ϕ_v の値に応じた2つの異なる入力閾値を取るため、入力状態数 m における (V_{out}/V_{dd}) は図中白丸印 (○)、黒丸印 (●) の2つの状態を取り得る。

4 対称関数回路の設計手法

ある回路構成における関数機能は回路中の各相補型 ν MOS インバータの入力端子とフローティングゲート間の容量値と入力閾値により確定される。本報告の対称関数回路設計手法は、この容量値と入力閾値を決める方法である。初

めに対称関数機能を実現するための回路構成を示し、次に構成要素であるメインインバータとプリインバータの設計手法を説明し、最後に適用例を示す。

4.1 回路構成

k 入力変数対称関数機能を持つ回路を実現するために、図11に示す2段論理フィードフォワード回路の、初段に $k+1$ 個の ν MOS インバータ (プリインバータと呼ぶ)、2段目に1個の ν MOS インバータ (メインインバータと呼ぶ) を使用する構成を用いた。回路構成上、次の条件を仮定した。メインインバータにおいて、フローティングゲート閾値電位に対するマージンを最大にするために、入力端子は k 入力変数端子とプリインバータの出力端子のみであり、 k 入力変数端子の各入力ゲート容量は等しいとする。各プリインバータにおいて、 k 入力変数端子の各入力ゲート容量は等しく、前節で説明したように、1個の第2の入力端子を持つことで2つの異なる入力閾値を取り得るとする。

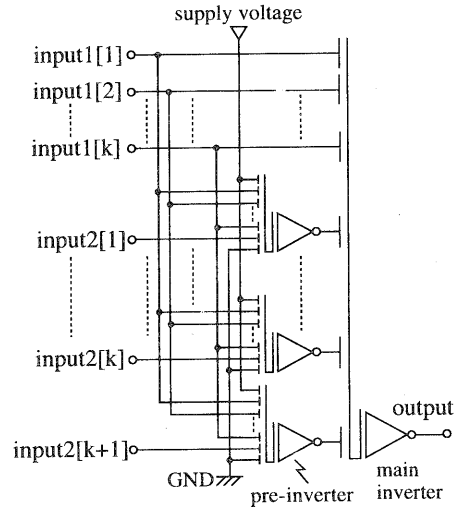


図11. 2段論理フィードフォワード ν MOS 回路図

4.2 回路設計手法

メインインバータに着目し、(17) 式、(19) 式と同様の方法でメインインバータにおける U_{fg} と x の関係を求める。 i 番目のプリインバータ出力端子とメインインバータのフローティングゲート間の容量を全容量 C_{total} で規格化した値を $U_{p[i]}$ 、 i 番目プリインバータの、図10で示される x に対する (V_{out}/V_{dd}) の関数を θ_{ij} とした。但し、 $j = \phi_v$ であり、 i 番目のプリインバータの j の状態における入力閾値を $x_{ith[i,j]}$ とした。 U_{fg} と x の関係を (36) 式に示す。

$$U_{fg} = U \cdot x + \sum_{i=1}^{k+1} \theta_{ij} \cdot U_{p[i]} \quad (36)$$

$$\theta_{ij} = \frac{V_{out[i]}}{V_{dd}} = \begin{cases} 1 & (x \leq x_{ith[i,j]}) \\ 0 & (x > x_{ith[i,j]}) \end{cases} \quad (37)$$

$$j = \phi_v = \{0, 1\}$$

入力状態量 x とプリインバータの出力状態を関係付ける (37) 式の θ_{ij} に着目し、(36) 式における U_{fg} と x の関係を図12に示す。

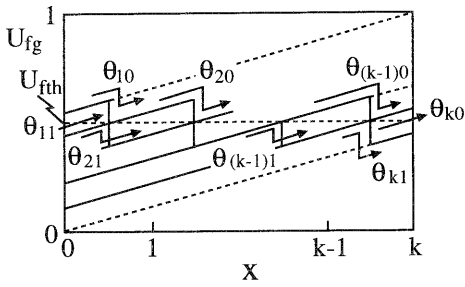


図12. U_{fg} と x の関係概念図

図12より、 $1 \sim k+1$ の $k+1$ 個の各ブリンパータが異なる入力状態数の前後に2つの入力閾値を持ち、各入力状態数 m において (38) 式が成り立つ時、任意の k 入力変数対称関数を生成できることが判る。

$$\begin{cases} U_{fg}(m) > U_{fth} & \text{at } j = 0 \\ U_{fg}(m) < U_{fth} & \text{at } j = 1 \end{cases} \quad (38)$$

今、 i 番目のブリンパータが、図10のように第2の入力端子の状態より異なる2つ出力状態を取る入力状態数 m である場合、 i と m を (39) 式により関係付ける。

$$m = i - 1 \quad (39)$$

また、前節の議論と同様の設計マージンを考慮すると、 $U_{p[i]}$ に関する必要条件として (40) 式が成り立つ。

$$U_{p[i]} = U_p \quad (40)$$

(39) 式、(40) 式を (36) 式に適用し、 $U_{fg}(m)$ を求める。

$$U_{fg}(m) = U \cdot m + U_p \cdot \{\theta_{(m+1)j} + (k - m)\} \quad (41)$$

$$U \cdot k + U_p \cdot (k + 1) = 1 \quad (42)$$

(41) 式、(42) 式を (38) 式の条件式に適用し、ある m における U と U_{fth} の関係を求める。

$$U_{fg}(m) = \frac{\{(2k+1)m - k(k+1)\}U + k - m + 1}{k+1} < U_{fth} \quad \text{at } j = 0 \quad (43)$$

$$U_{fg}(m) = \frac{\{(2k+1)m - k^2\}U + k - m}{k+1} > U_{fth} \quad \text{at } j = 1 \quad (44)$$

$$\begin{cases} 0 < U < \frac{1}{k} \\ 0 < U_p < \frac{1-kU}{k+1} \end{cases} \quad (45)$$

(43) 式、(44) 式の等式を取り上げ、 U に対する $U_{fg}(m)$ の関係を図13に示す。

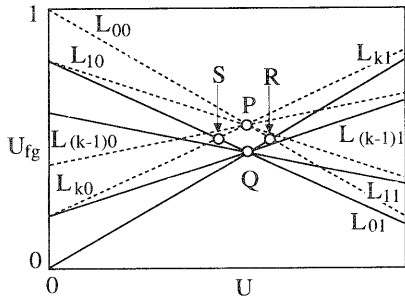


図13. U と U_{fg} の関係図

図13において、入力状態数 m 、 $j = 0$ の直線を L_{m0} (点線)、 $j = 1$ の直線を L_{m1} (実線) で表した。(43) 式、(44) 式の不等式で表される領域は、図13における $PSQR$ で囲まれる境界を含まない内側の菱形領域である。 P 点は $j = 0$ の場合の $L_{00} \sim L_{k0}$ の全直線の交点、 Q 点は $j = 1$ の場合の $L_{10} \sim L_{k1}$ の全直線の交点、 R 点は L_{10} と L_{k1} の交点、 S 点は L_{k0} と L_{01} の交点である。 P, Q, R, S 点は (46) 式で表される。

$$\begin{aligned} P &: (U, U_p, U_{fg}) = \left(\frac{1}{2k+1}, \frac{1}{2k+1}, \frac{k+1}{2k+1} \right) \\ Q &: (U, U_p, U_{fg}) = \left(\frac{1}{2k+1}, \frac{1}{2k+1}, \frac{k}{2k+1} \right) \\ R &: (U, U_p, U_{fg}) = \left(\frac{1}{2k}, \frac{1}{2(k+1)}, \frac{1}{2} \right) \\ S &: (U, U_p, U_{fg}) = \left(\frac{k-1}{2k^2}, \frac{1}{2k}, \frac{1}{2} \right) \end{aligned} \quad (46)$$

(46) 式より $PSQR$ で囲まれる領域は常に正の面積を持ち、任意の k に対して U 、 U_{fth} の解が存在することが判る。次に $PQRS$ 各点の意味を入力状態量 x に対する U_{fg} の関係を表す図の第2の入力端子により状態が変化する部分を拡大した図14を用いて説明する。

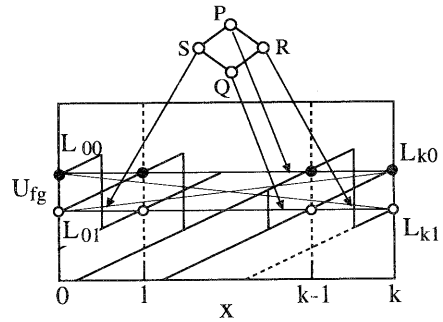
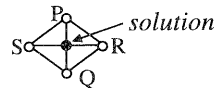


図14. $PQRS$ 点の意味を表す図

点 P は $j = 0$ において、点 Q は $j = 1$ において全ての m に対する U_{fg} が等しい点であり、点 PQ で共通である $U = 1/(2k+1)$ の時、 $x = m + (1/2)$ において $U_{fg}(x) = 1/2$ になり入力状態量に対するマージンが最大になる。点 R は、図14における直線の傾き U が大きくなり、 $m = 0, j = 0$ の U_{fg} と $m = k, j = 1$ の U_{fg} が等しくなる点であり、如何なる U_{fth} も前記2つの状態を区別することが不可能、即ち、対称関数を生成することが不可能になる。点 S は、点 R とは逆に直線の傾き U が小さくなり、 $m = 0, j = 1$ と $m = k, j = 0$ の U_{fg} が等しくなる点であり、点 R の時と同様に2つの状態を区別することが不可能になる。また、 $PSQR$ 菱形の U_{fg} 方向の距離が U_{fth} の取り得る値を表し、境界までの距離が規格化フローティングゲート閾値電位に対するマージンを表す。 $PSQR$ 領域内部中、入力状態量及び規格化フローティングゲート閾値電位に対するマージンが最大になる、直線 PQ と直線 RS の交点を (U, U_p, U_{fth}) の解とする。



$$(U, U_p, U_{fth}) = \left(\frac{1}{2k+1}, \frac{1}{2k+1}, \frac{1}{2} \right) \quad (47)$$

(47) 式は、メインインバータの第1及び第2の入力端子の $2k+1$ 個の入力ゲート容量値を等しくし、フローティングゲート閾値電位を電源電位の $(1/2)$ にした相補型 ν MOS インバータを表している。

$k+1$ 個のプリインバータは前節で説明した可変入力閾値回路を用いて、各々が指定された m に対応するように、 $(U, U_v, U_{vdd}, U_{gnd}, U_{fth})$ を決めることにより設計される。

4.3 適用例 (4 入力変数対称関数回路)

$k=4$ である4入力変数対称関数回路の設計を行う。メインインバータについて $(U, U_p, U_{fth})_{[k=4]}$ は、

$$(U, U_p, U_{fth})_{[k=4]} = (1/9, 1/9, 1/2) \quad (48)$$

になるため、入力ゲート容量を等容量に、フローティングゲート閾値電位は $(V_{dd}/2)$ にする。 $k=4$ における U に対する U_{fg} の関係図中の $PSQR$ を図15に示し、入力状態量 x と U_{fg} の関係図を図16に示す。

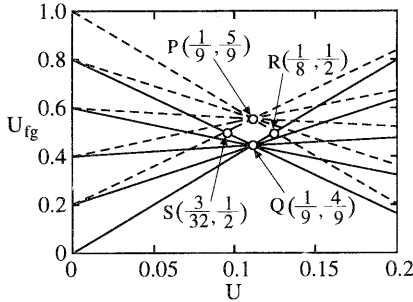


図15. $k=4$ における U_{fg} と U の関係図

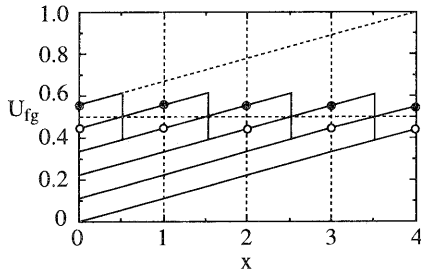


図16. $k=4$ における U_{fg} と入力状態量 x の関係図

次に、図16に示す状態変化を行うプリインバータの設計を行う。入力状態数 $m=i-1$ の前後に入力閾値を持つプリインバータ $preinv[i]$ の規格化容量値 $(U, U_v, U_{vdd}, U_{gnd})$ は(49)式で表される。但し、全てのプリインバータについて $U_{fth} = 1/2$ とした。

$$\begin{pmatrix} preinv & U & U_v & U_{vdd} & U_{gnd} \\ [1] & 1/9 & 1/9 & 4/9 & 0 \\ [2] & 1/7 & 1/7 & 2/7 & 0 \\ [3] & 1/5 & 1/5 & 0 & 0 \\ [4] & 1/7 & 1/7 & 0 & 2/7 \\ [5] & 1/9 & 1/9 & 0 & 4/9 \end{pmatrix} \quad (49)$$

(49) 式の規格化された値を実容量値に変換するために、まず(6)式の条件を満たす入力ゲート容量値 U を決め、次に(49)式の容量比を満たすように U_v, U_{vdd}, U_{gnd} を決める。これにより実容量値を得ることができ、プリインバータを設計することができる。

5 まとめ

相補型 ν MOS インバータで構成される2段論理フィードフォワード回路を用いて k 入力変数対称関数回路を設計する手法を提案した。 ν MOS 回路の設計を入力ゲート容量値とフローティングゲート閾値電位を決めることとして、両者を解とした。解の導出の際には、論理不変性に対する設計マージンを最大にする条件を設定した。本手法は、 k 入力変数対称関数回路に対する解の存在を保証しており、基準容量値とフローティングゲート閾値電位を固定する時、解を一意に決める。

また、本手法を導出する際に、 ν MOS 回路で用いられる3つの異なる閾値を明確にし、論理機能の再構成を行う上で重要な特性である可変入力閾値特性とそれを利用した2値可変入力閾値回路の動作原理についても説明した。今後は、本手法を用いて ν MOS 回路による再構成可能デバイスの検討を進める予定である。

謝辞

ν MOS トランジスタ及び回路について御討論して頂きました東京大学新領域創成科学研究科の柴田直教授に深く感謝致します。

References

- [1] S. D. Brown, R. J. Francis, J. Rose and Z. G. Vranesic, "Field-Programmable Gate Arrays," Kluwer Academic Publishers, 1992.
- [2] Tadashi Shibata and Tadahiro Ohmi, "A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations," *IEEE Trans. Electron Devices*, Vol. 39, No. 6, pp. 1444-1455, 1992.
- [3] Tadashi Shibata and Tadahiro Ohmi, "Neuron MOS Binary-Logic Integrated Circuits-Part I: Design Fundamentals and Soft-Hardware-Logic Circuit Implementation," *IEEE Trans. Electron Devices*, Vol. 40, No. 3, pp. 570-576, 1993.
- [4] Tadashi Shibata and Tadahiro Ohmi, "Neuron MOS Binary-Logic Integrated Circuits-Part II: Simplifying Techniques of Circuit Configuration and their Practical Applications," *IEEE Trans. Electron Devices*, Vol. 40, No. 5, pp. 974-979, 1993.
- [5] Tadashi Shibata, Koji Kotani and Tadahiro Ohmi, "Real-Time Reconfigurable Logic Circuits Using Neuron MOS Transistors," *ISSCC*, FA 15.3 pp. 238-239, 1993.
- [6] 池 兼次郎、廣瀬 啓、安浦 寛人、"ニューロン MOS トランジスタを用いた基本論理素子の設計手法," 信学技報、VLD95-146, ICD95-246, pp.25-32, Mar. 1995.
- [7] 池 兼次郎、安浦 寛人、"識別可能な多値レベルを考慮したニューロン MOS 論理素子設計手法," 信学技報、VLD96-55, pp.1-7, Oct. 1996.