

クラスタリングシステムのアナログ設計と統計解析

樺沢 正之 宮永 喜一 吉田 則信

北海道大学大学院 工学研究科
情報通信エレクトロニクス講座, 札幌, 060-8628
E-mail:{kaba, miyanaga, yoshida}@ice.eng.hokudai.ac.jp

あらまし: 音声や画像の認識において, クラスタリングとラベリングは基本的な方法である. 本報告ではクラスタリング・ラベリングシステムのアナログ回路による構成と, 統計解析を含むシミュレーションを示す. 並列処理のデジタルLSIを設計した場合基本演算モジュールの数が膨大となり, チップ面積を大きくする一因となっている. そこで, 距離の2乗を計算する回路, 及び, 行列演算と符号判別を行うCマトリクス回路を導入してクラスタリング・ラベリング回路を構成した. この回路を用いて, SPICEシミュレーションを行い, 簡単な音声の特徴クラスタ処理を行えることを確かめた. 提案するアナログ回路の構成はきわめてシンプルであり, デジタルで設計した場合に比べて, 面積の削減が見込まれる.

キーワード: クラスタリング, ラベリング, アナログ回路

An Analog Design of a Clustering System and its Statistical Analysis

Masayuki KABASAWA, Yoshikazu MIYANAGA, Norinobu YOSHIDA
Graduate School of Engineering, Hokkaido University
Sapporo 060-8628, Japan
E-mail:{kaba, miyanaga, yoshida}@ice.eng.hokudai.ac.jp

Abstract: The clustering and the labeling of any data are essential method for speech recognition and image recognition. This report shows an analog architecture used for data clustering. The classification method requires large calculation cost. If the system is designed as a parallel digital architecture, the chip area may become large. This report introduces analog distance circuits and the C-matrix structure, and then they constitute the clustering/labeling system. As a simple example of data clustering, this report shows the SPICE simulations of Japanese vowel characteristic classification. Since the structure of designed circuit is quite simple, the chip area is quite less than that of digital design.

KEY WORDS: clustering, labeling, analog circuit

1. はじめに

音声や画像の認識において、クラスタリングとラベリングは基本的な方法であり、自己組織化クラスタリング [1] と教師付き学習法を用いたクラスタリングシステムが提案されている [2][3]。また、このシステムを用いた音声認識も報告されている。この自己組織化クラスタリング処理を高速に行うための並列処理のデジタル LSI 化も提案されている [4]、並列化しようとするチップ面積が膨大になるという問題点がある。

距離を計算し、かつ、少ない素子で実現できるアナログ回路としては、ニューロン MOS を用いてマンハッタン距離を出力する回路 [5] や、ユークリッド距離の 2 乗を出力する回路 [6] が提案されている。これらの文献を参考にしてクラスタリング部分の回路を設計した [7]。また、ラベリングの部分キャパシタのマトリクスで構成し、ここでは C マトリクスと呼ぶ。C マトリクスはキャパシタをマトリクス状に並べてコンパレータを付けた構造をしており、行列演算と正負判別の演算を行う。提案する回路は極めてシンプルな構成で、デジタルで設計した場合と比較して素子数が大幅に少なくすみ、チップ面積を小さくできると考えている。

本文では、2 章でクラスタリングについて説明し、3 章ではアナログ回路によるシステムの構成方法を、4 章で音声特徴認識を例にこの回路の設計手順を紹介し、5 章で統計解析を含む回路のシミュレーションを示す。

2. クラスタリング・ラベリングシステム

本報告で用いるクラスタリングシステムはクラスタリング層とラベリング層の 2 つの層で構成されており、図 1 に示す構造を持つ。図中で第 1 層は入力データに従って、自己組織化アルゴリズムにより特徴を出力する層である。第 2 層は、第 1 層の出力データが入力される層で、教師付きアルゴリズムに基づいた重みをかけて足しあわせる。文献 [2][3] では図 1 のシステムで認識と学習を同時に行っているが、これをアナログ回路で行うことは難しい。そこで、前もって計算機で計算した係数をチップに埋め込み、チップはこの値を用いて認識のみを行うこととする。

文献のシステムでは、1 層の出力と 2 層の出力に指数関数を用いており、これがハードウェア化を難しくしてきた。指数関数を用いているのは、微分可能な関数でなければ学習で用いる計算式を導くことができないためである。そこで、今回のシステムでは、認識時に指数関数演算を行わずに以下のとおりに簡便化した。

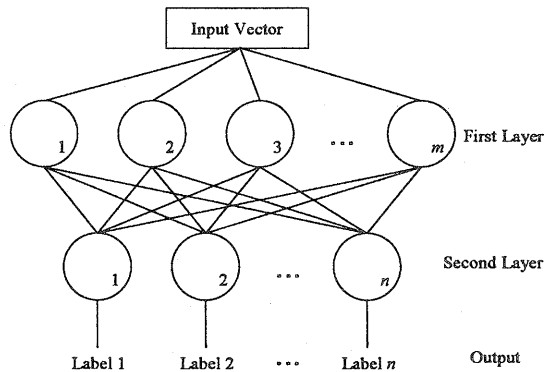


図 1: クラスタリングシステムの構成

2.1. 学習時の計算方法

第 1 層は m 個あり、各々のノードはノード情報として p 次元のテンプレートベクトル \mathbf{x}_i とメンバ数 t_i を持っている。第 1 層のノードは、 p 次元の入力ベクトル \mathbf{y} とテンプレートベクトル \mathbf{x}_i との距離 D_i を求める。

$$D_i = \sqrt{\sum_{j=1}^p (y_j - x_{ij})^2} \quad (1)$$

テンプレートベクトルとメンバ数は文献 [1][2] に沿った方法で学習を行う。

文献 [2] では第 1 層の出力は標準ユークリッド距離であった。ここでは代わりにユークリッド距離を用いるが、これだけでは非線形問題に対応できないため、ユークリッド距離に閾値関数を設けて第 1 層の出力 S_i とした。標準ユークリッド距離で分散を無視した場合の閾値関数は単調減少の指数関数に相当する。

$$S_i = \exp \left\{ - (D_i / D_{th})^2 \right\} \quad (2)$$

しかし、指数関数でなくても、単調増加・単調減少で閾値をもつ関数であればたいい収束する。(2) 式に形が似ている簡単な関数のうち、音声特徴データを入力していくつかの閾値関数を試した結果、ユークリッド距離の 2 乗に閾値 D_s を設けたものが一番ノードが少ないことがわかった。閾値 D_s は D_{th} から 20% 程度大きい値で認識率が最も良くなった。

$$S_i = \begin{cases} 1 - (D_i / D_s)^2 & D_i < D_s \\ 0 & D_i \geq D_s \end{cases} \quad (3)$$

第1層の学習は、始めのうちは(2)式の指数関数を用いて元の文献に沿った学習を行い、誤差が十分収束した後(3)式の関数を用いて認識時と同じ演算で行う。このとき、閾値関数は微分可能ではなくなるため、第2層の出力から第1層の係数への学習は行わない。

第2層は、学習時はパーセプトロンで用いられる出力ネットワークと同じ構造のものを利用する。

$$R_t = \sum_{i=1}^m w_{ti} S_i, \quad (4)$$

$$z_t = \text{sigmoid}(R_t) = \frac{1}{1 + e^{-R_t}} \quad (5)$$

重み係数の学習は、出力ラベルのベクトル z と教師データ \hat{z} との2乗誤差が最小になるように学習する。

2.2. 認識時の計算方法

学習を繰り返し行って z と \hat{z} の2乗誤差が十分小さくなってから、学習で得たテンプレートベクトル x と重みベクトル w を用いて認識を行う。 x , y の成分は、ハードウェア化するにあたり1から255の間の整数値に丸め、 w はチップのデザインルールの制限により適当な整数に丸めた値を用いる。

第1層では、それぞれのノードが、あらかじめ学習時に計算したテンプレートベクトル x_i を持っており、(1)式と(3)式から S_i を計算する。第2層では、学習時には重み付けの結果 R_t に sigmoid 関数を適用したが、認識時には次の正負判別式に置き換える。

$$z_t = \begin{cases} 0 & R_t < 0 \\ 1 & R_t \geq 0 \end{cases} \quad (6)$$

認識時は、(6)式の z_t をシステムの出力とする。

3. アナログ回路

3.1. 距離回路

距離計算における減算にはニューロン MOSFET を用いている。図2にニューロン MOS を示す。MOSFET のゲートが浮遊しており、これに複数の入力が容量で結合している。ニューロン MOS の動作方法は、まず各々の入力に V_i を加え、スイッチを閉じてゲートに V_0 を加える。次に、スイッチを開いてプリチャージを終了させ、入力電圧を V_i' に変化させる。この時 MOS のゲートにかかる電位は、次式のようにになっている。

$$V_{gs} = \frac{\sum_{i=1}^n C_i (V_i' - V_i)}{C_{all}} + V_0 \quad (7)$$

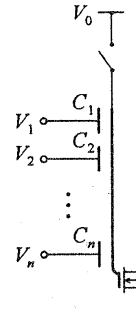


図2: ニューロン MOS

ただし、 C_{all} はゲートに付いている全ての容量の和である。

ここで MOSFET のゲート電圧とドレイン電流の基本式を、カットオフ領域、線形領域、飽和領域別に示しておく。nMOS の特性は

- ・ カットオフ領域 ($V_{gsn} < V_{thn}$)

$$I_{dsn} = 0 \quad (8)$$

- ・ 飽和領域 ($V_{thn} < V_{gsn} < V_{dsn} + V_{thn}$)

$$I_{dsn} = \frac{\beta_n}{2} (V_{gsn} - V_{thn})^2 \quad (9)$$

- ・ 線形領域 ($V_{dsn} + V_{thn} < V_{gsn}$)

$$I_{dsn} = \beta_n \left\{ (V_{gsn} - V_{thn}) V_{dsn} - \frac{1}{2} V_{dsn}^2 \right\} \quad (10)$$

であり、pMOS も同様の特性である。提案回路では、nMOS の飽和領域と pMOS の線形領域を組み合わせ、ユークリッド距離の2乗を計算する。

図3に距離回路を示す。この回路は入力ベクトル y とテンプレートベクトル x との距離を求める回路で、 x は定ベクトルであり x , y とも0から255の間の整数とする。各々のニューロン MOS は C_{1j} , C_{2j} , C_3 の容量をもつ。 C_{1j} と C_{2j} は、テンプレートベクトル x の成分 x_j を用いて、次式により定める。

$$C_{1j} = \frac{x_j}{255} C_0, \quad (11)$$

$$C_{2j} = \left(1 - \frac{x_j}{255}\right) C_0 \quad (12)$$

C_3 は、nMOS の閾値電圧に対応させる。

$$C_3 = C_{all} \frac{V_{th}}{V_{dd}} \quad (13)$$

入力電圧は、ベクトルの成分毎にアナログ電圧 V_{in_j} を用意する。0から255の間の整数である入力値 y_j に対して、 V_{in_j} は

$$V_{in_j} = \frac{y_j}{255} V_{dd} \quad (14)$$

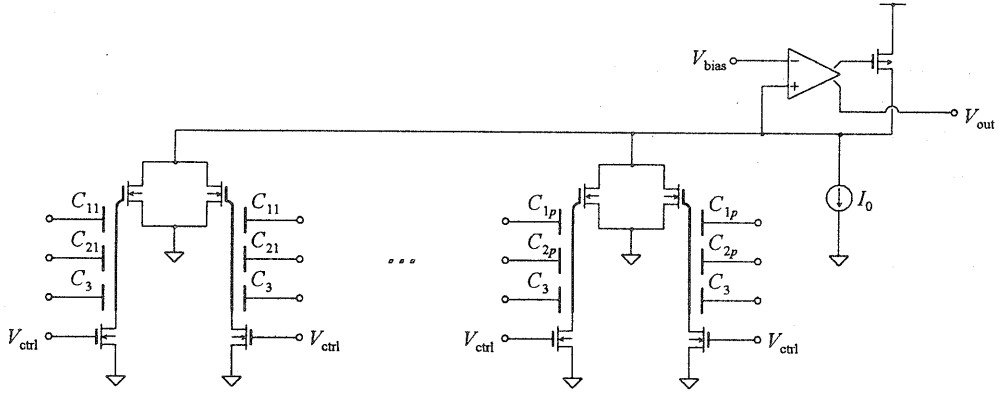


図 3: 距離回路の基本構成

で与える。

ニューロン MOS は 2 つで 1 次元分を計算する。ニューロン MOS 対の出力は、全てつながっており、このノードは pMOS を通して OP アンプからフィードバックを受けているので、OP アンプの反転入力 V_{bias} と同じ電位に保たれる。

動作方法は、まず図 4 のようにフローティングゲートに付いている nMOS のスイッチを閉じて、左のニューロン MOS の入力電圧を $V_{in,j}$, $V_{in,j}$, 0V とし、右側を V_{dd} , 0V, 0V にしてプリチャージを行う。次に MOS スwitch のゲート電圧を 0V にしてスイッチを閉じ、ニューロン MOS の入力電圧を今度は左側を V_{dd} , 0V, V_{dd} , 右側を $V_{in,j}$, $V_{in,j}$, V_{dd} にする。このときのニューロン MOS のゲート電圧 V_{gsn} は (7) 式に (11), (12), (13), (14) 式を代入して

$$V_{gsn(left)} = V_{thn} - \frac{C_0}{C_{all}} \frac{(y_j - x_j)}{255} V_{dd}, \quad (15)$$

$$V_{gsn(right)} = V_{thn} + \frac{C_0}{C_{all}} \frac{(y_j - x_j)}{255} V_{dd} \quad (16)$$

となる。

2 式のうち一方は V_{thn} より大きく、もう一方は小さいので、nMOS の特性により、一方はカットオフとなりドレイン電流は流れない。もう一方のゲート電圧が $V_{th} + |(C_0/C_{all})(y_j - x_j)V_{dd}/255|$ である方にドレイン電流が流れ、ゲート電圧が $V_{bias} + V_{thn}$ より小さい場合には、(9) 式より

$$I_{dsn} = \frac{\beta_n}{2} \left\{ \frac{C_0}{C_{all}} \frac{(y_j - x_j)}{255} V_{dd} \right\}^2 \quad (17)$$

となる。

オペアンプの入力には電流が流れないので、このドレイン電流はすべて pMOS に流れることになる。pMOS に流れる電流は、同じ行の全てのセルの電流の和であるから

$$-I_{dsp} = \sum_{j=1}^p \frac{\beta_n}{2} \left\{ \frac{C_0}{C_{all}} \frac{(y_j - x_j)}{255} V_{dd} \right\}^2 + I_0 \quad (18)$$

である。ここで定電流 I_0 は、プリチャージ時にも pMOS に電流を流してフィードバックを崩さない働きをしている。

一方、pMOS にはフィードバックがかかっているため、流れたドレイン電流に相当するようなゲート電圧が OP アンプの働きによりかけられることになり、このゲート電圧を出力として利用する。特に $I_0 = \beta_p V_{dsp}^2 / 2$ の場合、ユークリッド距離に対応する電圧

$$V_{dist} = \sqrt{\sum_{j=1}^p \left\{ \frac{(y_j - x_j)}{255} V_{dd} \right\}^2} \quad (19)$$

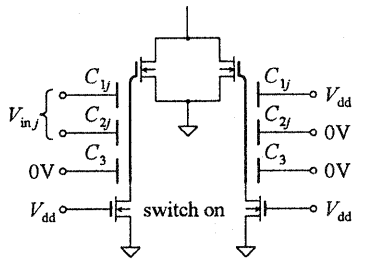
を用いて距離回路の出力電圧 $V_{out} = V_{dd} + V_{gsp}$ を表わすと

$$V_{out} = \begin{cases} V_{bias} + V_{thp} - \frac{1}{2} \frac{\beta_n}{\beta_p} \left(\frac{C_0}{C_{all}} \right)^2 \frac{V_{dist}^2}{V_{dd} - V_{bias}} & (V_{dist} < V_{dist1}) \\ 0 & (V_{dist} > V_{dist1}) \end{cases} \quad (20)$$

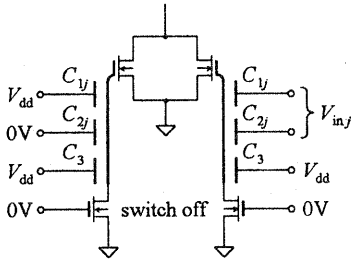
ただし、

$$V_{dist1} = \frac{C_{all}}{C_0} \sqrt{2 \frac{\beta_p}{\beta_n} (V_{dd} - V_{bias}) (V_{bias} + V_{thp})} \quad (21)$$

これは二次関数と閾値演算になっている。



(a) pre-charge cycle



(b) execute cycle

図 4: 距離回路の動作方法

3.2. Cマトリクス

Cマトリクスはキャパシタをマトリクス状に並べ、コンパレータをつなげた構造をしており、行列演算の結果を正負判別する演算を行う。

$$\begin{pmatrix} y_1 \\ y_2 \\ \vdots \\ y_n \end{pmatrix} = \begin{pmatrix} w_{11} & w_{12} & \dots & w_{1m} \\ w_{21} & w_{22} & \dots & w_{2m} \\ \vdots & \vdots & \ddots & \vdots \\ w_{n1} & w_{n2} & \dots & w_{nm} \end{pmatrix} \begin{pmatrix} x_1 \\ x_2 \\ \vdots \\ x_m \end{pmatrix}, \quad (22)$$

$$z_t = \begin{cases} 1 & y_t > 0 \\ 0 & y_t < 0 \end{cases} \quad (23)$$

ここで、 \mathbf{x} は正の値の m 次元入力ベクトルであり、 z_t が n 次元の出力ベクトル \mathbf{z} の t 成分である。重み付け行列は $n \times m$ 行列で、その成分 w_{ti} は正でも負でも構わない。

Cマトリクスには比較キャパシタがあり、容量 C_{cmp_i} ($i = 1, 2, \dots, m$) は次式で定める。

$$C_{cmp_i} = \begin{cases} C_0 & w_{\min_i} \geq 0 \\ C_0 - C w_{\min_i} & w_{\min_i} < 0 \end{cases}, \quad (24)$$

$$w_{\min_i} = \min\{w_{1i}, w_{2i}, \dots, w_{ni}\} \quad (25)$$

ここで、 C_0 はデザインルールに基づく容量の最小値で、

C はデザインルールにより可能な容量のステップである。なお、同じ列の w の最小値 w_{\min_i} と 2 番目に小さい w との差が C_0/C 以上の場合は C_0 を考慮しなくてよく、単に次式で比較キャパシタを定める。

$$C_{cmp_i} = \begin{cases} 0 & w_{\min_i} \geq 0 \\ -C w_{\min_i} & w_{\min_i} < 0 \end{cases} \quad (26)$$

その他のキャパシタは比較キャパシタ C_{cmp} の値を用いて、次式のとおり定める。

$$C_{ti} = C w_{ti} + C_{cmp_i} \quad (27)$$

また、行のキャパシタの和がすべて同じ値 C_{all} になるように、ダミーキャパシタ C_{dumt} ($t = 0, 1, 2, \dots, n$) を設ける。

動作方法は、まず全ての MOS スイッチを閉じて全ての入力電圧を 0V にして、フローティングノードの電位を 0V にする。次に、トランジスタのスイッチを開いてプリチャージを終了させ、その後 \mathbf{x} に比例させた入力電圧 V_{in} を加えると比較フローティングノードの電位は

$$V_{cmp} = \frac{\sum_{i=0}^m C_{cmp_i} V_{ini}}{C_{all}} \quad (28)$$

となり、 t 番目のノードの電位は

$$V_t = \frac{\sum_{i=0}^m C w_{ti} V_{ini} + \sum_{i=0}^m C_{cmp_i} V_{ini}}{C_{all}} \quad (29)$$

となる。これら 2 つの電位を比較する t 番目のコンパレータの出力が、今 V_{dd} になっていると仮定すると、 $V_{cmp} < V_t$ より

$$\sum_{i=0}^m C w_{ti} V_{ini} > 0 \quad (30)$$

が条件となり、これは (22), (23) 式で示した演算と同じ演算になっている。

3.3. クラスタリング・ラベリング回路

クラスタリング・ラベリングシステムの回路は p 次元の距離回路を m 個並列に並べ、距離回路の出力に $n \times m$ 行列の C マトリクスをつけた構造をしている。距離回路の入力はつながっており、全ての距離回路に入力ベクトル \mathbf{y} が同時に入力される。距離回路の出力は二次曲線に閾値をつけた関数になるように設計する。それぞれの距離回路にはテンプレートベクトル \mathbf{x}_i がキャパシタの比として記憶されていて、 \mathbf{y} との距離と閾値演算の結果が C マトリクスに入力され、重み付け演算と正負判別が行われる。

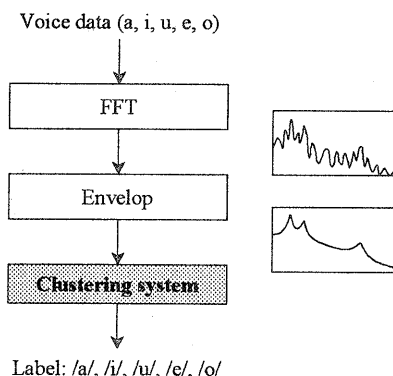


図 5: 音声データ処理の流れ

この回路構成に基づいて、4bit、2入力、4ノード、2出力のクラスタリングシステムを、 $1.2\mu\text{m}$ ルールで設計した。デジタル回路との比較のため、ニューロンMOSは5入力とし、このうちの4つのキャパシタは1:2:4:8の容量で設計して、簡単なD/Aの役割を持たせていることでデジタル入力の回路とした。この設計で要したチップ面積は、 $537,000\mu\text{m}^2$ であった。

このアナログLSIと比較するためのデジタルの設計も行った。設計にはハードウェア記述言語のVerilogを用いた。演算は、アナログ回路と同じように、すべて並列で行うよう設計した。このとき要した面積は、 $5,970,000\mu\text{m}^2$ となった。これらのことから、4bitで設計した場合は提案回路はデジタル回路の1/11の面積となった。

4. クラスタリング回路の設計手順

女性話者1名の日本語5母音150個の音声データで回路を構成した。想定している音声認識のシステムを図5に示す。入力された音声データにFFTをかけ、その包絡線から30ポイント抜き出し、1から255までの整数値に丸めて本稿で用いるクラスタリングシステムの入力とした。

最初に30次元の距離回路のみシミュレーションし、結果を2次曲線の閾値関数に近似した。次に、2章で示した学習方法のうち、閾値関数を指数関数として、誤差が小さくなるまで学習を行った。その後、閾値関数を用意した二次関数に替えて学習を行った。この場合の学習回数はそれぞれ20回と180回とした。学習の結果、第1層のノードは16となった。この学習で得たテンプレ

トベクトルと重みベクトルの数値を3章で示した方法で容量を決めてシミュレーションする回路を設計した。

5. シミュレーション

150個の学習データを順番に入力して、出力波形が学習データと一致するかを調べた。図6にシミュレーション波形を示す。図のように全ての入力において正しい出力を得ている。このシミュレーションにより、簡単な音声特徴のクラスタリング処理ができていていることがわかる。

このシミュレーションのフローティングノードの波形を図7に示す。ここではa, i, u, e, oを順に入力した時の比較ノードと/u/のノードを示している。入力が“u”の場合のみ/u/のノードの電位が比較電位を上回っており、設計どおりに動作していることがわかる。

次に統計解析を行った。提案回路はMOSの電流電圧特性をそのまま使っているため、素子のばらつきがそのまま現れてしまう。そこで、nMOS, pMOSの閾値 V_{thn} , V_{thp} を $\sigma = 1$ レベルで0.1V, トランスコンダクタンス KP_n , KP_p を $\sigma = 1$ レベルで10%, それぞれのMOSごとに独立したパラメータとして正規分布に基づいて30回のモンテカルロシミュレーションを行った。OPアンプは10程度のMOSで設計して、これは小さい面積に収まっていればばらつきが小さいと仮定し、 V_{thn} , V_{thp} , KP_n , KP_p の値をひとつ決めて、同じOPアンプの中はその値を用いた。キャパシタは、容量に関係なく $\sigma = 1$ レベルで1fFの割合で変化させた。この時のa, i, u, e, o 1組のシミュレーション波形を図8示す。誤差が入っていてもクラスタリングの冗長性により十分認識ができていることがわかる。

6. むすび

クラスタリング・ラベリングシステムのハードウェア向けに変更した計算方法を示した。距離回路、Cマトリクスを用いたクラスタリング・ラベリングシステムの認識時の計算を行うアナログ回路を構成し、その手順を示した。このシステムに音声特徴のデータを用いて統計解析を含むシミュレーションを行い、簡単なクラスタ処理ができることを示した。

今後は、正確なアナログ距離回路を導入することで、より正確なクラスタリング演算を実現できるか検討したいと考えている。

本研究の一部は、半導体理工学センター(STARC)、新エネルギー・産業技術総合開発機構(NEDO)および科学技術振興事業団(JST)の援助による。

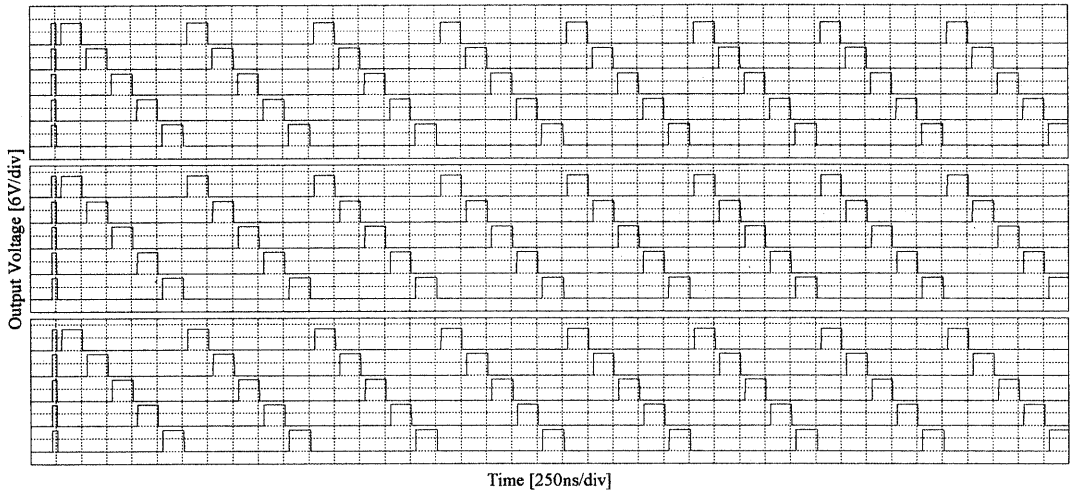


図 6: 全データのシミュレーション波形

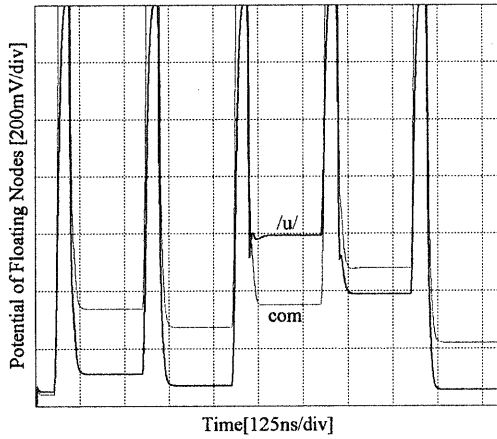


図 7: フローティングノードの電位

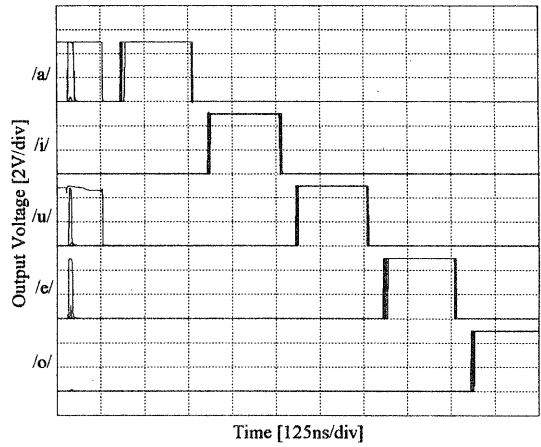


図 8: モンテカルロシミュレーション波形

7. REFERENCES

- [1] 宮永喜一, 奥村伸二, 柄内香次, “自己組織化クラスタリングの汎化性と適応能力について”, 電子情報通信学会論文誌, A Vol.J75-A, No.7, pp.1207-1215, 1992年7月
- [2] 宮永喜一, 柄内香次, “自己組織化と教師によるネットワークの高速・高精度学習について”, 電子情報通信学会論文誌, A Vol.J78-A No.11, pp.1475-1484, 1995年11月
- [3] R.Islam, Y.Miyanaga, K.Tochinai: “Multi-clustering

Network for Data Classification System”, IEICE Trans, on Fundamentals, 1997.

- [4] J.Ohkubo, Y.Miyanaga, K.Tochinai: “A CPLD Design of a Self-organizing System for Data Clustering”, IEEE Proceedings of International Symposium on Circuits and Systems, 1998.
- [5] M.Konda, T.Shibata and T.Ohmi: “Neuron-MOS Correlator based on Manhattan distance computation for

event recognition hardware", IEEE International Symposium on Circuits and Systems 4, pp.217-220, 1996.

- [6] Uğur Çilingiroğlu, Devrim Y. Aksın, "A 4-TRANSISTOR EUCLIDEAN DISTANCE CELL FOR ANALOG CLASSIFIERS", IEEE International Symposium on Circuits and Systems, 1998.
- [7] Masayuki KABASAWA, Yoshikazu MIYANAGA, "A Clustering System Based on Euclidean Distance by Using MOS Square-law Circuits", IEEE International Symposium on Intelligent Signal Processing and Communication Systems, December 1999.