

欠陥ベース故障診断手法

山中宏樹[†] 佐藤康夫[†] 池田聡雄[†] 山崎 巖[†]
小林誠治^{††} 高倉正博^{†††}
[†](株)日立製作所デバイス開発センタ
^{††}(株)日立製作所中央研究所
^{†††}日立エンジニアリング(株)

概要 LSIの高集積化や多層化に伴い、物理解析装置による解析が困難になってきている。そのため、テスト結果を用いてソフトウェアで高精度に故障位置を特定する技術が求められている。ソフトウェアの故障位置指摘では従来まで単一縮退故障モデルによる診断手法がとられてきたが、多様な欠陥に対して高精度な故障位置指摘を行うため、故障動作を正確にモデル化した故障診断を可能とした。また、モデル化による故障診断で完全に指摘できない故障に対しては、故障候補の周辺論理を調査する拡張モデル故障診断手法を確立した。

本稿では、配線系のブリッジ、オープン欠陥及びセル内故障に対し、ファンクションテスト及びIDDQテストでの故障診断により、高精度に故障位置を絞り込む手法について紹介する。

A Defect -Based Diagnostic Method

[†]Hiroki Yamanaka, [†]Yasuo Sato, [†]Toshio Ikeda, [†]Iwao Yamazaki
^{††}Seiji Kobayashi, ^{†††}Masahiro Takakura
[†]Hitachi Ltd. Device Development Center
^{††}Hitachi Ltd. Central Research Laboratory
^{†††}Hitachi Engineering Ltd.

Abstract It has been becoming more difficult to diagnose the faulty LSIs using physical analysis techniques, because of the high density of LSIs and the multi-layer of metal wires. Therefore, the software technique is strongly needed to locate a fault with high accuracy. Using a method based on fault models that well describe behavior of physical defects, we achieved higher accuracy in fault diagnosis than that of conventional methods based on single Stack-At fault model. Besides, we supported the un-modeled defects by utilizing the logical behavior of surrounding circuits.

In this paper, we propose a diagnostic method of high accuracy that locates a bridging/open fault and an intra-cell fault using functional test and IDDQ test results.

1 はじめに

LSI歩留りの早期立ち上げ、品質向上のため

めには不良要因の解析と製造工程への迅速なフィードバックが不可欠である。しかし近年の高性能ASICではプロセスの微細化に伴い、配

線ブリッジ、高抵抗Via、酸化膜欠陥等の不良解析は困難になってきている。

一般的な故障解析では、まずテストでの測定結果をもとにソフトウェアにより故障箇所を推定し、次に物理解析装置を用いて推定箇所を調べ、物理的欠陥を確認し、断面形状等から故障の直接的原因を究明する。しかしながら配線の多層化、高集積化により、物理解析作業は困難になりつつある。従って、ソフトウェアによる故障診断により故障推定箇所を精度良く絞り込むことが重要になってきている[1][2][3]。

ソフトウェアの故障位置指摘の有効な手法としては単一縮退故障用の故障シミュレータを用いた診断手法がある。これはスキャンテストのフェイル結果と故障シミュレーションの振る舞いが一致する故障候補を指摘するものだが、縮退故障以外の故障に対しては正しく絞り込めない。特に配線ショート、オープンViaやダークVia等による配線オープン、ゲート酸化膜欠陥等によるセル内リーク等の物理欠陥は、欠陥の大小、回路構成や入力信号レベル等により様々な様相を見せることが報告されている[4][5]。

そこで、これらの故障を高精度に絞り込むためには、それぞれの欠陥に対して故障動作を正確に表現した故障診断モデルを用いて故障シミュレーションを行うようにする。さらに、故障診断モデルで指摘しきれない故障については、故障候補箇所の周辺ノードの論理状態とテスト結果との依存関係により指摘精度を高める拡張モデル故障診断手法を適用する。

また、IDDQテストにおいてもスキャンテストと同様のアプローチで故障診断を行う事が可能である。IDDQテストの場合、テスト結果が電流値として見えるため、パス/フェイルだけでなく電流レベルの微小な変化と論理状態との依存性を評価することで指摘精度を高めることが可能となる。

本稿では、第2章でスキャンテストによるファンクション不良の故障診断手法、第3章ではIDDQテスト結果を用いた故障診断手法について述べる。第4章では2章、3章で述べた手法での解析事例を紹介し、第5章でまとめと今後の課題について述べる。

2 スキャンテスト故障診断手法

ここではスキャンテスト方式を用いたDC及びACファンクションテストによる論理値不良に対する故障診断手法を紹介する。先ずショートやオープン等の物理欠陥に対応する故障診断モデルについて述べる。次にそれらのモデルを用いた故障診断手順について述べ、最後に拡張モデル故障診断手法について説明する。

2.1 物理欠陥の故障診断モデル

欠陥箇所の故障動作を真理値表でモデル化したものを故障診断モデルと呼ぶ。一般的な故障診断では縮退故障(stuck-at fault)モデルを用いており、主に配線と電源やグランドとのショート、トランジスタのゲート酸化膜欠陥、コンタクト非導通などの故障がこのモデルに対応する。ここでは、その他の欠陥に応じた故障診断モデルについて述べる。

(1) 配線ショート故障

図1に配線ショートの場合、前段のトランジスタのオン抵抗(R_p, R_n)とショート抵抗(R_{sh})により各配線の電位が決まり、後段セルの論理しきい値(V_{lt})により論理値が確定する。従って、ショート抵抗値が0に近い場合、以下の式(1)で電位が求められ、この電位が V_{lt} より大きい場合W-OR型、 V_{lt} より小さい場合W-AND型の動作となる。

$$V1 = V2 = \left(\frac{R_n}{R_n + R_p} \right) V_{dd} \quad \dots \text{式(1)}$$

しかし、実際の回路ではオン抵抗や論理しきい値はセル毎に異なるため、これらのモデルに一致しないケースも考えられる。そこで、一方の論理値に完全に依存する場合のモデルとしてDRIVE型のモデルも追加した。図2にショート故障のモデル、表1に各モデルの真理値表を示す。

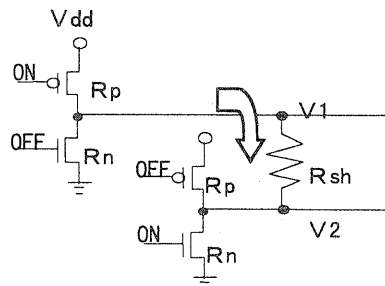


図1. 配線ショート例

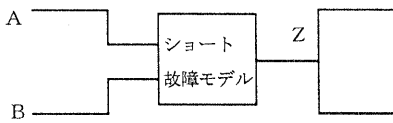


図2. ショート故障モデル

表1. 各モデルの真理値表

A	B	W-AND Z	W-OR Z	A-drive Z	B-drive Z
0	0	0	0	0	0
1	0	0	1	1	0
0	1	0	1	0	1
1	1	1	1	1	1

(2) 配線オープン故障

図3に配線オープンの欠陥例を示す。配線が完全に断線しているときの断線先の論理値は、初期電荷によって0または1に固定される場合と周囲の配線とのカップリング効果により確定する場合に分けられる。初期電荷により0固定や1固定になる場合は縮退故障モデルと一致する。カップリング効果による場合は隣接する配線の影響でテストによって0故障または1故障の両方の故障が伝搬される。ここでは隣接する1本の配線の論理値に支配される場合のモデルとして、配線ショート故障のDRIVEモデルを用いた故障診断を行う。

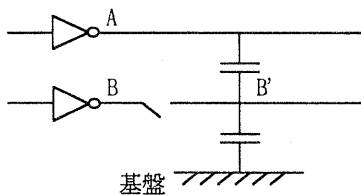


図3. 配線オープン例

(3) 配線高抵抗(ディレイ故障)

配線高抵抗によるディレイ故障については故障の程度により以下の2つに分類される。

- ①抵抗値大…遅延幅が大きく、全てのパスで故障が観測される。
- ②抵抗値小…遅延幅が小さく、パスディレイの小さいパスでは故障が観測されない。

上記①の場合は入力論理値が1時刻前から変

化したときに、パスディレイ値によらずに必ず故障が伝搬するため遷移故障モデルを用いる。図4に遷移故障のモデル、表2に遷移故障モデルの真理値表を示す。

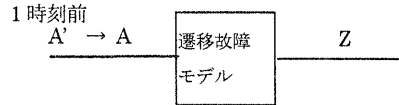


図4. 遷移故障モデル

表2. 遷移故障モデルの真理値表

A' → A	Z
0 0	0
1 0	1
0 1	0
1 1	1

一方②の場合は、故障が伝播するパスのパスディレイ値によりテスト結果が異なるため、ディレイ値を考慮した故障シミュレータでないとモデル化はできない。現状の故障シミュレータではディレイ値を考慮していないため、遷移故障モデルで故障が検出されたときの故障伝搬パスのパスディレイ値とテスト結果との依存関係を評価する必要がある。

2.2 モデル化故障の診断手順

図5に各診断モデルによる故障診断の実行手順を示す。まず最初に縮退故障モデルによる故障診断を行い、モデルとテスト結果が完全に一致した場合は指摘箇所物理解析に入る。故障原因としては配線と電源/グラウンドのショート、ゲート酸化膜欠陥、配線オープン等の可能性が考えられる。モデルとテスト結果が完全に一致しない場合は、縮退故障診断の結果から配線ショート、配線オープン及び遅延故障の可能性のある故障候補を抽出し、それらの故障候補に対してのみそれぞれのモデルで故障診断を行う。

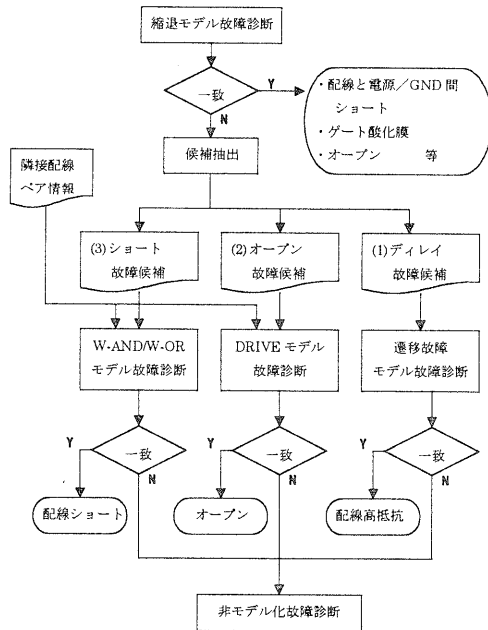


図 5. 故障診断の手順

以下に各故障候補の抽出方法を示す。以下、故障シミュレーションにより故障が出力ピン（スキャンFF）に伝搬し、対象ピンがテストでフェイルとなる場合を「検出」、パスとなる場合を「矛盾」と呼ぶ。モデルとテスト結果が完全に一致する場合とは、故障の検出回数とテストフェイル回数が一致し矛盾回数が0になる場合を指す。

(1) ショート候補抽出

ショート故障の候補は、縮退故障診断において2配線の検出回数の和がテストフェイル回数と一致するような配線ペアを対象とする。DRIVE モデルについてはオープン故障に起因するケースが多いのでここではオープン故障の候補として扱う。各モデルの縮退故障での指摘は表3であらわされる。表の上段と下段の故障の検出回数の和がテストフェイル数と一致する箇所が各モデルの故障候補となる。また、レイアウトから隣接配線ペア情報を取り込みさらに故障候補を絞った診断を行う。

表 3. 各モデルの縮退故障指摘

		W-AND	W-OR	A-drive	B-drive
A	B	Z	Z	Z	Z
1	0	A-s.a.0	B-s.a.1	B-s.a.1	A-s.a.0
0	1	B-s.a.0	A-s.a.1	B-s.a.0	A-s.a.1

(2) オープン故障候補抽出

配線オープン故障の場合、初期電荷によって0または1に固定される故障については、縮退故障モデルによる診断で、モデルとテスト結果が完全に一致する。カップリング効果による場合は、テスト毎に0故障または1故障の両方の故障が伝搬されるため、表3のDRIVEモデルと一致する。従って、配線オープン故障の候補は、同一配線の0縮退故障と1縮退故障の検出回数の和がテストフェイル回数と一致する配線を対象とする。また、配線ショート故障の場合と同様に、レイアウトから隣接配線ペア情報を取り込み故障候補を絞る。

(3) デイレイ故障の候補抽出

デイレイ故障については、まず測定の段階でデイレイ故障の可能性を見極める。電源電圧やデータ取り込みのタイミングを変えてテストを行い、これらの条件によりフェイル数が増えるものがデイレイ故障の診断対象となる。故障候補は、オープン故障と同様に縮退故障診断において同一配線の0縮退故障と1縮退故障の検出回数の和がテストフェイル回数と一致する配線を対象となる。また、一つの縮退故障で検出回数がテストフェイル回数と一致し、矛盾回数が0でない箇所も候補となる。

2.3 拡張モデル故障診断手法

モデル化故障の診断で故障モデルとテスト結果が完全に一致しなかったものについて、故障候補の周辺論理に着目した拡張モデル故障診断を行う。主な手法としてセル内故障および配線オープン故障について説明する。

(1) セル内故障

セル内故障の候補は、縮退故障モデルによる故障診断において、セルの出力ピンの検出回数の和とテストフェイル回数が一致し、矛盾回数が0にならない箇所を対象とする。一般に、セ

ル内のショート故障やオープン故障は、セルの入力値の組合せに依存して故障信号を発生する。従ってセルの出力ピンの縮退故障が検出されるときと矛盾となるときの入力値の組み合わせが背反になるセルに故障が内在していると考えられる。図6にセル内故障の例を、表4に真理値表を示す。このときセルの入力値の組合せと出力ピンの縮退故障の検出/矛盾数の関係は表4のようになり、検出数と矛盾数が両方カウントされている入力値の組み合わせが存在しないため、このセルを故障セルとして指摘する。

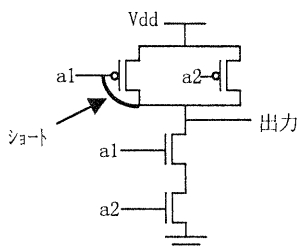


図6. セル内故障例

表4. セル内故障の指摘例

入力	0縮退故障		1縮退故障	
	検出数	矛盾数	検出数	矛盾数
0 0	12	0	0	0
1 0	0	5	0	0
0 1	8	0	0	0
1 1	0	0	9	0
合計	20	5	9	0

(2) 配線オープン故障

配線オープン故障のDRIVEモデルは隣接する配線のペアに着目したモデルである。しかし、実際の回路では隣接する配線は多数あり、それらの配線の論理値の組み合わせに依存して故障信号を発生する。この場合もセル内故障と同様に、着目する配線の縮退故障が検出されるときと矛盾となるときで全ての隣接配線の論理値の組合せが背反になる場合にその配線を故障として指摘する。図7に配線オープン故障の例を示す。隣接するA、Bの配線のカップリング効果によりA、Bの論理値がいずれも1のときのみZが1となる場合では、A、Bの論理値と検出数/矛盾数の関係は表5のようになる。検出数と矛盾数が両方カウントされている論理値の組み合わせが存在しないため、この配線をオープン故障

として指摘する。

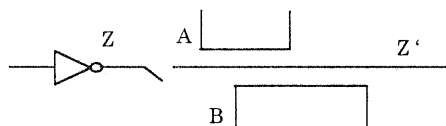


図7. 配線オープン故障例

表5. 配線オープン指摘例

入力	0縮退故障		1縮退故障	
	検出数	矛盾数	検出数	矛盾数
0 0	15	0	0	21
1 0	7	0	0	5
0 1	12	0	0	10
1 1	0	11	19	0
合計	34	11	19	36

3 IDDQテスト故障診断手法

IDDQとは、CMOS論理回路における静的動作状態での電源電流を表し、良品LSIに於いては、通常PN接合で形成された逆バイアス状態の微小なリーク電流だけが流れているが、欠陥が存在するLSIに於いては過大なリーク電流を生じる場合がある。IDDQ不良はテストパターンによらず全パターンで異常を生じる不良と、特定のパターンでのみ異常を生じる不良の2種類に分類され、パタン依存性のあるものでは、配線ショートによるブリッジ故障や酸化膜欠陥によるセル内トランジスタリーク故障が代表的である。故障診断の手法は、スキャン方式のファンクションテストの故障診断手法と同様に、欠陥をモデル化してテスト結果のパタン依存と一致する箇所を指摘する方法と、故障候補の周辺論理に着目した拡張モデル故障診断手法を適用する。

3.1 IDDQテストの故障診断モデル

IDDQテストの故障診断モデルはファンクションテストのモデルと異なり、欠陥箇所の論理状態とIDDQ異常電流の関係を真理値表でモデル化する。それぞれの欠陥に応じた故障診断モデルについて述べる。

(1) 縮退故障

主に配線と電源やグランドとのショート、ト

ランジスタのゲート酸化膜欠陥、コンタクト非導通などにより、配線が電源またはグラウンドと導通となる故障に対応する。図8に縮退故障の例を、表6に縮退故障モデルの真理値表を示す。尚、縮退故障モデルでは全ての配線を対象に故障診断を行う。

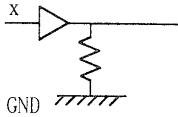


図8. 縮退故障例

表6. 真理値表

x	異常電流
0	なし
1	あり

(2) 配線ショート (Bridge) 故障

配線ショート故障によるブリッジ故障の場合ショートしている2本の配線の論理値が背反になるときにIDDQ異常電流が流れる。図9にブリッジ故障例を、表7にブリッジ故障モデルの真理値表を示す。尚、ブリッジ故障モデルはレイアウトから抽出した全ての隣接配線ペアを対象に故障診断を行う。

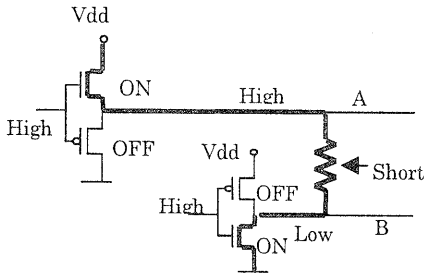


図9. ブリッジ故障例

表7. 真理値表

A	B	異常電流
0	0	なし
1	0	あり
0	1	あり
1	1	なし

3.2 IDDQテストの拡張モデル故障診断手法

縮退故障及びブリッジ故障モデルによる故障診断で故障モデルとテスト結果が完全に一致しなかったもの、もしくは故障指摘箇所が十分に絞り込めなかったものについて、以下の拡張モデル故障診断手法を適用する。

(1) セル内故障

縮退故障モデルの故障診断において、故障検出回数がテストフェイル数と一致し矛盾が0にならない箇所を故障対象とする。また、縮退故障モデルとテスト結果が完全に一致する場合でも高精度に絞込むためにセル内故障の故障診断を行う。

図10にセル内故障の例、表8に入力値と電流の依存関係を示す。この場合入力論理がA=0,B=1のときのみ異常電流が流れる。このため縮退モデルではAの1縮退及びBの0縮退がそれぞれ検出数とテストフェイル数が一致するがいずれも矛盾数は0にならない。このようなセルに対して、入力論理値の組み合わせとテストフェイルとの依存関係が一致する箇所を指摘する。

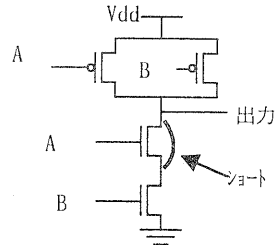


図10. セル内故障例

表8. 入力値と電流依存

A	B	異常電流
0	0	なし
1	0	なし
0	1	あり
1	1	なし

(2) ブリッジ故障

図11にブリッジ故障の例を示す。ブリッジ故障によりIDDQ異常電流が流れるのは、ショートしている配線の論理値が背反になるときである。ブリッジ故障はブリッジモデルの故障診断により完全に絞り込むことができるが、さらに以下の手法により解析精度の向上が可能となる。

ブリッジ故障ではショート配線の論理値が(1,0)の場合と(0,1)の場合では、ソース側のセルの特性により流れる電流値が異なる。このときIDDQテストでの電流測定値は図12のよう

に正常電流値、異常電流レベルA、異常電流レベルBの3段階の電流レベルに分かれる。このような異常電流の微小な差異を利用して、電流レベルと論理値の依存関係が完全に一致する箇所を指摘する。

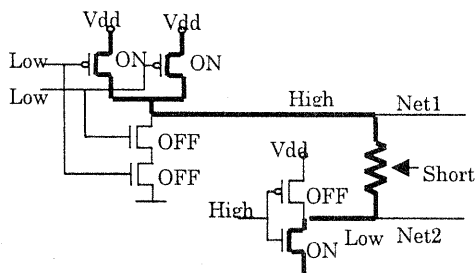


図11. IDDQブリッジ故障

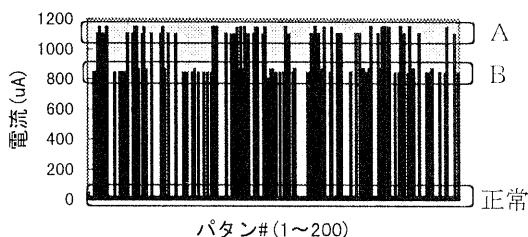


図12. ブリッジ故障時のIDDQ電流値推移

4 故障解析事例

2章、3章で紹介した手法を用いた故障診断システムを開発し、試行を行った。その中で故障位置を特定することに成功し、物理的な欠陥が確認できた2サンプルについての解析事例を示す。

事例1 (オープン故障)

論理規模	: 269.6 k ネット
テスト種類	: DCファンクションテスト
テストパターン数	: 510
処理時間	①縮退故障…25分
	②ショート(Adrive)故障…11分

DCファンクションテストで510パターン中98パターンでフェイル。縮退故障位置指摘により

検出数がフェイル数と一致した箇所が等価故障を含めて116箇所。これらに隣接するネットにA-driveモデルを仮定し故障位置指摘を実行したところ1箇所を指摘した。(表9)

表9. オープン故障診断指摘リスト

*** SHORT FAILURE LIST (A-DRIVE) ***

ERRLVL	NETNAME	DETECT	CONTR
1	XS1_UBC4ER_NB XS1_USLV25RDA0NB(7)	98	0

指摘ペア

隣接ネットペアのレイアウトを図13に示す。隣接ネット長は約1.25mm。物理解析により指摘ネットにViaオープンが確認できた。

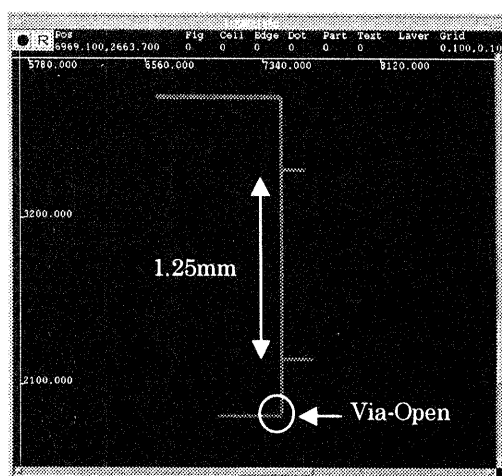


図13. 指摘配線のレイアウト

事例2 (IDDQセル内故障)

論理規模	: 256.4 k ネット
テスト種類	: IDDQ テスト
テストパターン数	: 100
縮退故障仮定数	: 512.8K
セル数	: 180.5K
処理時間	: 60分

解析用に100パタンのIDDQテストを実施し、45パターンで異常電流が観測された。パターン毎の電流値は図14に示すように、異常電流が

300~400(μ A)、400(μ A)以上の2レベルになっており、縮退故障位置指摘を実施したところ数箇所の縮退故障を指摘した。

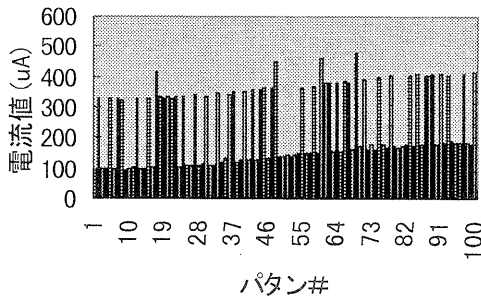


図14. IDDQ電流値推移

指摘されたセルに対し、新たに400(μ A)以上の異常電流を生じるパタンをフェイルと見なし拡張モデル故障診断を実施したところ、1つのセル(2入力NAND)を特定することに成功した。このセルの入力論理値と異常電流値の関係を表10に示す。分解調査の結果、指摘されたセルのNMOSゲート酸化膜のピンホールによるリーク故障を確認することができた。(図15)

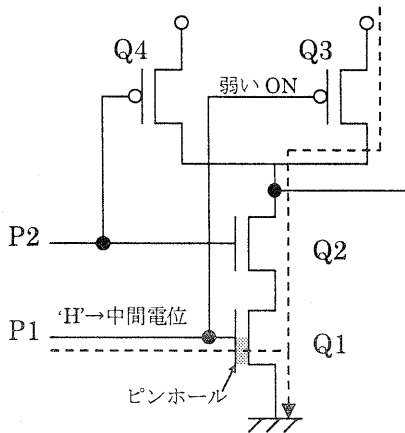


図15. 指摘セルの解析結果

表10 入力論理値と電流値の関係

P1	P2	IDDQ電流値(μ A)
0	0	~200
0	1	~200
1	0	300~400
1	1	400~

5 まとめと今後の課題

ファンクションテスト及びIDDQテストの欠陥ベース故障診断モデルを用いた故障診断システムを開発し、微細化プロセスでの代表的な欠陥である配線ショート、オープン及びダイレイ故障に対する高精度な故障位置指摘を可能とした。また、モデルに完全に一致しない故障候補に対して拡張モデルの故障診断手法を行うことにより複雑な故障に対する指摘精度の向上が可能となった。

今後はパステイレイを考慮した高精度なダイレイ故障の診断手法を確立する必要がある。しかし、ダイレイ故障については隣接配線の影響でダイレイ値が変化する場合や、配線ショートがダイレイ故障のように振る舞う場合などが実際の回路で確認されており、多様な故障に対応する故障モデルの検討が必要になる。また、今後さらなる大規模化に向け高精度且つ高速性が要求されるため、故障シミュレーションの高効率化も重要になってくる。

6 参考文献

- [1] 山田、山崎(明治大) "組合せ回路における論理故障のシミュレーションに基づく一診断法" 信学論 Vol.J79-D-I No. 12 pp.1123-1130,1996.
- [2] Phil Nigh, Donato Forlenza, Franco N otika "Application and analysis of IDDQ diagnostic software" Int. Test Conf. 1997.
- [3] 山中、小林、山崎、佐藤(日立) "ディーパサブミクロン欠陥ベース故障解析技術" DA シンポジウム 2000.
- [4] Charles F.Hawkins, Jerry M.Soden, Alan W.Righter, F.Joel Ferguson, "Defect Classes-An Overdue Paradigm for CMOS IC Testing", Proc. Int. Test Conf., pp.413-425, 1994
- [5] Vijay R. sar-Dessai, D.M.H. Walker, "Resistive Bridge fault Modeling, Simulation and Test Generation", Proc. Int. Test Conf., pp.596-605, 1999