

データ圧縮による画像処理用メモリの低消費電力化手法とその評価

深川 瑞香 井上 弘士 Vasily G. Moshnyaga

福岡大学工学部
〒814-0180 福岡県福岡市城南区七隈 8-19-1

E-mail: {fukagawa,inoue,vasily}@v.tl.fukuoka-u.ac.jp

あらまし 本稿では、データ圧縮による画像処理用メモリの低消費電力化手法を提案する。画像処理システムでは、FIFOなどの逐次アクセスを基本動作とするメモリ（フレームメモリ等）が使用される。従来のメモリシステムでは、ワードデータ中に含まれる全てのビットデータが読み出し・書き込みの対象となる。これに対し、本手法では、連続するデータ間の差分情報のみを読み出し・書き込みの対象とする。これにより、活性化すべきビットライン数を削減し、低消費電力化を実現できる。一般に、連続する画素間には相関関係があるため、連続するメモリ・アクセス対象データ間の差分をとることで効率的にデータ圧縮を行える。6種類の動画像データを用いて評価を行った結果、フレームメモリの消費電力を11%～16%削減できた。

キーワード 低消費電力 データ圧縮 FIFO 画像処理 MPEG

Reducing power consumption of
Video memory through data compression

Mizuka Fukagawa, Koji Inoue, and Vasily G. Moshnyaga

Faculty of Engineering, Fukuoka University
8-19-1 Nanakuma, Jonan-ku, Fukuoka, 814-0180 Japan
E-mail: {fukagawa,inoue,vasily}@v.tl.fukuoka-u.ac.jp

Abstract This paper proposes an idea for reducing power consumption of video memories through data compression. In video memory systems, in-order-access memories are used, e.g., frame memory. In a conventional memory, all bitlines are activated for reading or writing. On the other hand, our approach attempts to compress the read (or write) data, and activates only bitlines corresponding to the difference-bits between the successively accessed data. As a result, we can reduce the power consumption for the memory access by means of reducing the total number of bitline switching. In our simulation, it is observed that our approach can reduce the power consumption of frame memory by 11%-16% for many video sequences.

Key words low power consumption, data compression, FIFO, Movie Picture, MPEG

1. はじめに

携帯用ビデオ電話や DVD 装置など、バッテリー駆動型電子機器システムの小型化・軽量化に伴い、画像圧縮/伸張システムの低消費エネルギー化が重要な課題となってきた。例えば、MPEG 2 エンコーダにおいて、フレームメモリで消費される電力（消費電力とは単位時間当たりの消費エネルギー）は全消費電力の 40% 以上を占めている。プログラム実行時の消費エネルギーは以下の式で表される。

$$\text{Energy} = \alpha \cdot C \cdot V^2$$

ここで、 α は回路中の全ノードにおける総スイッチング回数、 C は各ノードにおける平均負荷容量、 V は電源電圧であり、これらを削減することで低消費エネルギー化を実現できる。

本稿では、メモリ・システムの低消費エネルギー化を目的として、 α （総スイッチング回数）を削減する新しい手法を提案する。また、その定量的評価を行い、有効性を明らかにする。 α の削減によるメモリ・システムの低消費エネルギー化に関しては、データ転送に要する電力の削減手法 [1][2][3]（バス・コーディングなど）と、メモリ・アクセスに要する電力の削減手法 [4] に大別できる。前者ではメモリと CPU 間のアドレス/データ・バスを、また、後者では主にメモリ内部のビットラインを対象として、それらのスイッチング回数削減を目的とする。文献 [4] では、メモリに格納すべきデータを必要に応じて反転することで、ビットライン・スイッチング回数を削減する手法を提案している。これに対し、本稿では、FIFO (First in first out) などの逐次アクセスを基本動作とするメモリを対象とし、読み出す（又は書き込む）べきデータを圧縮することで、ビットライン・スイッチング回数を削減する手法を提案する。本手法は、前述したバス・コーディング技術との組み合わせも可能である。

以下、第 2 節では、提案するデータ圧縮の基本概念、動作、データ圧縮を行うためのメモリ内部構造について説明する。次に、第 3 節で提案手法の評価を行い、最後に第 4 節でまとめる。

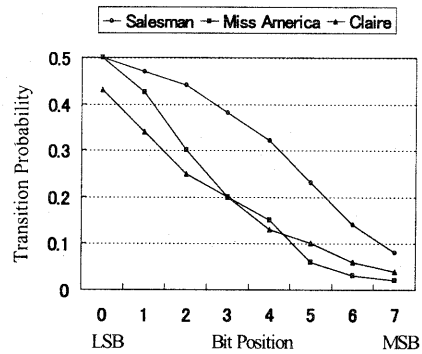


図 1：フレームメモリでの入力スイッチング確率

2. データ圧縮を用いた低消費電力化手法

2. 1 基本概念

一般に、連続する画素間において、画素値のビット・パターンが数ビットしか変わらない場合が多い（つまり、画素間に相関関係がある場合が多い）。フレームメモリに関して、3つのビデオ画像を用いた場合の入力データ・スイッチング確率を図 1 に示す。

図 1 より、MSB (Most Significant Bit) でのスイッチング確率は、LSB (Least Significant Bit) のそれと比べてはるかに低いことが分かる。これは、連続するフレームメモリ・アクセスを考えた場合、上位ビットほど同一ビット・パターン（つまり、同じビットデータ）が出現する確率が高いことを意味する。連続する画素においては、その明るさや色合いが極端に変化する場合が少ないためである（つまり、極端に画素値が変化することは少ない）。しかしながら、従来の手法では、このような MSB と LSB におけるスイッチング確率の違いに関わらず、全てのビットデータが読み出し・書き込みの対象となる。そのため、フレームメモリにアクセスする際、メモリ内の全ビットラインに対してプリチャージ/ディスチャージが行われる。その結果、ビットラインにおけるスイッチングが頻繁に発生し、多くの電力を消費する。そこで本稿では、前画素と次画素とのビット・パターンの差分情報を示す EB (Equality Bit) を設け、スイッチング確率の低い MSB (上位 4 ビット) を圧縮する低消費電力化手法を提案する。

2.2 動作原理

本手法は、画素間に存在する相関関係を活用し、動的に画素データ同士を比較、圧縮するものである。これにより、メモリアクセスの度にメモリ語長における全ビットラインが活性化されるのを防ぎ、プリチャージ/ディスチャージにより消費されるエネルギーを削減することが可能となる。具体的には、連続してアクセスされる画素データ（現画素データと次画素データ）を比較し、EBを作成する。対応するEBが0のとき（現画素データのMSB（上位4bit）と次画素データのMSBとが等しいとき）、次画素データに関してはLSB（下位4bit）のみをメモリから読み出す。つまり、隣接している画素間のMSBの相違情報をEBに格納し、EBにより次アクセスでのMSBのビットラインの活性化を制御する。

図2に、データ圧縮を行った場合の例を示す。データAのMSBとデータBのMSBは等しいため、データAと同じエントリのEBに0を格納する。データBとデータC、データDとデータEについても同様である。一方、データCとデータDのMSBは等しくないため、EBには1を格納する。データ圧縮を行わない従来型メモリを使用した際の例を図2(i)に示す。(i)では、AからEのデータを読み出す場合、40回のビットライン・スイッチング(1画素8bit×5)が発生する。これに対して、本手法を適用してデータ圧縮を行った(ii)では、MSBが省略された3画素(LSB×3=12bit)と

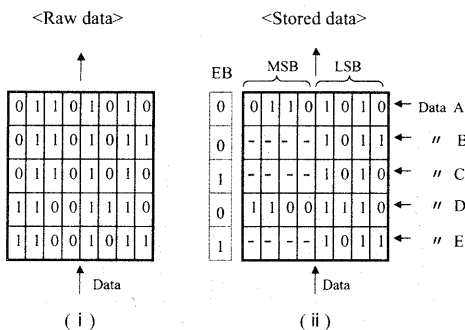


図2： EBを用いたデータ圧縮

MSBが省略されなかった2画素(8×2=16bit)にEBが5画素分(5bit)加わり、合計で33bitとなる。つまり、データ圧縮を行わない従来型メモリと比較してビットライン・スイッチング回数を7回削減できる。

2.3 内部構造と動作例

図3に2.2節で述べたデータ圧縮を実現するためのメモリ内部構造を示す。この内部構造と図2のデータを用いて、読み出し・書き込みの動作を以下で説明する。ここで、データの書き込み、読み出しは共にデータA、データB、データC、データD、データEの順で行われると仮定する。

・書き込み動作

- ① 画素データAの書き込み要求が発生したとき、画素データAとその書き込みアドレスをレジスタに一時格納する。
- ② 画素データBの書き込み要求が発生したとき、レジスタに格納した画素データAのMSBと現書き込みデータBのMSBを比較する。
- ③ AとBのMSBが等しいため、上記①にてレジスタに保持したデータAのアドレスを用いて、画素データA(MSBとLSBの8bit)とEBの値0(次データとMSBが等しいことを示す)をメモリに書き込む。
- ④ 画素データBとその書き込みアドレスをレジスタに一時格納する。
- ⑤ 画素データCの書き込み要求が発生したとき、レジスタに格納した画素データBのMSBと現書き込みデータCのMSBを比較する。
- ⑥ BとCのMSBが等しいため、上記④にてレジスタに保持したデータBのアドレスを用いて、画素データB(MSBとLSBの8bit)とEBの値0をメモリに書き込む。
- ⑦ 画素データCとその書き込みアドレスをレジスタに一時格納する。
- ⑧ 画素データDの書き込み要求が発生したとき、レジスタに格納した画素データCのMSBと現

書き込みデータ D の MSB を比較する。

- ⑨ C と D の MSB は等しくないため、上記⑦にてレジスタに保持したデータ C のアドレスを用いて、画素データ C と EB の値 1 (次データと MSB が異なることを示す) をメモリに書き込む。この動作を繰り返す行うことで次画素データとの相違情報 (EB) をメモリに格納する。

・読み出し動作 (メモリより読み出された EB の初期値は 1 と仮定する)

- ① 画素データ A の読み出し要求が発生したとき、初期値としてレジスタに保持した EB が enable 信号を発生し、メモリの MSB 部分が活性化する。
- ② データ A の MSB と EB 値 0 がレジスタに格納される。これらの値は後続読み出しの際に使用される。
- ③ データ A の MSB がレジスタから、LSB がメモリから読み出される。
- ④ 画素データ B の読み出し要求が発生したとき、上記②にてレジスタに保持した EB は enable 信号を発生せず、メモリの MSB 部分は活性化しない。
- ⑤ データ B の EB 値 0 がレジスタに格納される。
- ⑥ データ B の MSB がレジスタから、LSB がメモリから読み出される。

この動作を繰り返し、EB が 0 のときはメモリの MSB 部分が活性化しないため、メモリにおいてビ

ット線が活性化するのを防ぐことが可能となる。

なお、本稿では読み出し動作の MSB 圧縮のみを対象とした。しかしながら、書き込み動作においても、読み込み動作と同様に圧縮ができる。次節では、読み出し動作の評価について議論するが、書き込み動作においても同等の結果が得られると考える。

3. 評価

3. 1 実験環境

2. 2 節で述べた低消費電力化手法の有効性を明らかにするため、C 言語によりシミュレータを作成し評価を行った。入力データとして 6 種類の動画像 (bicycle、carousel、cheer、football、mac_ntsc、tabletennis) を用いた。各動画像は、フレームサイズが 352 × 240 pixel の 150 フレームで構成される。評価対象の基本モデルは図 2 で示したように 4 ビットの MSB に EB を 1 ビット追加した 9 ビット語長構成とする。

3. 2 実験結果

図 4 は、6 種類の動画像に対して基本モデルにおいてデータ圧縮を行った結果である。図の横軸はベンチマークの種類、縦軸は総ビットライン・スイッチング回数を示す。総ビットライン・スイッチング回数の内訳を見ると、MSB でのスイッチング回数がどの画像も従来の手法の約半分に減少している。その結果、どの画像においても、総ビットライン・

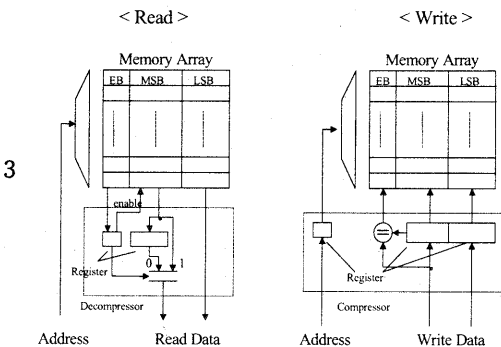


図 3 : データ圧縮を行うためのメモリ内部構造

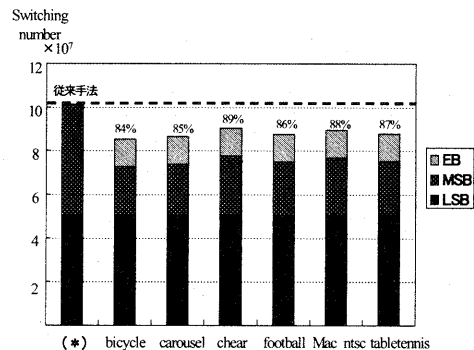


図 4 : 総ビットライン・スイッチング回数

スイッチング回数を11%~16%削減できた。図4において、各画像のLSBでのスイッチング回数は従来手法のそれと同じである。これは、2.1節で述べたようにMSBでのスイッチング確率はLSBのそれと比べてはるかに低く、本手法では、スイッチング確率の低いMSBのみを圧縮対象としたからである。

図5は、各画像の1~150フレームにおいて、本手法適用後の総ビットライン・スイッチング回数の推移を表す。動画を構成する150フレームそれぞれの総ビットライン・スイッチング回数を較べると、画像によってはフレーム間に大きな差があることが分かる。特に、動きが大きいbicycle画像やtabletennis画像では、フレーム間においてスイッチング回数の変化が大きい。

tabletennis画像は、卓球をしている選手と背景が映ったシーンから、選手の手元へズームインしたシーンへと切り変わる画像である。選手と背景が映ったシーンでは画素の色が多彩に存在したのに対し、手元のみが映ったシーンではラケットの色と手の色みの色彩しか存在しない。つまり、前フレームと次フレームにおいて色彩の数が大きく減少したためにMSBの圧縮効果が顕著に表れ、総ビットライン・スイッチング回数が大きく変化したと考える。

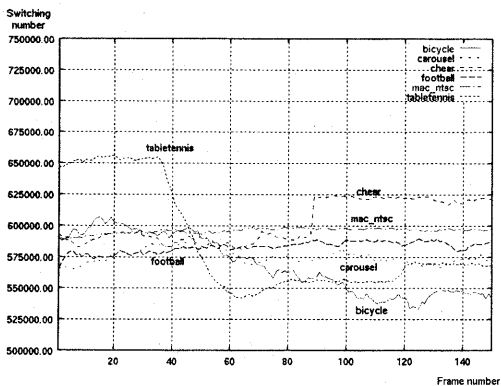


図5：各フレームにおける総ビットライン・スイッチング回数

3.3 メモリ構成が消費電力に与える影響

3.3.2 圧縮対象ビット幅

第3.2節で示した評価結果は、第2節で説明した基本モデルを評価対象としたものであった。本節では、圧縮の評価対象となるビット幅、つまりMSBの幅（基本モデルでは4bit）を変えた場合の圧縮率の変化について議論する。図5において最も圧縮率が高いフレームに関して、MSBの幅を変えたときの総ビットライン・スイッチング回数を図6に示す。football画像を除く全ての画像入力において、MSBを4ビットとした場合に最も高い圧縮率を達成している。つまり、前画素データのMSB4ビットと次画素データのMSB4ビットを比較してEBを作成する基本モデルが、適切な圧縮対象ビット幅ということが本シミュレーション結果より分かった。

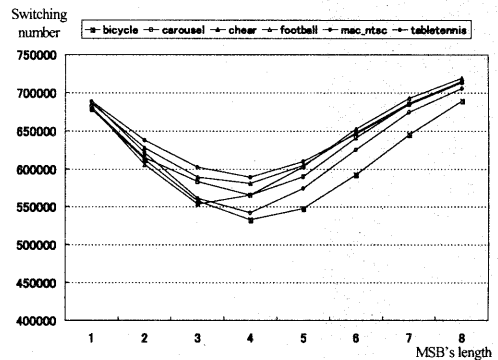
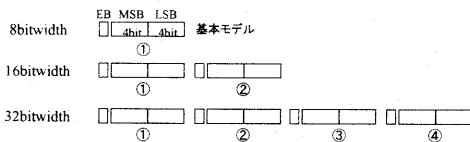


図6：MSB長を変えた場合の総ビットライン・スイッチング回数

3.3.3 メモリ語長

メモリ語長が32bit幅の方が8bit幅に比べて同時に多くの画素データを格納できるため、メモリの処理速度は速くなる。本節では、8ビット以上の大きな語長を有するメモリにおいて、本手法を用いた場合の低消費電力効果を明らかにする。図7に、評価対象となる3種類のメモリ・モデルと、それぞれにおける総ビットライン・スイッチング回数の減少率を示す。メモリ語長が8ビットの場合は、メモリ

に8ビット (= 1画素) 単位で格納するため、前画素と次画素の隣接した画素同士を比較することになる。メモリ語長が16ビットの場合は、メモリに16ビット (= 2画素) 単位で格納するため、比較する画素は1画素目と3画素目、2画素目と4画素目のように、1画素飛ばして比較を行う。メモリ語長が32ビットの場合は、メモリに32ビット (4画素) 単位で格納するため、比較する画素は1画素目と5画素目、2画素目と6画素目のように3画素飛ばして比較を行う。従って、比較する画素同士が離れていることから圧縮効果があり得られないことが予想される。3種類のメモリ・モデルの中で圧縮率が最も高いのは、メモリ語長が8ビットの場合であった。その差は、32ビットの場合と比べて4%~10%である。このシミュレーションにより、メモリ語長が8bit幅の場合に最も消費電力を抑えることができ、メモリの速度を重視した32bit幅の場合でも、2%~10%の低消費電力化を達成することが分かった。



	8bitwidth	16bitwidth	32bitwidth
Bicycle	0.841873	0.897733	0.9459313
Carousel	0.851397	0.892672	0.929082
Cheer	0.891378	0.940054	0.977706
Football	0.862300	0.913218	0.954709
Mac-misc	0.881678	0.913635	0.942656
Table tennis	0.866831	0.884199	0.902737

図7：メモリ語長を変えた場合における消費電力の減少率の変化

4. 終わりに

本稿では、前画素のMSBと次画素のMSBを比較してメモリアクセスの対象となるデータを圧縮することで、活性化するビットラインの数を抑える手法を提案した。6種類の動画像を用いて評価を行

った結果、11%~16%のフレームメモリの低消費電力化を達成した。また、1画素=8bitに対して比較対象のMSBの長さは4bitとすることが適切であるということが分かった。更に、語長の大きなメモリ・デバイスに対しても、本手法が有効であることが判明した。

本稿では、評価においてメモリシステムの消費電力を総ビットライン・スイッチング回数で近似した。今後、より詳細な消費電力モデルを用いた評価を行う予定である。また、逐次アクセスの中でもFIFOのように単純に前後のデータを比較するメモリシステムを対象とした。今後、LIFOのようにスタック構造を有するメモリシステムに関して評価を行う予定である。

謝辞

日頃から御討論頂く、福岡大学工学部 モシニヤガ・ワシリー研究室の諸氏に感謝します。

参考文献

- [1] M.R.Stan and W.P.Burleson, "Bus-invert coding for low-power I/O", IEEE Trans. VLSI Systems, Vol.3, pp. 49-58, Mar. 1995.
- [2] E. Musoll, T.Lang, and J.Cortadella, "Working zone encoding for reducing the energy in microprocessor address busses", IEEE Trans. VLSI Systems, Vol.6, No.4, pp. 568-572, Dec. 1998.
- [3] L.Benini, G.D.Micheli, E.Macii, M.Poncino, S.Quer, "Reducing power consumption of core based systems by address bus encoding", IEEE Trans. VLSI Systems, Vol.6, No.4, pp.554-562, Dec.1998.
- [4] B.-I. Park Y.-S. Chang and C.-M. Kyung, "Conforming inverted data store for low power memory", Proc. Int. Symp. on Low Power Electronics and Design, pp.91-93, 1999.