

斜め配線手法と RISC プロセッサコアへの適用事例

五十嵐 睦典 三橋 隆 Andy Le[†] Shardul Kazi[†]
Yang-Trung Lin[‡] Aki Fujimura[‡] Steve Teig[‡]

株式会社 東芝, 〒212-8520 川崎市幸区堀川町 580-1

[†] ArTile Microsystems, Inc., 1060 Rincon Circle, San Jose, California 95131,

[‡] Simplex Solutions, Inc., 521 Almanor Avenue, Sunnyvale, California 94085

E-mail: {mutsunori.igarashi,takashi.mitsuhashi}@toshiba.co.jp,

[†] {Shardul,lea}@artilemicro.com,

[‡] {ytlin,aki,steve}@simplex.com

あらまし:

斜め方向の配線を駆使することを特徴とした SoC (System-on-Chip) 設計のための配線構造、およびそれを用いたレイアウト設計手法について述べる。本手法を 128bit RISC プロセッサコアに適用したところ、20% のパス遅延の改善と 10% の面積縮小を達成した。

キーワード: 斜め配線, レイアウト, RISC プロセッサ

A Diagonal Interconnect Architecture and Its Application to RISC Core Design

Mutsunori Igarashi, Takashi Mitsuhashi, Andy Le[†], Shardul Kazi[†],
Yang-Trung Lin[‡], Aki Fujimura[‡], and Steve Teig[‡]

Toshiba Corporation, System LSI Design Division,

580-1, Horikawa-cho, Saiwai-ku, Kawasaki 212-8520, Japan,

[†] ArTile Microsystems, Inc., 1060 Rincon Circle, San Jose, CA 95131,

[‡] Simplex Solutions, Inc., 521 Almanor Avenue, Sunnyvale, CA 94085

E-mail: {mutsunori.igarashi,takashi.mitsuhashi}@toshiba.co.jp,

[†] {Shardul,lea}@artilemicro.com,

[‡] {ytlin,aki,steve}@simplex.com

Abstract:

A new interconnect architecture characterized by pervasive use of diagonal wiring is described. By applying a design methodology based on this architecture to a 128 bit RISC processor core design, 20% path delay reduction and 10% area reduction is observed compared with the conventional orthogonal interconnect architecture.

Key words Diagonal Interconnect, Layout, RISC processor

1. はじめに

LSI の微細化技術の進展に伴い、配線抵抗に起因する遅延の問題が深刻になってきている。この問題を解決するために、製造プロセスの側では、Cu 配線、Low-k 絶縁物、SOI (Silicon on Insulator) などの導入により、材質面から配線遅延を抑える努力がなされてきた。また、設計技術の側でも、これまでに配線長を短縮するために多くのアルゴリズム的な提案がなされてきた。しかしながら、LSI 内部の設計に限って言えば、水平方向と垂直方向の配線を組み合わせた配線構造だけでは、アルゴリズム的な工夫の余地は限られている。ところが、近年のプロセス技術の進展により、5 層以上の多層配線が比較的安価で利用できるようになり、再び設計技術による革新的な配線長改善の可能性が出てきた。

本研究では、斜め方向の配線を多用する配線構造とその設計手法を提案するもので、一般信号配線のために 5 層以上の多層配線構造が利用できる場合に最も効果を発揮するものである。

これまで、斜め配線はパフォーマンス改善のためにプリント基板設計の分野で用いられてきており、直交配線、すなわち、水平および垂直配線に対する優越性が報告されている。しかしながら、LSI の内部の設計に関しては、斜め配線技術を多用した設計事例は見られない。一般に、LSI 内部の配線問題が扱う要素の数は、プリント基板のそれよりも 2~3 桁以上大きく、非常に多くの計算機リソースを必要とする。こうした難しさが、直交配線よりも複雑な斜め配線を扱う汎用的な CAD システムの開発を難しくしてきた要因であり、結果として、これまで斜め配線を多用した SoC 設計事例が見られないことにつながっている。

本稿では、上記の問題を解決する斜め配線を使った CAD システムについて述べる。また、このシステムを RISC コアの設計に適用することで、提案する斜め配線手法の有効性を示す。

2. 基本アイデア

図 1 は斜め配線の基本的な考え方を、最も単純な 2 端子ネットを例にとりて説明したものである。図の点 A から点 C を結ぶ直交配線経路 A-B-C に対して、斜め方向のショートカットを行うことで配線長を直交配線の場合と比べて最大で 29.3% も削減することができる。この斜め配線を適用した場合の配線長の削減効果は、ネットを構成する端子数とそれぞれの端子の配置位置によって変わる。より一般的な場合を扱った計算機シミュレーションによれば、直交配線に加えて斜め方向の配線を導入した場合の平均的な配線長削減効果は、たかだか 10% 程度であることが知られている[1]。この結果は、任意に端子を配置した場合に得られる斜め配線による純粋な配線長削減効果を示したものとして有用であるが、斜め方向の配線があることを前提にレイアウトを最適化した結果の上限値を示すものではない。直交方向に加えて斜め方向の配線が可能であれば、端子の配置の自由度が増し、端子位置を含めた最適化の結果として、さらに大きな配線長削減効果が期待できる。

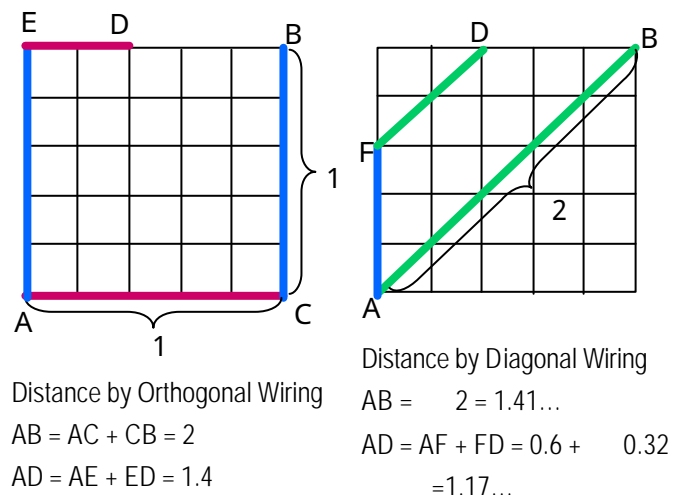


図 1 斜め配線の基本アイデア

3. 斜め配線構造の一例

図 2 は、提案する斜め配線手法と従来の直交配

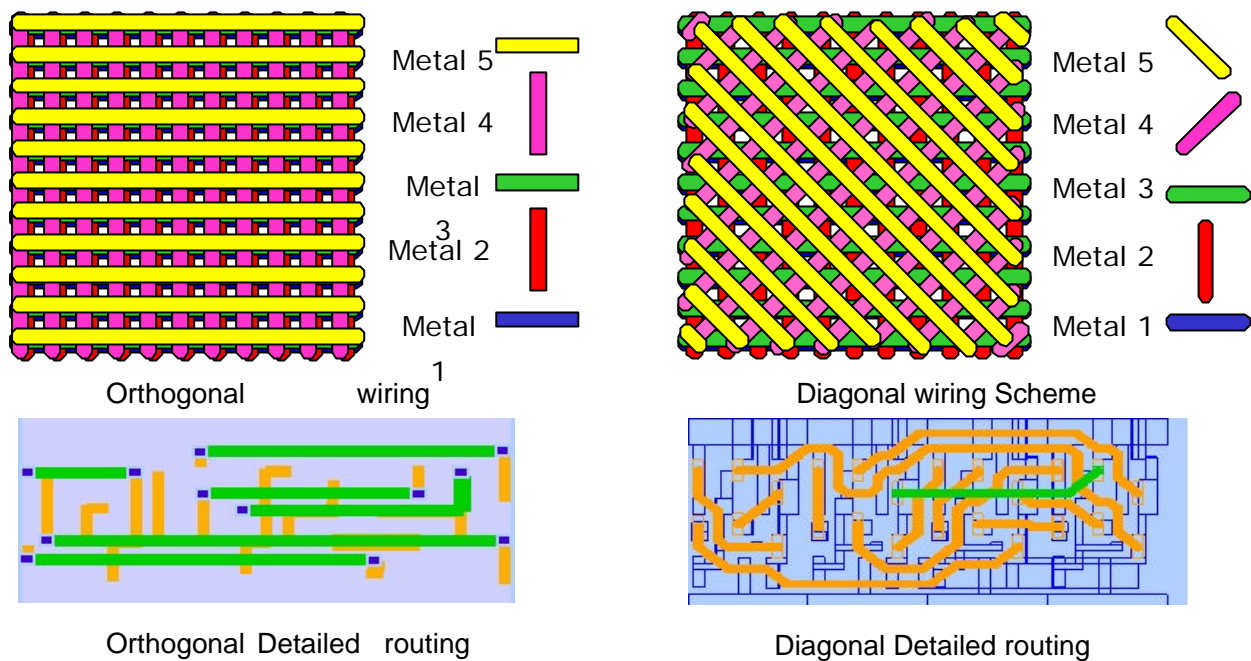


図2 斜め配線を用いた多層配線構造

線手法とを比較したものである。図に示した配線構造は、3つの直交方向の配線層の上に2つの斜め方向の配線層を重ね合わせた配線構造の例である。下層の3つの配線層は、主に直交方向の配線に使用されるもので、これは、既存のセルライブラリが直交配線を主体に描かれていることを考慮したものである。図2に定義した各層の配線方向は、配置や概略配線の処理ステップの中で用いる配線の優先方向であって、各ステップではこれら配線優先方向を考慮した配線モデルを用いて最適化をおこなう。ただし、レイアウトの最終段階である詳細配線の処理ステップでは、これら大局的な優先方向に捕われず配線を行う。図2右図は、各配線層それぞれで可能な8つの配線方向を駆使して、配線長およびVIA数の最適化をおこなった様子を示したものである。

4. 適用した設計手法

図3は、RISCコアの設計に適用したレイアウト設計フローを示している。この中には、新たに開発した斜め配線を考慮したセルの配置・配線システムが組み込まれている。セル配置は、概略配置処理とそれに続く局所最適化処理とから成る。概略配置処理は、回路の分割処理と概略配線を同時に行い、大局的に配線長の最適化を行う。これに引き続き、局所的な最適化処理では、比較的狭い領域の中でセ

ル移動を行い、配線混雑を緩和する。図3に示した斜め配線固有の処理内容については新規であるが、レイアウト設計全体の流れは既存のものと全く同じである。RISCコア設計に適用した設計手法は、タイリングと呼ばれる手法[2]により構成されており、このレイアウトフローはその中に組み入れられた一要素である。

設計に使用したセルライブラリに関しては、従来

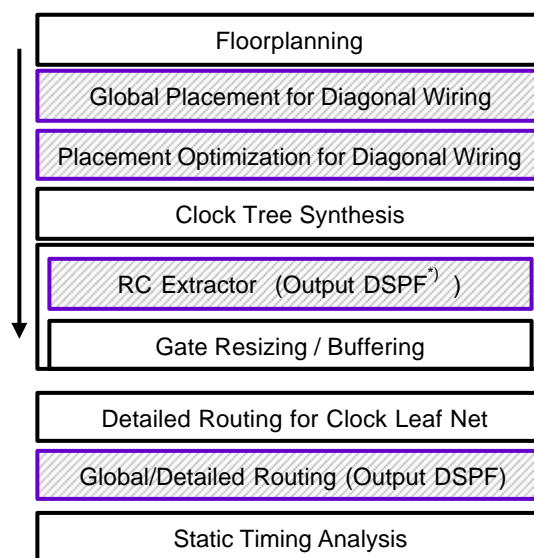


図3 レイアウト設計フロー

*) DSPF: Detailed Standard Parasitic Format

の設計手法に用いたものと全く同じであり、提案する斜め配線手法は既存の直交配線を用いる設計手法と互換であるといえる。

5. RISC コア概要

設計に用いた RISC コアは、約 750KG のランダム部とメモリ部とから成る。コア部分のサイズは $4.8 \times 4.8\text{mm}$ で、図 4 に示すように全体を 4 つのタイルに分割している。動作周波数は 200MHz で、使用テクノロジーは $0.18 \mu\text{m}$ 、6 層の CMOS プロセスである。6 層目の配線層は、電源、グランド、グローバルクロックに使用し、その他の 5 層を一般信号及びローカルクロックに使用している。配線の最小間隔は、直交・斜め方向共に $0.28 \mu\text{m}$ である。

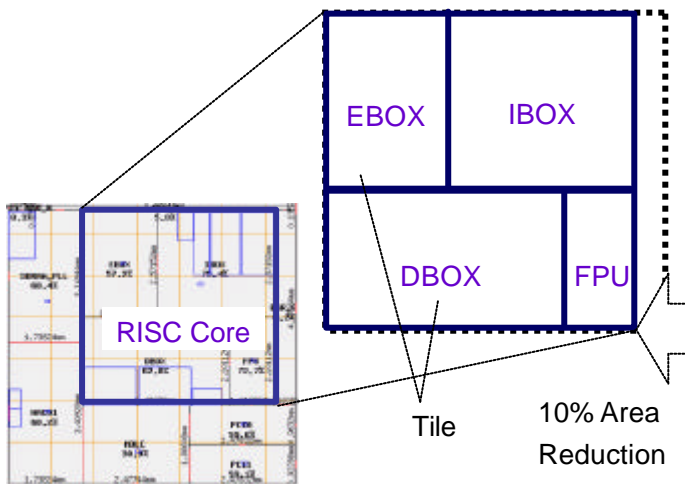


図 4 RISCコアとそのフロアプラン

6. 適用結果

提案する斜め配線手法を適用した結果、従来の直交配線手法の結果と比較して 19.2% の総配線長の短縮と 10% の面積削減を達成した。この配線長削減効果は、遅延の短縮効果にもつながる。図 5 は、Static パス解析によって得られた、レジスタ間のパス遅延の分布を示したものである。クリティカルパス遅延は 0.99ns 改善されており、これは、19.8% のサイクルタイムの改善に相当する。また、本手法

の適用により得られた特徴的な結果として、パス遅延の分布全体がプラスのスラック側へとシフトしていることがあげられる。これは、斜め配線手法の適用により、回路全体として遅延が削減されているためと考えられる。同様の結果は、パスの分布形状の異なるその他の 3 つのタイルでも得られた。これらから、提案する斜め配線手法により、クロック周波数として見た場合には、約 25% の改善能力があると見積もることができる。

図 6 は、RISC コアの一部の詳細配線結果を示したものである。図から分かるように、詳細配線では、それぞれの配線層上で可能な 8 つの方向全てを

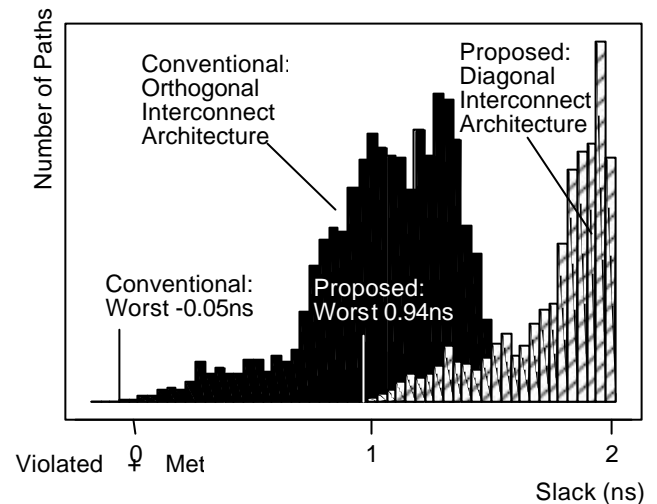


図 5 パス遅延の分布 (EBOX)

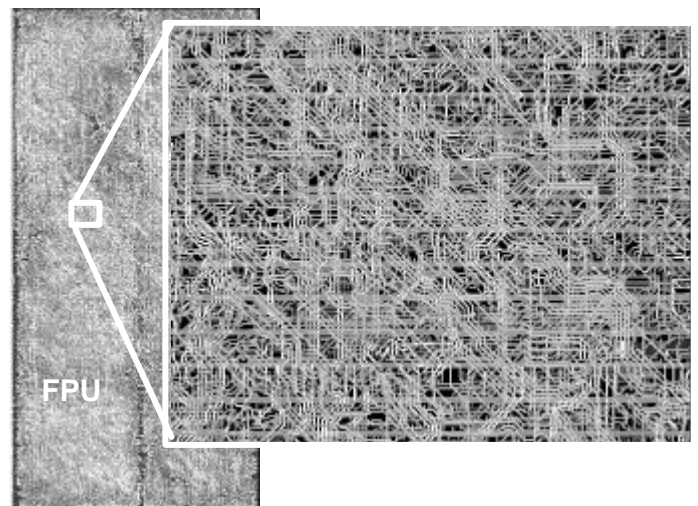


図 6 詳細配線結果

用いている。一方、図7は RISC コア全体のレイアウトプロット図である。

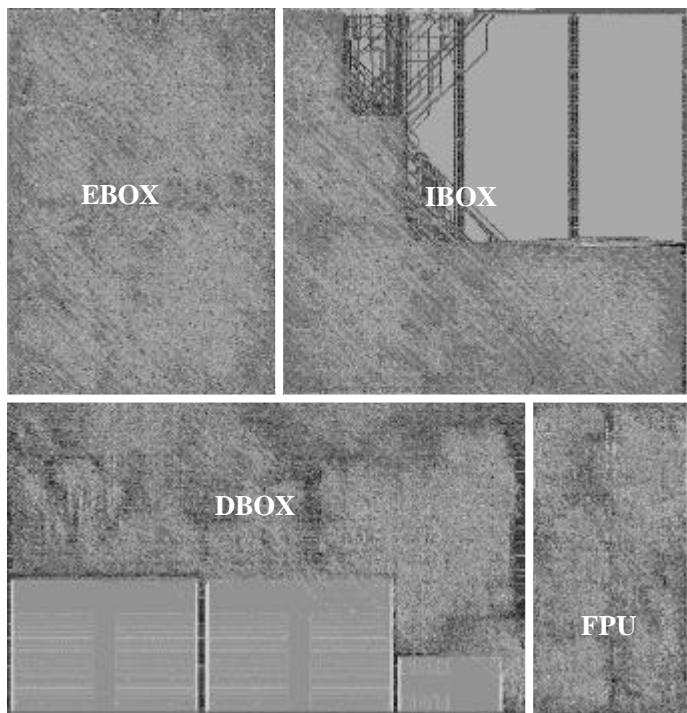


図7 RISC コアのレイアウトプロット

7. おわりに

斜め方向の配線を駆使する配線手法、およびそれを用いた設計手法を提案した。本手法を 128bit RISC プロセッサコアに適用した結果、20%のパス遅延の短縮と 10%の面積削減を達成した。提案した斜め配線手法は、DSM 世代のチップ設計において配線遅延を削減するための有力な手段の一つとなると考えられる。

謝 辞

本研究を進めるに当たり、多大なご協力とご支援を頂いた Toshiba America Electronic Components 重松朋久氏、東芝 落井清文、内田和幸、山田正昭、青柳洋史、奥田龍美、那須弘、馬場雅廣の各氏、並びに Simplex Solutions, Inc の J. Pettengill, V. Barbod の両氏に感謝いたします。

参考文献

- [1] 早瀬道芳, 目木信太郎, “幾何のスタイナ木作成法”, 情報処理学会論文誌, Vol.38, No.04., Pp677-686, Apr.

1997.

- [2] Peter Hsu, “TX79: A MIPS-Compatible Synthesizable Core with Multimedia Vector Extensions”, Proc. of Microprocessor Forum, Oct. 2000.