

相補型プレーナキャパシタを用いた 130nm CMOS ダイナミック型 Ternary CAM

野田 英行[†] 井上 一成[†] Hans Jürgen Mattausch[‡] 小出 哲士[‡]
堂阪 勝己[†] 有本 和民[†]

[†](株)ルネサステクノロジ SOC 事業部 〒664-0005 兵庫県伊丹市瑞原 4-1
[‡]広島大学ナノデバイス・システム研究センター 〒739-8527 広島県東広島市鏡山 1-4-2
E-mail: [†]noda.hideyuki@renesas.com

あらまし 近年ネットワーク応用での Ternary CAM (TCAM) の有用性が高まっている。本稿では、相補型プレーナキャパシタを用いた新奇ダイナミック型 TCAM セルを提案する。このセルを用いて 130nm CMOS プロセスで従来型の約 1/2 のセルサイズ (4.79 μm^2) を実現した。またダイナミック型セルに不可欠なリフレッシュ動作を完全に隠蔽する TSR (Transparently Scheduled Refresh)アーキテクチャ等、ネットワーク応用で有用な設計手法についても紹介する。

キーワード Ternary CAM, CMOS, ダイナミック, リフレッシュ, ネットワーク

A Dynamic Ternary CAM in 130nm CMOS Technology With Planar Complementary Capacitors

Hideyuki NODA[†] Kazunari INOUE[†] Hans Jürgen MATTAUSCH[‡] Tetsushi KOIDE[‡]
Katsumi DOSAKA[†] Kazutami ARIMOTO[†]

[†] SOC Division, Renesas Technology Corp. 4-1 Mizuhara, Itami, Hyogo, 664-0005 Japan
[‡] Research center for Nanodevices and systems, Hiroshima University 1-4-2 Kagamiyama, Higashi-Hiroshima, 739-8527 Japan
E-mail: [†]noda.hideyuki@renesas.com

Abstract Ternary CAMs are becoming increasingly important for networking applications. In this paper, we propose a novel dynamic Ternary CAM architecture with planar complementary capacitors. With this architecture, small TCAM cell size of 4.79 μm^2 in a 130nm CMOS technology is realized, which is about half of the conventional TCAM cell size. Other TCAM design architectures such as TSR (Transparently Scheduled Refresh) which make the proposed TCAM especially attractive for networking applications are also introduced.

Keyword Ternary CAM, CMOS, dynamic, refresh, network

1. はじめに

近年、アドレス解決やパケットフィルタリングといったネットワーク応用での Ternary CAM (以下 TCAM: 3値連想記憶メモリ) の有用性が高まっている。TCAMはその並列検索速度の高速性を生かして、ネットワークルータ等で IP パケットのアドレス検索に用いられる[1]。しかしながら、TCAMはメモリセル構造が複雑なため、セル面積が大きく、そのチップコストが非常に高いことが大きな問題である。従来型の TCAMセルは図1に示すように、3値記憶を実現するために2つの SRAMセルと1つの比較回路からなり(これを SRAM ベース TCAM と呼ぶ)、16個のトランジスタで構成されており、セル面積は標準 130nm CMOS プロセスを用いて $9 \mu\text{m}^2$ 以上となり、チップ面積増大によるコスト増のほか、配線容量の増加により消費電力の増大も招いていた。これらの問題を考慮すると、TCAMの製造コスト、電気的特性を本質的に改善するためには、小面積の TCAMセルの開発が必須となる。セルを構成するトランジスタ数を若干削減した TCAMセルも発表されているが[2]、面積削減効果が小さい上に動作上の安定性を損なっており、実用には至っていない。このような背景から本稿では、SRAM ベースの場合と同じ CMOS プロセスを用いてセル面積を劇的に縮小する相補型のプレーナキャパシタを用いた新奇ダイナミック TCAMセルを提案する。またダイナミックセルを用いた場合に特有の動作であるリフレッシュ動作を完全に隠蔽することができる TSR (Transparently Scheduled Refresh) アーキテクチャや TCAM 内のアドレス管理を容易にする Address-input-free writing scheme 等、ネットワーク応用で有用な機能についても紹介する。

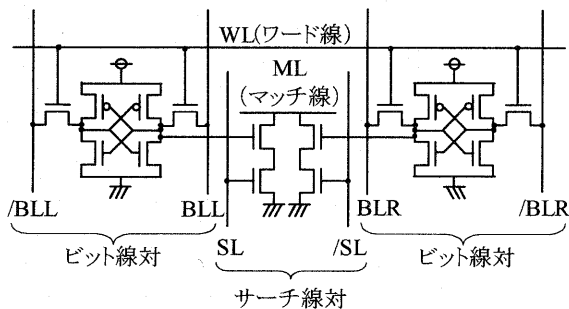


図1. 従来型の SRAM ベース TCAMセル

2. プレーナダイナミック TCAMセル

図2に本稿で提案するプレーナダイナミック TCAMセル (Planar Dynamic TCAM: 以下 PD-TCAM) の回路図を示す。図中に示す4つのキャパシタが2つずつの組の相補キャパシタからなり、表1に示すようにこのキャパシタに保持される電位状態の組み合わせで TCAM に必要な "0"、"1"、"X(don't care)" の3値が表される。PD-TCAMセルへの書き込みはまずワード線 WLe を活性化して、ビット線 BL 、 $/BL$ を介して相補キャパシタ A, B へ書き込みを行い、つづいてもう一つのワード線 WLo を活性化して、相補キャパシタ C, D への書き込みを行うことで完了する。PD-TCAM は CMOS プロセスで作製されるため、これらの4つのキャパシタは MOS プレーナキャパシタであり、その容量は $3[\text{fF}]$ 程度と非常に小さい。このような小容量でも安定したセル動作を実現するために、PD-TCAM 特有の相補キャパシタ構造がとられている。

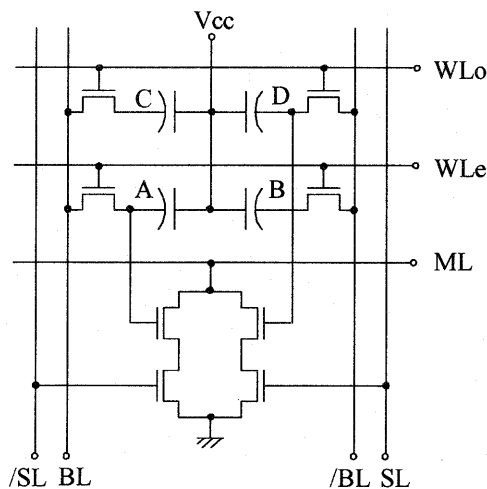


図2. PD-TCAMセルの回路図

表1. PD-TCAMの3値状態割付け

states	A	B	C	D
"0"	L	H	L	H
"1"	H	L	H	L
"X"(don't care)	L	H	H	L

図3にPD-TCAMの単位セルのレイアウト図を示す。

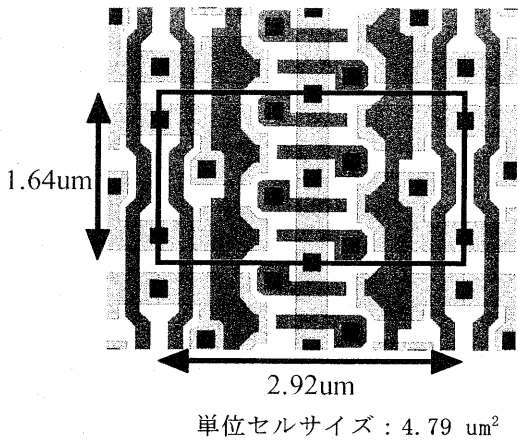


図3. PD-TCAMセルのレイアウト図

PD-TCAMセルは8トランジスタ4キャパシタからなるが、これらの素子は全て同種のチャンネルを(図2のセルの場合、全てnチャンネル)持つ。それゆえ、このセルからなるメモリアレイは単一ウェル上に作製することが可能となる。また図3に示すように、メモリセルの物理的な形状は完全な対称構造となっている。これらの利点を生かして、130nm CMOS プロセスを用いて従来のSRAMセルをベースにしたものと比べて約1/2の4.79 μm^2 という小面積を実現した。

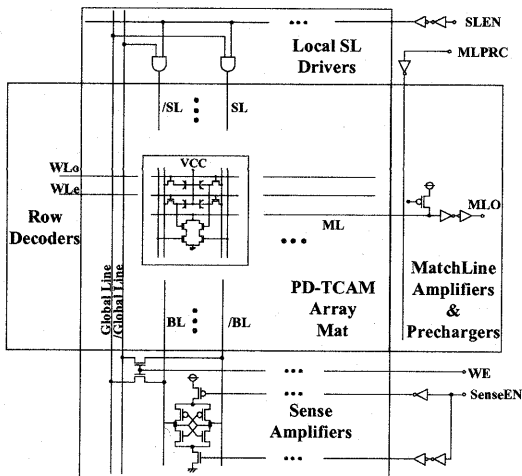


図4. PD-TCAMセルアレイのブロック図

図4にPD-TCAMセルアレイのブロック図を示す。サーチ線対はローカルサーチ線ドライバによって駆動され、マッチ線はマッチ線アンプによって増幅またはプリチャージされる。TCAMは検索動作時に全メモリセルが並列に動作するという特徴があるため、その消費電力はメモリアレイマットの大きさに依存している。PD-TCAMではメモリセル面積を約1/2に縮小することでアレイマットの面積を縮小し、サーチ線/マッチ線の配線容量を削減することができ、従来型に比べて約30%の電力を削減することができる。一方、PD-TCAMの記憶部はダイナミックキャパシタからなるため、センスアンプを用いた定期的なリフレッシュ動作が必要となる。センス動作はワード線を活性化し、キャパシタに蓄えられた電荷をビット線上に読み出すことによって行われる。したがってセンス動作の安定性はキャパシタの容量が大きいほど向上する。PD-TCAMはセル面積縮小のため、プレーナキャパシタの容量を非常に小さくしているが、今回提案する特有の相補キャパシタ構造により、図5に示すようにBL、/BLの双方に相補の読み出しマージンが現れることによりセンス動作に十分な読み出しマージンを得ることができる。また安定したセンス動作のためにはビット線対がノイズに強い構造であることが求められる。図4に示すようにビット線対はセンスアンプを中心に折り返されたフォールドビット線構造を形成しており、ビット線対に共通に干渉するノイズをキャンセルすることができる。

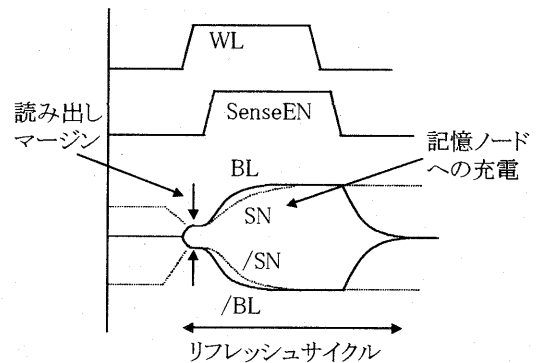


図5. 相補キャパシタのリフレッシュ動作

PD-TCAM のメモリセル動作を確認するため、32(Row)x72(Column)のテストアレイを作製した。このテストアレイの動作波形を図6に示す。検索動作時における Hit/Miss 判定動作が正確に行われていることがわかる。

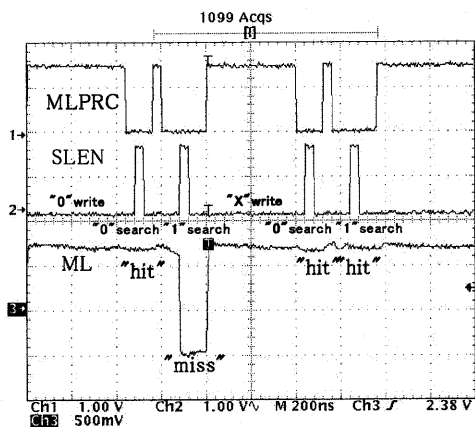


図6. PD-TCAMセル動作の実測波形

3. TSR(Transparently Scheduled Refresh)

アーキテクチャ

ダイナミック型の TCAM セルを用いた場合の欠点として、先にも述べたリフレッシュ動作が必要な点が挙げられる。チップがリフレッシュ動作に入ってしまうと、その間は検索動作を行うことが不可能となる。IP パケットの処理を不定期にまた連続的に行わなければならないネットワーク機器では、この定期的なリフレッシュ動作の管理が大きな負担となる。

PD-TCAM はそのキャパシタ容量が非常に小さいため、リフレッシュ時にキャパシタの再充電に要する時間は短い。この特徴を生かすと通常 DRAM では数クロックサイクルかかるリフレッシュ動作を1クロックサイクル以内におさめることが可能となる。これまでの DRAM のアプローチは、キャパシタ容量を大きくすることで、リフレッシュ間隔を延ばし、その結果単位時間あたりにユーザが発効しなければならないリフレッシュコマンドの回数を減らすことであった。しかしながらこの方法では、ユーザのリフレッシュ管理を完全になくすことはできない。これに対して PD-TCAM ではそのリフレッシュ動作の高速性を生かして、連続した検索動作の期間中にもユーザから透過的なリフレッシュ (TSR : Transparently Scheduled

Refresh)を行うことができる。その動作概念図を図7に示す。

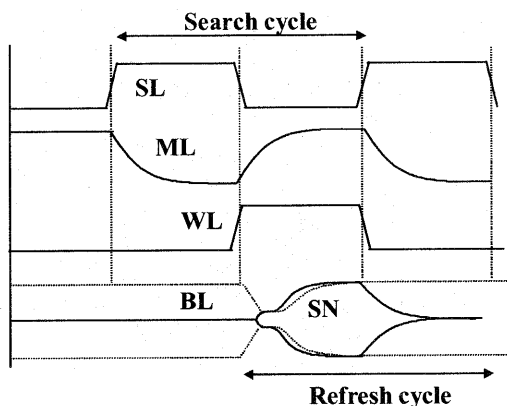


図7. TSR動作の概念図

検索動作はサイクルの前半で、サーチ線が活性化しマッチ線は放電される。サイクルの後半でサーチ線は非活性化し、マッチ線は次の検索動作に備えて充電される。これに対してリフレッシュ動作は、サイクルの後半にワード線が活性化してキャパシタの電位回復を行い、次サイクルの前半にワード線非活性化とビット線のイコライズを行う。すなわち検索動作の裏でリフレッシュ動作が行われていることになるが、検索動作にとってはサーチ線の活性期間中にキャパシタの電位が正規のレベルに回復していればよいので、リフレッシュはユーザから見て完全に透過的となる。

図8に TSR アーキテクチャのブロック図を示す。

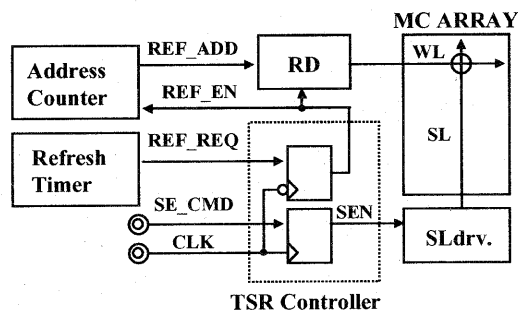


図8. TSRアーキテクチャのブロック図

チップ内に内蔵されたリフレッシュタイマーからは定期的なリフレッシュ要求信号

REF_REQ が発効される。この REF_REQ 信号は TSR コントローラ部でクロックの立下りエッジに同期化され、リフレッシュ許可信号 REF_EN となって、リフレッシュアドレスカウンタのインクリメントやロウデコーダの活性化を行う。また TSR コントローラは外部のコマンドを受け取って、検索動作許可信号 SEN を発行する。SEN はクロックの立ち上がりエッジに同期化されてサーチ線ドライバを活性化する。このように PD-TCAM のリフレッシュ動作はユーザからのコマンドを要求することなく、内部で透過的・自動的に行われるため、PD-TCAM は従来の SRAM ベース TCAM と外部的には同様の動作仕様とすることができる。

図 9 に TSR 動作のシミュレーション波形を示す。アレイサイズは 32(Row)x72(Column)で、動作周波数は 125MHz である。

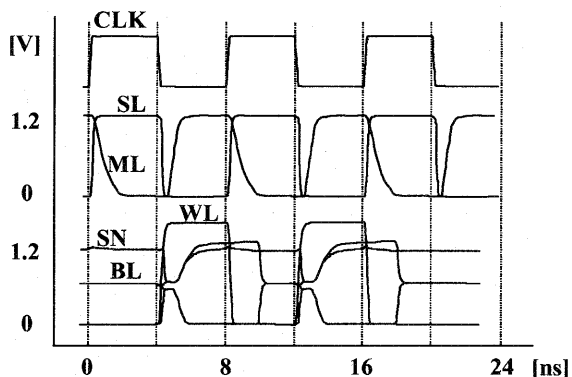


図 9. TSR 動作のシミュレーション波形

4. Address-input-free writing scheme

TCAM アレイには多くのワードが格納されるが、新たに書き込みを行う場合どのアドレスが空席となっていて書き込みが可能かどうかを知る必要がある。このため PD-TCAM ではこの空席を示すフラグ (エンpty・フラグ) をマッチ線アンプ部に保持する回路構成を採っている。図 10 にエンpty・フラグ回路を示す。PD-TCAM ではメモリセルへの書き込み用に 2 本のワード線が存在し、これをエンpty・フラグのセット/リセットに用いる。図中の WT 信号はライト動作時に活性化し、このとき WLe/WLo を順次活性化すると、エンpty・フラグは "0" となって、このワードが占有されていることを示す。再びこのワードを空席状態にす

るためには、WT 信号と WLe のみを活性化すれば、エンpty・フラグは "1" となって、このワードは空席となる。エンpty・フラグがセットされるとマッチ線アンプの出力は無効化されて、このワードは検索結果に影響を与えなくなる。

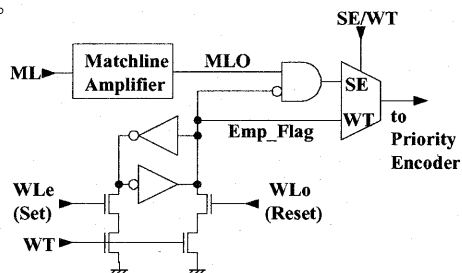


図 10. エンpty・フラグ回路

TCAM はサーチ動作時にマッチアンプ出力に現れたマッチ結果をプライオリティ・エンコーダに送り、ここで最もプライオリティが高い (通常アドレスが小さいほどプライオリティが高い) ワードのアドレスをエンコードする。ライト動作時にはマッチ線アンプ後段のセレクタを切り替えることによって、エンpty・フラグの情報をプライオリティ・エンコーダに送る。こうすることで、最もプライオリティが高い位置にある空席のワードのアドレスをエンコードして知ることができる。この動作を利用すると、ユーザはプライオリティの高いワードから順次書きこみを行えば、次に書きこむワードのアドレスの管理を TCAM に委ねることができるようになる。このようにユーザからアドレスを指定せずにプライオリティの高い順に書きこみを行う手法を Address-input-free writing scheme と呼び、この動作のブロック図を図 11 に示す。

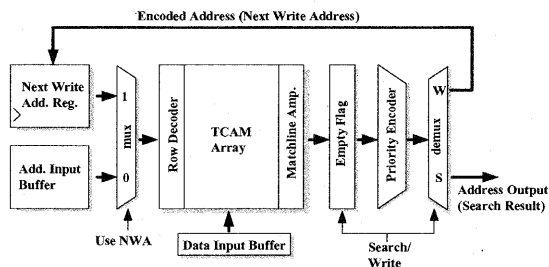


図 11. Address-input-free writing scheme のブロック図

書きこみ動作の後、更新されたエンプティ・フラグ情報をもとにプライオリティ・エンコーダで空席のワードアドレスが生成され、Next Write Address レジスタに格納される。この Next Write Address を用いると、外部から Write Address を入力しなくても書きこみ動作を行うことができる。Next Write Address レジスタは書きこみ動作のたびに更新されるので、連続書きこみ動作を行っても問題ない。この手法を用いるとユーザがプライオリティの高いワードから順に TCAM に書きこみ動作を行う場合に物理的なアドレスを全く意識する必要がなくなり、非常に有用な手法であるといえる。

5. まとめ

相補プレーナキャパシタからなる新奇ダイナミック TCAM セルを提案し、標準 CMOS プロセスを用いて従来型の約 1/2 のセルサイズ $4.79\mu\text{m}^2$ を達成した。このセルを用いると低コストで低消費電力の TCAM チップを構成することが可能となる。またダイナミック型セルに不可欠なリフレッシュ動作を完全に隠蔽する TSR (Transparently Scheduled Refresh) アーキテクチャ、書き込みアドレスの管理を容易化する Address-input-free writing scheme について紹介を行った。

文 献

- [1] Gupta, P., et al., "Algorithms for Packet Classification," p.24 IEEE Network , March/April 2001.
- [2] Arsovski, I., et al., "A Ternary Content-Addressable Memory (TCAM) Based on 4T Static Storage and Including a Current-Race Sensing Scheme," IEEE J. Solid State Circuits, pp.155-158 Jan.2003.