

貫通電流の削減による CMOS デジタル 集積回路の消費電力と遅延時間 の最小化技術

天川慶太郎

榎本忠儀

中央大学 大学院 理工学研究科 情報工学専攻
〒112-8551 東京都文京区春日 1-13-27

あらまし 大規模 CMOS デジタル集積回路の動作時消費電力と信号遅延時間を最小化する方法を提案する。解析にあたり、プレ回路段、駆動回路段、負荷回路段の 3 段で構成される評価回路を 0.18- μm CMOS 技術で設計・試作した。プレ回路段、駆動回路段、負荷回路段はそれぞれ 1 個、 m 個、 N 個のインバータで構成されている。従って、1 個のプレインバータが m 個の駆動インバータを駆動し、1 個の駆動インバータが $n(=N/m)$ 個の負荷インバータを駆動する。SPICE 解析結果と実測結果より、評価回路全体の総消費電力(P_t)の m 依存性は、 m の増加により緩やかに単調増加する充放電電流(I_{cd}) による消費電力(P_{cd})より、 m の増加により最初は急激に減少し、次に緩やかに増加する貫通電流(I_{sc})による消費電力(P_{sc})に強い影響を受ける、とすることがわかった。これより、 P_t を最小化するには、 P_{sc} を最小化すればよく、その m の値はおおよそ $N^{1/2} \{ = (m \times n)^{1/2} = n \}$ で与えられることが明らかになった。同様に、評価回路全体の総遅延時間(t_{dt})を最小化するには、 m の増加により線形に増加するプレ回路段の遅延時間(t_{d1})と m の増加により急激に減少する駆動回路段の遅延(t_{d2})の和を最小化すればよく、その m の値は、やはり、おおよそ $N^{1/2}$ で与えられることが明らかになった。

キーワード: CMOS、消費電力、貫通電流、遅延時間、最小化、立ち上がり時間

Low-Power and High Speed Techniques Due to Optimization of Short-Circuit Currents for CMOS Digital Circuits

Keitarou Amagawa and Tadayoshi Enomoto

Graduate School of Science and Engineering, Chuo University
1-13-27 Kasuga, Bunkyo-ku, Tokyo 112-8551, Japan

Abstract A technique that can reduce active power dissipation (P_t) and minimize delay-time (t_{dt}) in CMOS logic circuits has been developed by examining a 0.18- μm CMOS digital circuit. This circuit consisted of a three-stage inverter circuit, that is, a single inverter pre-driver stage, m -parallel inverter driver stage and N -parallel inverter load stage. By both a SPICE analysis and experimental results obtained by fabricated devices, it was found that both minimum P_t and t_{dt} were obtained by choosing m of $N^{1/2} \{ = (m \times n)^{1/2} = n \}$.

Key words: CMOS, power dissipation, short-circuit current, delay-time, rise time

1. はじめに

CMOS 論理回路の動作時総消費電力(P_t)は負荷容量(C)を充放電するための充放電電流(I_{cd})による消費電力(P_{cd})、貫通電流(I_{sc})による消費電力(P_{sc})、リーク電流による消費電力(P_L)の和である[1]。SPICE 解析では P_t を P_{cd} 、 P_{sc} 、 P_L の和として算出してくれる。しかし、SPICE は、大規模回路の P_t を算出する手段として、必ずしも最適ではない。また、 P_L は P_{cd} に比べて極めて小さいので無視できるとしても、 P_{sc} が SPICE 解析で得た P_t のうち、どの程度を占めるのかほとんど把握することはできない。これまで、1 論理ゲートの貫通電流(i_{sc})を定式化したり、 P_{sc} を定量的に把握しようとする試みはあった[2-5]。しかし、まだ P_{sc} を簡単に見積もる方法を確立したという報告はない。

これらの問題を解決するために、我々はこれまでに i_{sc} 、1 論理ゲートの充放電電流(i_{cd})の振る舞いを把握し、 i_{sc} による論理ゲート 1 個当たりの消費電力(p_{sc})、 i_{cd} による論理ゲート 1 個当たりの消費電力(p_{cd})を定式化し、 P_{sc} 、 P_{cd} を簡単に見積もる方法を確立した[6-9]。次に、これらの定式を適用して、加算回路、除算回路、差分絶対値回路の P_{cd} 、 P_{sc} 、 P_t を算出する[9-12]と共に、 P_t を最小化する方法[11, 12]を提案した。

以下、第 2 章で、消費電力、信号遅延解析に用いる評価回路の構成を示し、第 3 章で、本評価回路の SPICE 計算結果(P_{cd} 、 P_{sc} 、 P_t)を示す。第 4 章では、この評価回路の測定結果 (P_{cd} 、 P_{sc} 、 P_t) が前記 SPICE 解析結果とよく一致することを示し、次に、 P_t の最小化方法を述べる。第 5 章では、本評価回路の動作速度を SPICE で解析して、最小遅延時間が得られる回路構成と最小 P_t が得られる回路構成とがほぼ一致していることを示す。

2. 消費電力・遅延時間評価回路の設計

図 2.1 に設計・試作した評価回路の構成を示す。本回路はプレ回路段、駆動回路段、負荷回路段の 3 段構成で、それぞれ 1 個、 m 個、 N 個のインバータで構成されている。従って、プレ回路段のファンアウト数(つまり、駆動回路段の並列数)は m 個、駆動回路段の各インバータのファンアウト数は $n(=N/m)$ 個となる。全てのインバータは同一サイズで、0.18- μm CMOS 技術で設計されている。用いた MOSFET の諸元を表 2.1 に、32 個の評価回路の構成(m と N の関係)を表 2.2 に、まとめる。

駆動回路段の各インバータ(駆動インバータ)1 個当たりの p_{sc} 、 p_{cd} はそれぞれ下式で与えられる[6]。

$$p_{cd}(n, V_D, f) = (\delta n + \rho) \cdot V_D^2 \cdot f \quad (2.1)$$

$$p_{sc}(m, n, V_D, V_{Tf}) = \gamma(m + \epsilon)^k \cdot (tm + \chi) \cdot (V_D - 2V_{Tf})^3 \cdot f \cdot (1 + \alpha n)^{\beta} \quad (2.2)$$

ここで、 V_D は電源電圧、 f は信号周波数、 V_{Tf} は MOSFET のしきい値電圧、ギリシャ文字は定数である。 $(\delta n + \rho)$ は駆動インバータから見た負荷回路段の静電容量(C)で、 n の関数で表現されている。 $\gamma(m + \epsilon)^k \cdot (tm + \chi)$ は駆動インバータへの入力信号の立ち上がり時間あるいは立ち下がり時間(t_{rf})で、 m の関数として定式化されている。 $(1 + \alpha n)^{\beta}$ は p_{sc} の C に依存する項である。

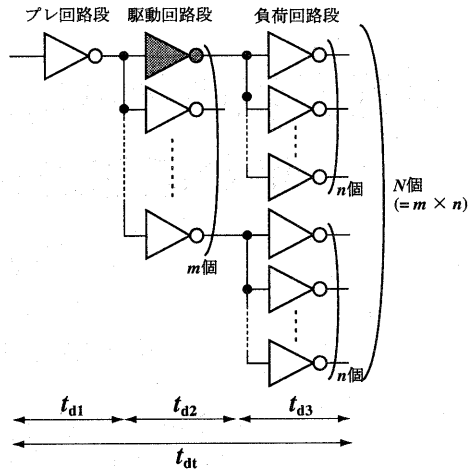


図 2.1 設計・試作した評価回路の構成

表 2.1 評価回路に用いた 0.18- μm MOSFET

プロセス	0.18- μm 、ダブルウェル 5層配線、CMOS技術
しきい値電圧	$V_{TN} = 0.435 \text{ V}$ 、 $V_{TP} = -0.415 \text{ V}$
チャネル幅	$W_N = 2.05 \mu\text{m}$ 、 $W_P = 6.15 \mu\text{m}$
ゲート長(マスク上)	$L_N = L_P = 0.2 \mu\text{m}$
ゲート酸化膜厚	4.0 nm
標準電源電圧	$V_D = 1.8 \text{ V}$

表 2.2 設計・試作した回路の構成(m と N の関係)

		N						
		4	8	12	16	24	32	64
m	1	○	○	○	○	○	○	○
	2	○	○	○	○	○	○	○
	4	○	○	○	○	○	○	○
	8		○	○	○	○	○	○
	16					○	○	○
	32						○	○

3. 消費電力の SPICE 解析

動作時総消費電力(P_t)と駆動インバータ数(m)の関係を図 3.1 に示す。負荷回路段のインバータ(負荷インバータ)数(N)をパラメータとして、駆動インバータ数(m)に対する P_t を SPICE で計算した。縦軸は対数表示である。電源電圧(V_D)、信号周波数(f)はそれぞれ 1.8 V、10 MHz である。なお、以下の解析においても、ことわらない限り、上記の値を用いることにする。なお、SPICE への入力データは評価回路のレイアウト情報から抽出した。

いずれの N に対しても($N=4$ を除く)、 P_t は、 m を増加するとまず減少し、ある m の値で最小となる。 m をさらに増すと今度は増加する。つまり、 P_t を最小とする m が存在することがわかる。 m のサンプル数が少ないので、正確に求めることができないが、図 3.1 より、 N が 4 で P_t が最小となる m は 1、 N が 8、12 で同 m は 2、 N が 16、24 で同 m は 4、 N が 32 で同 m は

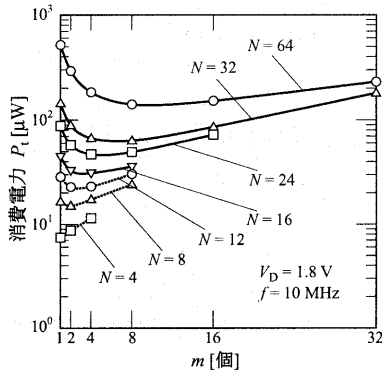


図 3.1 駆動インバータ数(m)に対する動作時総消費電力(P_t)の関係。(パラメータは N)

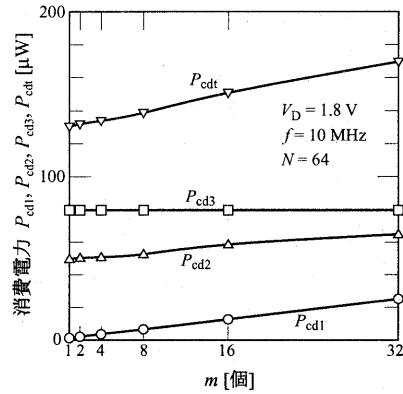


図 3.3 各段の充放電電流による消費電力と m の関係

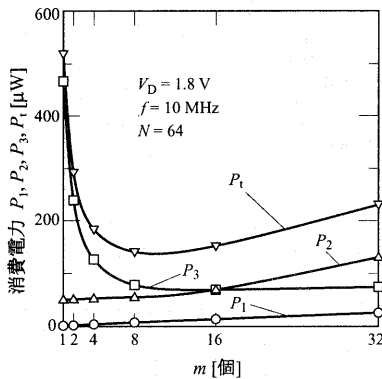


図 3.2 各段の消費電力と m の関係

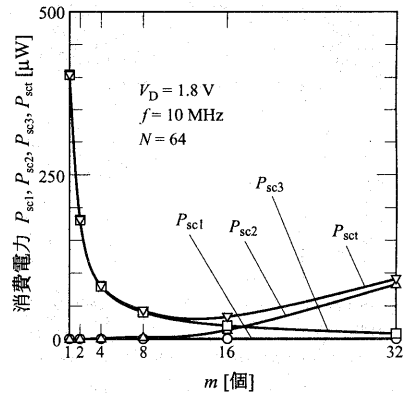


図 3.4 各段の貫通電流による消費電力と m の関係

4 と 8 の中間の値、 N が 64 で同 m は 8 である。これより、 P_t が最小となる m はおおよそ $N^{1/2} \{=(m \times N)^{1/2} = n\}$ で与えられることがわかる。

P_t および各段の消費電力と m の関係を図 3.2 に示す。 N は 64 である。ここで、 P_1 はプレ回路段の消費電力、 P_2 は駆動回路段の消費電力、 P_3 は負荷回路段の消費電力である。 P_1 、 P_2 は m の増加に対して単調増加するが、 P_3 は単調減少する。以下では、 P_1 、 P_2 、 P_3 を充放電電流(I_{cd})による消費電力と貫通電流(I_{sc})による消費電力に分離して、それぞれに対して詳細な解析を行う。

各段および回路全体の I_{cd} による消費電力と m の関係を図 3.3 に示す。 N は 64 である。ここで、 P_{cd1} はプレ回路段、 P_{cd2} は駆動回路段、 P_{cd3} は負荷回路段、 P_{cdt} は回路全体、の I_{cd} による消費電力である。

P_{cd1} は、 P_{cd2} 、 P_{cd3} に比べ小さいが、駆動回路段の並列数(m)に比例して、単調増加している。駆動回路段の負荷容量は負荷回路段の入力容量(C_{3i})、駆動回路段の拡散層浮遊容量(C_{2o})、配線容量(C_{23i})の和である。 C_{3i} は C_{2o} 、 C_{23i} に比べ極めて大きく、かつ m に無関係で一定である。 C_{2o} 、 C_{23i} は m に比例する。以上のことより、 P_{cd2} はほぼ一定であるが、 m の増加に対して、 C_{2o} 、 C_{23i} の増加分だけ、わずかに増加する。負荷回

路段のインバータ数($N=64$)および各負荷インバータの負荷容量が一定であるから、 P_{cd3} は m に無関係で一定である。これより、 I_{cd} による各成分は m の増加に対して、一定かあるいは単調増加であるから、これらの和である P_{cdt} も、 m が増加すると、緩やかに増加する。

次に、各段および回路全体の I_{sc} による消費電力と m の関係を図 3.4 に示す。 N は 64 である。ここで、 P_{sc1} はプレ回路段、 P_{sc2} は駆動回路段、 P_{sc3} は負荷回路段、 P_{sct} は回路全体、の I_{sc} による消費電力である。

プレ回路段の P_{sc1} は P_{sc2} 、 P_{sc3} に比べ無視できるほど小さい。 P_{sc2} は、 m が増加すると、増加する。これは駆動回路段への入力信号の立ち上がり時間あるいは立ち下がり時間(t_{rr2})が増加するためである。

一方、 P_{sc3} は m の増加に対して、 m が小さい範囲($m < 8$)で、急激に減少している。 m の増加に対して、各駆動インバータのファンアウト数($n=N/m=64/m$)が減少して、 t_{rr3} が急激に減少するからである。

以上のことより、 m の増加に対して、 m が小さい範囲($m < 8$)で、 P_{sct} が急激に減少する要因は、負荷回路段への入力信号の t_{rr3} が急激に減少して、負荷回路段に流れる貫通電流が急激に減少するためである。一方

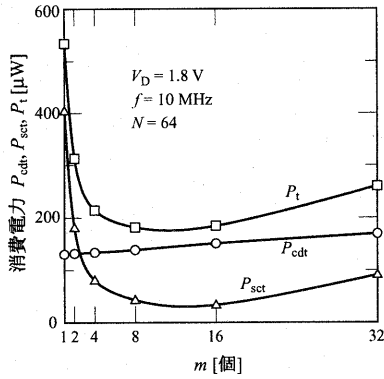


図 3.5 充放電電流、貫通電流による消費電力と m の関係

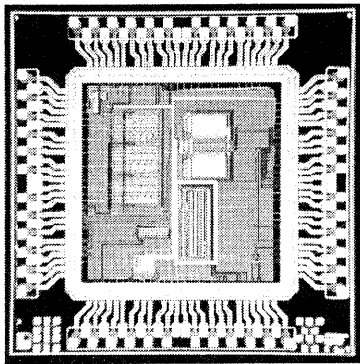


図 4.1 試作した $0.18\mu\text{m}$ -CMOS チップ

m が大きな範囲 ($m > 8$) で、 P_{sct} が緩やかに増加する要因は、駆動回路段の並列数 (m) の増加によって駆動回路段への入力信号の t_{rr2} が緩やかに増加するためである。

充放電電流による総消費電力 (P_{cdt})、貫通電流による総消費電力 (P_{sct})、回路全体の総消費電力 (P_t) と m の関係を図 3.5 にまとめて示す。 P_{cdt} と P_{sct} の和である P_t は m の増加により緩やかに増加する P_{cdt} の特性と m の増加により最初は急激に減少し、次に緩やかに増加する P_{sct} の特性がよく現れている。

4. 評価回路の測定

評価回路(図 2.1)が搭載された $0.18\mu\text{m}$ -CMOS LSI チップの写真を図 4.1 に、本評価回路の消費電力測定回路を図 4.2 に示す。パターン発生器は 24ch. Data Generator (Sony Tech. DG2020A)、電流計は平均値を示すディジタルマルチメータ (HP81110A) である。

図 3.1 に示した SPICE 解析結果に対応する実測結果を図 4.3 に示す。縦軸は対数表示の P_t 、横軸は m 、パラメータは N である。 V_D 、 f はそれぞれ 1.8 V 、 10 MHz である。総消費電力 (P_t) を最小とする m の値は SPICE 解析結果とほぼ同一である。

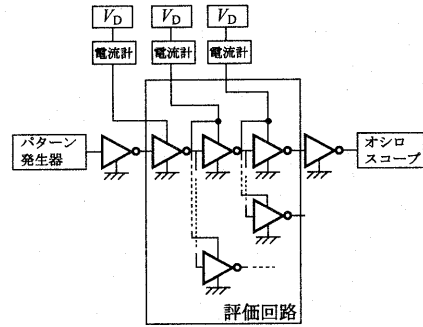


図 4.2 試作回路の消費電力測定回路

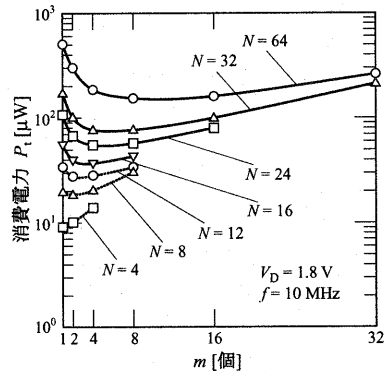


図 4.3 P_t と m の関係 (パラメータは N)

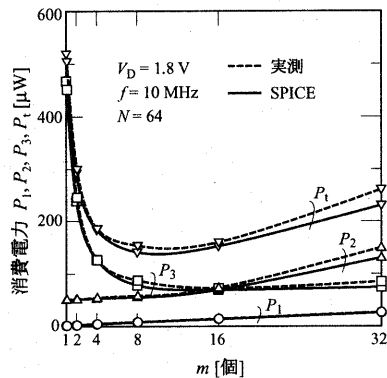


図 4.4 各段の消費電力と m の関係

図 4.4 に P_t および各段の消費電力 (P_1 、 P_2 、 P_3) の実測結果を破線で示す。実測結果は実線とした SPICE 解析結果(図 3.2 のデータ)とよく一致している。ここでも、 V_D 、 f はそれぞれ 1.8 V 、 10 MHz である。

N を 64 、パラメータを V_D 、 f とした P_t の実測結果をそれぞれ図 4.5、図 4.6 に示す。 P_t が最小となる m は V_D 、 f に無関係である。 P_t の実測結果と f の関係を図 4.7 に示す (N は 64 、パラメータは m)。 P_t は f に比例する。

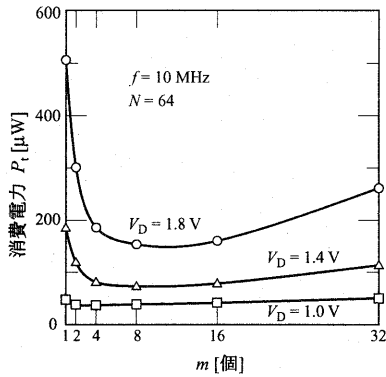


図 4.5 P_t と m の関係 (パラメータは V_D)

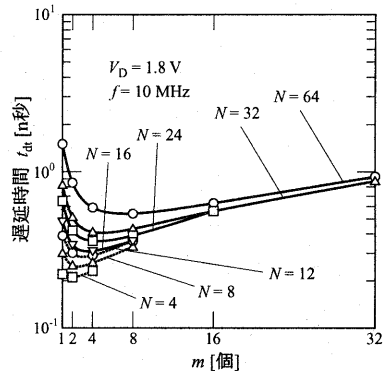


図 5.1 信号遅延時間 (t_{dt}) と m の関係 (パラメータは N)

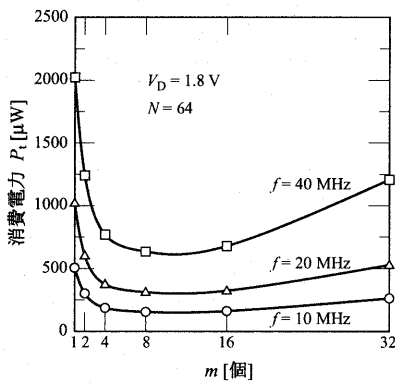


図 4.6 P_t と m の関係 (パラメータは f)

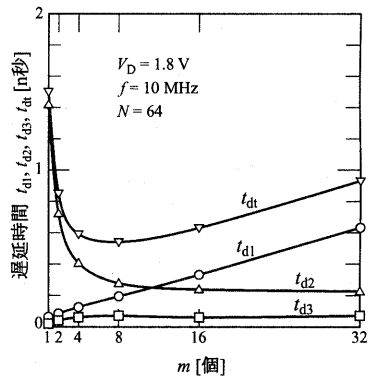


図 5.2 各段の信号遅延時間と m の関係

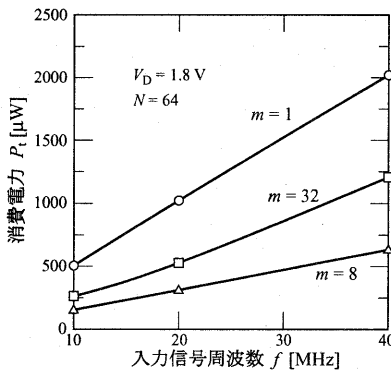


図 4.7 P_t と f の関係 (パラメータは m)

5. 遅延時間の SPICE 解析

評価回路(図 2.1)のプレ回路段の入力から負荷回路段の出力までの総信号遅延時間 (t_{dt}) を SPICE で解析した。図 5.1 に t_{dt} と駆動インバータ数 (m) の関係を示す。パラメータは N 、縦軸は対数表示である。 V_D 、 f はそれぞれ 1.8 V、10 MHz である。いずれの N に対しても、 t_{dt} は、 m が増加すると減少し、ある m の値で

最小となり、 m をさらに増すと今度は増加する。これは P_t の特性(図 3.1、図 4.3)と全く同様である。つまり、 t_{dt} を最小とする m が存在する。サンプル数 (m) が少ないので、正確に求めることができないが、 N が 4、8 で t_{dt} が最小となる m は 2、 N が 12 で同 m は 3、 N が 16、24、32 で同 m は 4、 N が 64 で同 m は 8 である。これより、 t_{dt} が最小となる m は、 P_t と同様、およそ $N^{1/2}$ で与えられることがわかる。つまり、 P_t を最小とする m は、 t_{dt} をも最小とする。

図 5.2 に各段の信号遅延時間と m の関係を示す。 N は 64 である。 t_{d1} 、 t_{d2} 、 t_{d3} はそれぞれプレ回路段、駆動回路段、負荷回路段の信号遅延時間である。 t_{d1} はプレ回路段の負荷である 駆動インバータの並列数 (m) に比例している。 t_{d2} は m に反比例する、つまり、負荷インバータの数 ($n = N/m$) に比例している。負荷回路段の各インバータの負荷容量は m に無関係に一定であるから、 t_{d3} は一定である。

図 5.3 に各段の出力波形を示す。 m は 1、 N は 64 である。各段の遅延時間 t_{d1} 、 t_{d2} 、 t_{d3} はそれぞれ 0.063 n 秒、1.419 n 秒、0.016 n 秒である。 t_{dt} (=1.498 n 秒) はほぼ t_{d2} に等しく、負荷回路段への入力信号の立ち

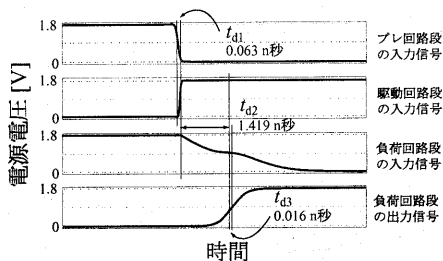


図 5.3 評価回路の各段出力波形 ($m=1$, $N=64$)

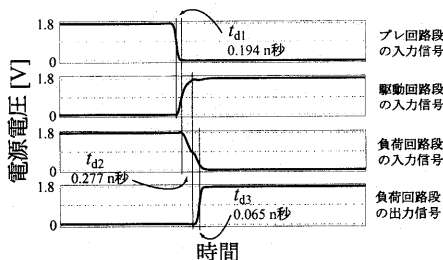


図 5.4 評価回路の各段出力波形 ($m=8$, $N=64$)

上がり時間 (t_{rf3}) が極めて大きいことがわかる。

図 5.3 と同様な出力波形を図 5.4 に示す。但し、 m は 8 で、最小 t_{dt} (0.536 秒) が得られている (図 5.2)。各段の遅延時間 t_{d1} 、 t_{d2} 、 t_{d3} はそれぞれ 0.194 n 秒、0.277 n 秒、0.065 n 秒で、 m が 1 の時に比べ、 t_{d2} が大幅に削減され、負荷回路段への入力信号の立ち上がり時間 (t_{rf3}) が極めて短縮されていることがわかる。

N を 64、パラメータを V_D として、 t_{dt} を図 5.5 に示す。 t_{dt} が最小となる m は前述したように 8 で、 V_D に無関係である。

6. おわりに

本報告では負荷回路段のインバータ数 (N) を 64 個に、ゲート段数 (l) を 3 段に限定した回路で最小の P_i 、 t_{dt} を与える駆動回路段の並列数 (m) を求めた。この結果、 m は両者共およそ $N^{1/2}$ で与えられることがわかった。今後は、クロック供給木のような大規模回路 ($N > 64$) に対して、最小の P_i 、 t_{dt} が得られる駆動回路段の最適並列数 (m)、回路全体の最適ゲート段数 (l) を検討する。

謝辞 本チップ試作は東京大学大規模集積システム設計教育研究センターを通じ、株式会社日立製作所および大日本印刷株式会社の協力で行われたものである。また、御協力頂いた中大榎本研究室の関係諸氏に感謝致します。

参考文献

- [1] 榎本、「CMOS 集積回路 -入門から実用まで-」、培風館、pp. 1 - 229、初版第 4 刷 2001 年 4 月 10 日。
- [2] H. J. M. Veendrick, "Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits", IEEE Journ. of Solid-Circuits, SC-19, 4,

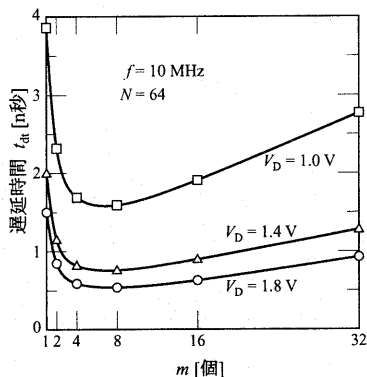


図 5.5 t_{dt} と m の関係 (パラメータは V_D)

pp. 468 - 473, Aug. 1984.

- [3] K. Hirata, H. Onodera and K. Tamaru, "Estimation of propagation delay considering short-circuit current for static CMOS gate", IEEE Tran. on Circuits and Systems I Fundamental Theory and Applications, 45, 11, pp. 1194 - 1198, Nov. 1998.
- [4] K. Nose and T. Sakurai, "Analysis and future trend of short-circuit power", IEEE Tran. on Computer-Aided Design of Integrated Circuits and Systems, 19, 9, pp. 1023 - 1030, Sept. 2000.
- [5] L. Bisdounis and O. Koufopavlou, "Short-circuit energy dissipation modeling for submicrometer CMOS gates", IEEE Trans. on Circuits and Systems I: Fundamental Theory and Applications, 47, 9, pp. 1350 - 1354, Sept. 2000.
- [6] 榎本、鹿野、「半導体集積回路の消費電力算出方法」、日本国特許、出願(申請)番号: 特願 2001-402172、出願(申請)日: 平成 13 年 11 月 27 日。
- [7] 鹿野、原田、榎本、「CMOS 論理回路の充放電電流および貫通電流による消費電力の解析」、信学技報、ICD2001-159, pp. 13 - 20、2001 年 11 月 30 日。
- [8] 榎本、鹿野、岡、「(特別招待講演) CMOS デジタル集積回路の低消費電力技術 --- 充放電・貫通電流による消費電力の解析とリーク電流削減回路 ---」、信学技報、ICD2002-56, pp. 59 - 66、2002 年 8 月 22 日。
- [9] 鹿野、原田、榎本、「CMOS 論理ゲートの充放電電流および貫通電流による消費電力の定式化とその応用」、信学技報、ICD2001-242, pp. 57 - 64、2002 年 3 月 8 日。
- [10] 榎本、天川、「半導体集積回路の消費電力削減方法」、日本国特許、出願(申請)番号: 特願 2002-383383、出願(申請)日: 平成 14 年 12 月 18 日。
- [11] 天川、榎本、鹿野、「CMOS 論理ゲートの貫通電流による消費電力とその低減技術」、信学技報、ICD2002-176, pp. 13 - 18、2002 年 12 月 23 日。
- [12] 天川、榎本、「貫通電流削減による低電力 CMOS 差分絶対値回路の設計」、信学総合大会講演論文集、エレクトロニクス、C-12-19, p.88、2003 年 3 月 21 日。