

## 高画質対応組み込み用 1 チップ MPEG-2 全二重 CODEC LSI(ISIL)

岩崎 裕江<sup>†</sup> 長沼 次郎<sup>†</sup> 中島 靖之<sup>†</sup> 田代 豊<sup>†</sup> 中村 健<sup>†</sup>  
吉留 健<sup>†</sup> 大西 隆之<sup>†</sup> 池田 充郎<sup>†</sup> 泉岡 生晃<sup>†</sup> 遠藤 真<sup>†</sup>  
八島 由幸<sup>†</sup>

<sup>†</sup> 日本電信電話株式会社 NTT サイバースペース研究所  
〒 239-0847 神奈川県横須賀市光の丘 1-1  
E-mail: [fiwasaki.hiroe@lab.ntt.co.jp](mailto:fiwasaki.hiroe@lab.ntt.co.jp)

あらまし 本稿では、高画質対応組み込み用 1 チップ MPEG-2 全二重 CODEC LSI(ISIL) の構成とその評価について示す。ISIL は、ビデオエンコーダコア、ビデオデコーダコア、オーディオ用 DSP、多重化/分離コアと RISC から構成され、720/30P のエンコード、1080I のデコード、480P のエンコードとデコードを同時に処理することができる。エンコーダコア/デコーダコア部は、デュアルメモリ方式を利用することにより高速なデータ通信を効率よく実現している。本 LSI は、3 千万個のトランジスタを 0.13 $\mu$ m の 7 層 CMOS プロセスで集積し、720/30P のエンコード処理を 1.1W、1080I のデコード処理を 0.8W、480P のエンコード/デコード同時処理を 1.4W の低電力で実現している。このため、本 LSI は、HDTV 品質の装置を低価格でコンシューマにも提供することができる。

キーワード MPEG-2, HDTV, CODEC LSI

## Single-chip High-quality MPEG-2 CODEC LSI(ISIL)

Hiroe IWASAKI<sup>†</sup>, Jiro NAGANUMA<sup>†</sup>, Yasuyuki NAKAJIMA<sup>†</sup>, Yutaka TASHIRO<sup>†</sup>,  
Ken NAKAMURA<sup>†</sup>, Takeshi YOSHITOME<sup>†</sup>, Takayuki ONISHI<sup>†</sup>, Mitsuo IKEDA<sup>†</sup>,  
Takaaki IZUOKA<sup>†</sup>, Makoto ENDO<sup>†</sup>, and Yoshiyuki YASHIMA<sup>†</sup>

<sup>†</sup> NTT Cyber Space Laboratories, NTT Corporation  
Hikarinooka 1-1, Yokosuka-shi, Kanagawa, 239-0847 Japan  
E-mail: [fiwasaki.hiroe@lab.ntt.co.jp](mailto:fiwasaki.hiroe@lab.ntt.co.jp)

**Abstract** This paper proposes single-chip high-quality MPEG-2 CODEC LSI(ISIL) for embedding in consumer-oriented mobile codec systems, and demonstrates its flexibility and usefulness. This architecture consists of a half-duplex 720/30P encoding core, a half-duplex 1080I decoding core, an audio DSP, a RISC, and a multiplexer/de-multiplexer core with a dual-memory scheme for supplying data at high speeds. The LSI, which integrates 30.7 million transistors using the 0.13- $\mu$ m seven-metal CMOS process, implements 720/30P encoding with 1.1 W, 1080I decoding with 0.8 W, and full-duplex 480P encoding and decoding simultaneously with 1.4 W. This LSI will make it possible for consumers to use HDTV quality equipment on a more widespread scale.

**Key words** MPEG-2, HDTV, CODEC LSI

## 1. はじめに

近年の様々なマルチメディア関連アプリケーションをタイムリカフトコストで提供するため、そのキーデバイスとなる画像処理 LSI などの LSI 開発が盛んである。特に MPEG-2 [1] は、デジタル衛星放送、ケーブルテレビ、DVD など多くの通信・蓄積アプリケーションに対し、高画質な映像・音声を提供している。

特に、日本では、2003 年末に HDTV 規格の地上派デジタル放送を控え、そのインフラ設備および周辺設備に不可欠な MPEG-2 準拠の HDTV 映像を高画質でエンコード/デコード処理を実現する HDTV CODEC システムが開発されている。さらに、今後、HDTV コンテンツがコンシューマにも急速に広がることが予想され、コンシューマ機器にも HDTV 品質を提供するための低消費電力/低コスト/小型のコンシューマ用 HDTV CODEC LSI の開発が期待されている。

最近開発された MPEG-2 CODEC LSI [2]~[8] は、主に MP@ML あるいは 422P@ML に対応している。これらの LSI の一部は、複数チップを用いて HDTV に拡張することができる [6]~[9]。しかし、これらの LSI は、消費電力やサイズの観点からビデオカメラなどのコンシューマ用機器に組込むことはできない。一方、我々は、プロフェッショナル機器用に 1 チップで 422P@HL を処理可能な LSI [9] を開発したが、この LSI も、消費電力やチップサイズの観点からコンシューマ用機器に組込むことは不可能である。

コンシューマなどのモバイル機器に組込み可能な高画質対応組込み用 1 チップ MPEG-2 CODEC LSI を実現するための問題点を以下に示す。

- **柔軟な解像度変換:** 様々な入出力機器への接続を実現するために、入出力機器と CODEC LSI のエンコード・デコード処理の解像度をマッピングする必要がある。柔軟な解像度変換 (Flexible resolution conversion: FRC) は、入出力解像度と CODEC 解像度をマッピングする重要な機能である。

- **エンコーダ/デコーダ同時処理:** 双方向コミュニケーションを実現するために符号化・復号処理の同時処理 (全二重) を実現しなければならない。全二重 CODEC 処理では、符号化・復号処理それぞれに個々の外部メモリを必要とする。

- **モバイル機器への組込み:** コンシューマ向けのモバイル CODEC 機器等へ組込むための小型化・低消費電力化・低コスト化が重要である。特に、ポータブル HD カムコーダなどのコンシューマ向けモバイルコーデックシステムでは、1.5W 以下の低消費電力でなければならない。

これらの問題に対し、我々は、高画質対応組込み用 1 チップ MPEG-2 全二重 CODEC LSI (ISIL) を提案する。ISIL は、ビデオエンコーダコア、ビデオデコーダコア、オーディオ用 DSP、多重化/分離コアと RISC から構成され、720/30P のエンコード、1080I のデコード、480P のエンコードとデコードを同時に処理することができる。エンコーダコア/デコーダコア部は、デュアルメモリ方式を採用することにより高速なデータ通信を効率よく実現している。本 LSI は、約 3 千万個のトランジスタ

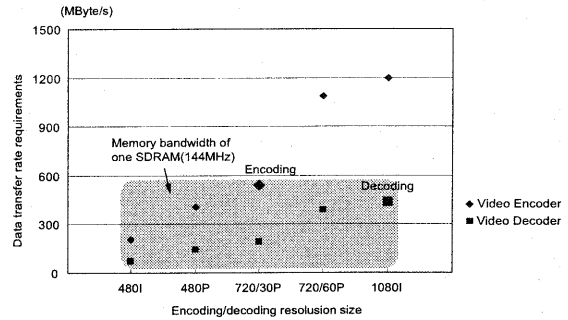


図 1 メモリデータ転送レート

Fig.1 Memory data transfer rate in a CODEC.

を 0.13 $\mu$ m の 7 層 CMOS プロセスで集積し、720/30P のエンコード処理を 1.1W、1080I のデコード処理を 0.8W、480P のエンコード/デコード同時処理を 1.4W の低電力で実現している。このため、本 LSI は、HDTV 品質を低価格でコンシューマにも提供することができる。

## 2. アーキテクチャ

### 2.1 アプローチ

#### 2.1.1 デュアルメモリ方式

本 ISIL LSI では、半二重の符号化/復号処理に加え、符号化と復号処理の同時処理 (全二重動作) を実現する必要があった。映像符号化処理と復号処理に必要なメモリデータ転送レートを図 1 に示す。半二重動作では、ビデオカメラなどへの搭載を想定し、様々な入出力機器への接続を可能とする FRC での解像度変換を必要とする。全二重動作と解像度変換付の半二重動作を実現するために、符号化と復号処理の最大画像サイズとフレームレートを 1 つの SDRAM 外部メモリで実現可能な 720/30P (符号化処理) と 1080I (復号処理) をターゲットとした。音声の符号化/復号処理やシステムの処理を含めて、解像度変換付の半二重 720/30P 符号化処理と 1080I 復号処理を 2 つの外部メモリで実現する。また、音声の符号化/復号処理やシステムの処理を含めて、2 つの外部メモリで全二重動作も可能とする。

#### 2.1.2 HW/SW マッピング

全二重の符号化/復号処理を同時に実現するために、莫大な演算量を必要とする映像符号化と復号処理は、消費電力の観点から専用ハードウェアとして搭載する。このためチップ内では、ビデオエンコードコア (720/30P まで対応) とビデオデコードコア (1080I まで対応) が独立に動作する。音声符号化/復号処理は、様々な符号化フォーマットに対応するため、DSP 上のファームウェアで実現する。また、音声の復号処理は、全二重動作の場合、チップ面積の削減の観点から、RISC 上のミドルウェアで動作させる。多重化/分離処理は、専用ハードウェアとそれを制御するファームウェアから構成される。RISC 上のソフトウェアは、音声復号処理や多重化/分離処理の制御や全体 LSI の制御など、複数の処理から構成する。これらの様々な機能を 1 つの RISC 上で実現するために、マルチタスキングを実

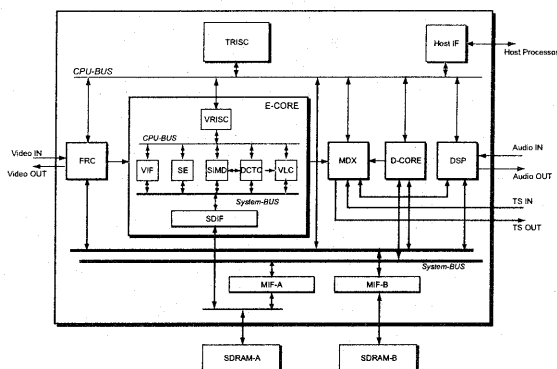


図 2 ブロック図

Fig.2 Block diagram (ISIL).

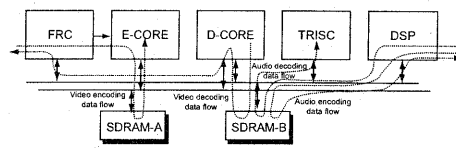
現するリアルタイム OS を導入する。このように、本 LSI は、消費電力と開発期間の観点から、ハードウェアとソフトウェアのパーティショニングを最適化している。

## 2.2 ハードウェアアーキテクチャ

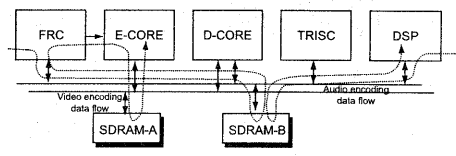
### 2.2.1 ブロック構成

本 LSI のブロック図を図 2 に示す。ISIL は、32bit RISC (VRISC) を具備した 720/30P をリアルタイム処理可能なビデオエンコードコア (E-CORE), 1080I ビデオデコードコア (D-CORE), 全体を制御する RISC (TRISC), オーディオ処理用 DSP, 多重化/分離コア (MDX), 解像度変換コア (FRC) などを搭載し、デュアルメモリ方式により、それぞれのコアへ独立に高速なデータ転送を実現している。E-CORE, D-CORE, FRC などは、独立した 2 系統のシステムバスに接続され、2 系統の外部 SDRAM に接続される。E-CORE 内の SDIF から SDRAM-A へのデータバスは、半二重の符号化処理時と全二重動作時に動作状態になる。また、MIF-A から SDRAM-A へのデータバスは、半二重の復号動作時に動作状態になる。FRC, D-CORE, TRISC, DSP は MIF-B を介して、SDRAM-B に接続されている。これにより、符号化/復号処理の同時処理が可能になるだけでなく、半二重動作時にも、符号化あるいは復号処理と同時に柔軟な解像度変換機能を実現することができる。

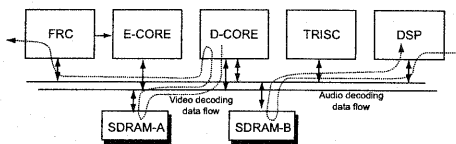
E-CORE は、RISC と映像入力 IF 部 (VIF), 動き探索部 (SE), 動き補償を実現する SIMD プロセッサ部 (SIMD), DCT/IDCT/量子化/逆量子化部 (DCTQ), 可変長符号化部 (VLC), 外部メモリ IF 部 (SDIF) などの複数の専用ハードウェアから構成される。E-CORE は、FRC 部で E-CORE 部が入力可能な画像に変換した映像を入力し、MPEG-2 符号化処理後、映像のエレメンタリストリームを MDX 部に出力する。E-CORE は、リアルタイムで 720/30P のエンコードを実現できる。D-CORE は、ピクチャヘッダ部、スライス復号部などの専用ハードウェアから構成され、D-CORE で使用する SDRAM 中のフレームメモリのアドレス制御や復号処理の開始などの制御は、TRISC 上のファームウェアで実現する。D-CORE は、全二重動作の場合、D-CORE のフレームメモリとして使用する SDRAM を音声の符号化や復号処理にも使用



(a) Data flow in codec mode.



(b) Data flow in encoding mode.



(c) Data flow in decoding mode.

図 3 デュアルメモリ方式

Fig.3 Dual memory scheme.

する。また、MIF-B は、D-CORE が使用するデータ転送だけでなく、TRISC や DSP などの他のブロックに対するデータ転送も実現しなければならない。D-CORE は、リアルタイムで 1080I のデコードを実現できる。MDX は、全二重動作を可能とするために、2 つのバッファを持ち、その制御は、TRISC 上のファームウェアで実現している。

### 2.2.2 デュアルメモリ方式

デュアルメモリ方式は、図 3 に示すように 2 個の独立したメモリから構成される。本 LSI では、メモリとして、32-bit 幅の 128Mbit の SDRAM を 2 個用いる。図 3(a) に示すように、全二重の符号化/復号処理では、一つのメモリを E-CORE 用、もう一つのメモリを D-CORE、音声符号化処理を行う DSP、音声復号処理を行う TRISC で共用する。符号化処理では、図 3(b) に示すように、一つのメモリを E-CORE 用、もう一つのメモリは、解像度変換を行う FRC、音声符号化を行う DSP で使用する。符号化処理における FRC は、高い解像度から低い解像度に解像度変換を行う。また、復号処理では、図 3(c) に示すように、一つのメモリは、D-CORE 用、もう一つのメモリは、解像度変換を行う FRC、音声符号化処理を行う DSP で使用する。復号処理における FRC は、低い解像度から高い解像度に解像度変換を行う。例えば、FRC は、復号した 720/30P の解像度から 1080I の出力機器に接続できるように、1080I の解像度に変換する。FRC は、様々な解像度で符号化/復号処理を行うことを可能とし、本 LSI は、様々な入出力機器への自由な接続を可能とする。

## 2.3 ソフトウェアアーキテクチャ

本 LSI におけるソフトウェアアーキテクチャを図 4 に示す。本ソフトウェアは、ハードウェアレイヤ、OS レイヤ、ユーザ

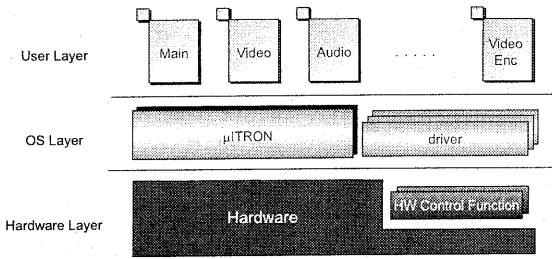


図4 ソフトウェアアーキテクチャ  
Fig.4 Software architecture.

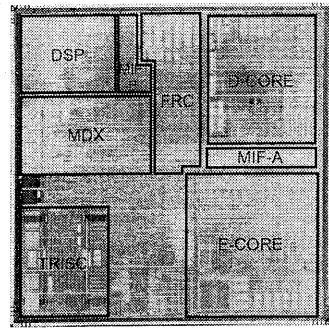


図6 チップ写真  
Fig.6 ISIL photo.

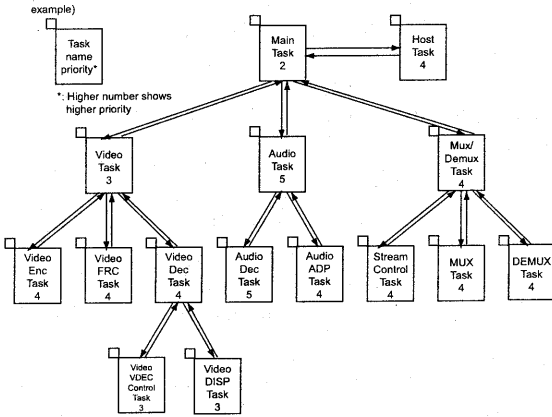


図5 タスク構成  
Fig.5 Task configuration.

レイヤの3階層から構成される。OSレイヤは、 $\mu$ ITRONと各種ドライバから構成される。また、ユーザレイヤは、複数のタスクから構成され、 $\mu$ ITRONによってタスク切り替えが実現される。

全二重で動作する場合のユーザレイヤのタスクを図5に示す。タスクは、映像の符号化/復号処理、音声の符号化/復号処理多重化/分離処理などの機能別に分割され、木構造状に構成されている。これらのタスクは、制御や通信の複雑さを避けるために、隣のタスクとのみ通信を行う。優先度は、そのタスクの緊急性を考慮して付与している。たとえば、全体を制御するメインタスクには、その緊急性から最も高い優先度を付与している。また、オーディオのデコーダタスクには、その処理の連続性から、最も低い優先度を付与している。さらに、Videoタスク、DISPタスク、VDEC制御タスクは、フレーム間隔での表示に関するデッドラインを有しているため、通常のタスクより高い優先度を付与されている。

### 3. 実装

本LSIは、デュアルメモリ方式を用い、エンコードコア、デコードコア、MDXコア、オーディオDSP等の約3千万個のトランジスタを商用0.13 $\mu$ mの7層CMOSテクノロジーを用いて、1チップへの集積を実現した。チップ諸元を表1に示す。本LSIは、144MHzのクロック周波数で720/30Pの符号化処

理や1080Iの復号処理をリアルタイムで実現することができる。また、720/30Pの符号化処理時の消費電力は、1.1W、1080Iの復号処理時の消費電力は、0.8Wである。さらに、108MHzのクロック周波数で、480Pの符号化/復号処理の同時処理をリアルタイムで実現することができる。この場合の消費電力は、1.4Wである。

本LSIのチップ写真を図6に示す。すべての論理回路は、スタンダードセルを用い、ハードマクロは、メモリとTRISCのみである。エンコーダコアとデコーダコアは、過去の設計資産[7],[9]を活用している。

本LSIの機能は、表2に示すように、様々なMPEG-2のプロファイルとレベルをサポートしている。また、FRCにより、様々な入出力機器への接続を可能としている。音声符号化フォーマットは、DSPとRISC上のファームウェアで実現し、MPEG-1 LayerII/IIIをサポートしている。本LSIの符号化時の最大の画像サイズとフレームレートは、1280 x 720 /30 fpsまでである。また、復号時の最大画像サイズとフレームレートは、1920 x 1080/30 fpsまでである。

### 4. 応用例

低消費電力でHDTV品質を提供できる本ISILチップは、ポータブルHDカムコーダやポータブルHDDレコーダなどのモバイル機器への組込みに適している。ISILの応用例を図7に示す。低消費電力を実現している本LSIは、モバイル機器などへの組込みによりコンシューマへのHDTV品質を提供することができる。

### 5. おわりに

本稿では、コンシューマなどのモバイル機器に組込み可能な高画質対応組込み用1チップMPEG-2 CODEC LSI(ISIL)について示した。ISILは、ビデオエンコーダコア、ビデオデコーダコア、オーディオ用DSP、多重化/分離コアとRISCから構成され、720/30Pのエンコード、1080Iのデコード、480Pのエンコードとデコードを同時に処理することができる。エンコーダコア/デコーダコア部は、デュアルメモリ方式を利用することにより高速なデータ通信を効率よく実現している。本LSIは、約3千万個のトランジスタを0.13 $\mu$ mの7層CMOSプロセ

表1 チップ諸元

Table 1 Physical features

Technology	0.13- $\mu$ m 7-level metal CMOS
Number of transistors	30.7 million
Clock frequency	81 / 108 / 144 MHz
Supply voltage	1.5 V/3.3 V
Power consumption	0.8-W(at MPEG-2 1080I decoding) 1.1-W(at MPEG-2 720/30P encoding) 1.4-W(at MPEG-2 480P Full-Duplex)
Package	457-pin BGA(17mm x 17mm)
External memories	128-Mbit(32-bit) SDRAM x 2

表2 機能概要

Table 2 Functional features

Video	
Profile and level	MPEG-2 SP,MP@ML,H-14 (for encoding) MPEG-2 SP,MP@ML,HL (for decoding)
Search range	Narrow: -113.5/+99.5(H), -57.5/+57.5(V) Wide: -225.5/+211.5(H), -113.5/+113.5(V)
Resolution and rate	1280 x 720 at up to 30 fps (for encoding) 1920 x 1080 at up to 30 fps (for decoding)
Audio	
Sampling	32 KHz, 44.1 KHz, 48 KHz
Encoding format	MPEG-1 LayerII, MPEG-1 LayerIII
System	
I/O format	MPEG-2 TS

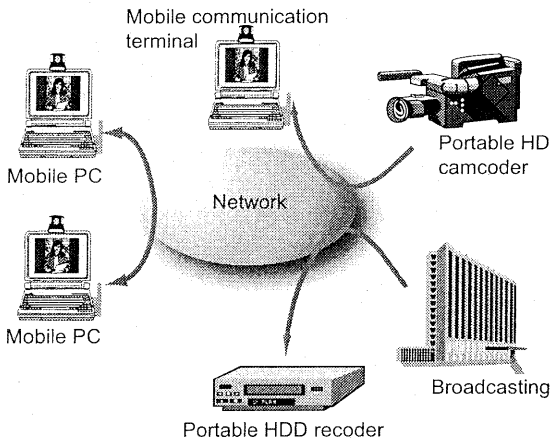


図7 ISIL チップの応用例

Fig.7 Examples.

スで集積し、720/30P のエンコード処理を 1.1W, 1080I のデコード処理を 0.8W, 480P のエンコード/デコード同時処理を 1.4W の低電力で実現している。このため、本 LSI は、HDTV 品質の装置を低価格でコンシューマにも提供することができる。

#### 文 献

- [1] ISO/IEC 13818-1/2/3 International Standard: *Information Technology - Generic Coding of Moving Pictures and Associated Audio: Systems/Visual/Audio* - (1994).
- [2] Mizuno, M., Ooi, Y., Hayashi, N., Goto, J., Hozumi, M., Fu-

- ruta, K., Shibayama, A., Nakazawa, Y., Ohnishi, O., Zhu, S. Y., Yokoyama, Y., Katayama, Y., Takano, H., Miki, N., Senda, Y. and Yamashina, M.: A 1.5-W single-chip MPEG-2 MP@ML video encoder with low power motion estimation and clocking, *IEEE Solid-State Circuits*, Vol. 32, pp. 1807-1816 (1997).
- [3] Miyagoshi, E., Araki, T., Sayama, T., Ohtani, A., Mine-maru, T., Okamoto, K., Kodama, H., Morishige, T., Watabe, A., Aoki, K., Mitsumori, T., Imanishi, H., Jinbo, T., Tanaka, Y., Taniyama, M., Shingou, T., Fukumoto, T., Morimoto, H. and Aono, K.: A 100mm<sup>2</sup> 0.95w single-chip MPEG2 MP@ML video encoder with a 128GOPS motion estimator and a multi-tasking RISC-type controller, *International Solid-State Circuits Conference*, pp. 30-31 (1998).
- [4] Ogura, E., Takashima, M., Hiranaka, D., Ishikawa, T., Yanagita, Y., Suzuki, S., Fukuda, T. and Ishii, T.: A 1.2w single-chip MPEG2 MP@ML video encoder LSI including wide search range motion estimation and 81MOPS controller, *International Solid-State Circuits Conference*, pp. 32-33 (1998).
- [5] Ishiwata, S., Yamakage, T., Tsuboi, Y., Shimazawa, T., Kitazawa, T., Michinaka, S., Yahagi, K., Takeda, H., Oue, A., Kodama, T., Matsumoto, N., Kamei, T., Miyamori, T., Ootomo, G. and Matsui, M.: A Single-Chip MPEG-2 Codec Based on Customizable Media Microprocessor, *IEEE 2002 Custom Integrated Circuits Conference*, pp. 163-166 (2002).
- [6] Kumaki, S., Takata, H., Ajioka, Y., Ooishi, T., Ishihara, K., Hanami, A., Tsuji, T., Watanabe, T., Morishima, C., Yoshizawa, T., Sato, H., Hattori, S., Koshio, A., Tsukamoto, K. and Matsumura, T.: A 99-mm<sup>2</sup> 0.7-W Single-Chip MPEG-2 422P@ML Video, Audio, and System Encoder With a 64-Mb Embedded DRAM for Portable 422P@HL Encoder System, *IEEE Journal of Solid-State Circuits*, pp. 450-454 (2002).

- [7] Ikeda, M., Kondo, T., Nitta, K., Suguri, K., Yoshitome, T., Minami, T., Naganuma, J. and Ogura, T.: An MPEG-2 Video Encoder LSI with Scalability for HDTV based on Three-layer Cooperative Architecture, *Design, Automation and Test in Europe Conference 1999*, pp. 44-50 (1999).
- [8] LSI Logic Corporation.: (2002) LSI LOGIC home page., [Online]. Available: <http://www.lsillogic.com>.
- [9] Iwasaki, H., Naganuma, J., Nitta, K., Nakamura, K., Yoshitome, T., Ogura, M., Nakajima, Y., Tashiro, Y., Onishi, T., Ikeda, M. and Endo, M.: Single-chip MPEG-2 422P@HL CODEC LSI with Multi-chip Configuration for Large Scale Processing beyond HDTV Level, *Design, Automation and Test in Europe Conference 2003 Designers' Forum*, pp. 2-7 (2003).