

局所同期型非同期式回路における ローカルタイミング信号生成回路の低消費電力設計

清水 雅一† 阿部 公輝†

† 電気通信大学 電気通信学研究科 〒182-8585 東京都調布市調布ヶ丘 1-5-1

E-mail: †{m-shimizu,abe}@cacao.cs.uec.ac.jp

あらまし 非同期式システム設計方式の一つである局所同期型非同期式回路において、ローカルタイミング信号生成回路の新しい構成手法を提案する。本手法は、書き込み要求の取り下げと読み出し要求の取り下げを個別に許可することにより要求-応答のオーバーヘッドを減らすとともに、2度書き2度読みを制御回路で防止することにより遅延生成回路の制約を減らし、全体として面積、消費電力の小さいローカルタイミング信号生成回路を構成できる。

キーワード 非同期式回路, 局所同期型非同期式回路, ローカルタイミング信号生成回路, 低消費電力

Low Power Design for Local-timing Generator Circuits Used for Locally-timed Asynchronous Circuits

Masakazu SHIMIZU† and Kôki ABE†

† Department of Computer Science, The University of Electro-Communications 1-5-1 Chofugaoka
Chofu-shi, Tokyo 182-8585 Japan

E-mail: †{m-shimizu,abe}@cacao.cs.uec.ac.jp

Abstract This paper proposes a new design method for composing the local-timing signal generator circuits used for locally-timed asynchronous circuits. The method reduces request-acknowledgment overheads by permitting read and write requests separately to be withdrawn. The control circuits are designed so as to prevent the datapath from rewriting and rereading data, which results in reducing restrictions in designing delay generator circuits. The above features of the method enable to constitute the local-timing signal generator circuits requiring smaller area and consuming less power.

Key words Asynchronous circuits, locally-timed asynchronous circuits, local-timing signal generator, low power

1. はじめに

半導体集積回路のプロセス微細化によるゲート遅延の減少とシステムの大規模化のため、配線遅延が支配的になりつつある。このため、チップ全域にクロック信号を分配しなければならない同期式回路の限界が指摘されている [1]。この問題を解決する方法の一つに、クロックを用いず、信号の遷移によって制御を行う非同期式回路が挙げられる。非同期式回路は信号の遷移によって動作するため、素子のスイッチング速度により性能が決定される。そのため、プロセス微細化にともなうゲート遅延の減少がそのまま、性能向上につながる。また、その動作原理から遅延変動に対して高い信頼性を有している。

局所同期型非同期式回路 [2] は従来の非同期式回路設計方式と異なり、データバスに同期式システムを用いることができる。そのため、データバスの設計に関しては同期式システム設計支

援 CAD 環境を有効に利用することができる。同期式システムとの違いはタイミング信号を要求-応答プロトコルに基づいて実現し、データバスをそのローカルなタイミング信号により制御するところである。また、局所同期型非同期式回路はタイミング信号の間隔を変動させる設計をすることにより、繰り返し実行される演算処理の平均値により速度性能を評価することができる。

局所同期型非同期式回路には GasP [3] のようにローカルタイミング信号生成回路の発信タイミングに浴うようにデータバスを細かく分割する方式と、データバス上の各ステージ遅延に合わせてタイミング信号を発信するように生成回路を構成する方式 [2] がある。ローカルタイミング信号生成回路は局所同期型非同期式回路において回路全体の速度性能を決定する重要な部分であるため、オーバーヘッドが少なく、高速であることが求められる。また、クロック信号のように動作するためスイッ

グアクティビティが高く、消費電力を考慮して設計されることが望ましい。しかし、各ステージ遅延に合わせてタイミング信号を発信する方式をC素子を用いて設計した場合[4]、隣接するステージの遅延によるオーバーヘッドが存在するため高速な動作を期待することができない。また、GasPを用いて設計した場合[2]は、ステージ遅延に合わせて挿入される遅延生成回路にハンドシェイクを正しく行うための制約がかかってしまい、そのため、面積、消費電力を効果的に削減することができない。

そこで、本論文では要求-応答のオーバーヘッドを減らしつつ、遅延生成回路の制約を減らし、正しいハンドシェイクを行うローカルタイミング信号生成回路を設計する手法を提案する。また、この手法により、高速かつ低消費電力な設計が可能であることを示す。次章で局所同期型非同期式回路とローカルタイミング信号生成回路の基本構造について述べ、3章、4章では、ローカルタイミング信号生成回路を構成する制御回路と遅延生成回路についてそれぞれ述べる。5章でローカルタイミング信号生成回路の評価、考察を行い、6章でまとめる。

2. 局所同期型非同期式回路

2.1 局所同期型非同期式回路

局所同期型非同期式回路の基本構造は図1のようにグローバルクロックの代わりにローカルタイミング信号生成回路を同期式システムのデータバスに付加したものである。

データバス上のレジスタは各々異なるローカルタイミング信号(書き込み許可信号)により個別に動作する。動作速度はデータバス上のクリティカルパスに依存するが入力によりクリティカルパスが変動し、それに伴い、ローカルタイミング信号の生成タイミングも変動する場合は、動作速度も変動する。

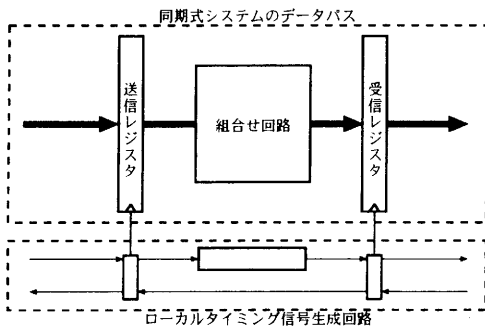


図1 局所同期型非同期式回路の基本構造

2.2 ローカルタイミング信号生成回路

図1のローカルタイミング信号生成回路部分を拡大したものを図2に示す。

ローカルタイミング信号生成回路はレジスタに制御回路が、ステージに遅延生成回路が対応するように構成される。遅延生成回路はステージ遅延に合わせてタイミング信号を発信するように生成回路を構成する方式では必要だが、ローカルタイミング信号生成回路の発信タイミングに沿うようにデータバスを細かく分割する方式では必要ない。

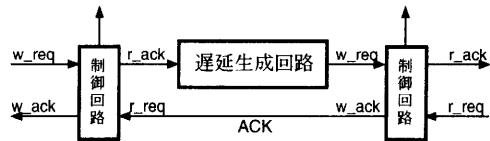


図2 ローカルタイミング信号生成回路の基本構造

制御回路はステージ間のハンドシェイクを実現しつつ、ローカルタイミング信号を生成する回路であり、次のように動作する。

- (1) 書き込み要求信号(w_{req}), 読みだし要求信号(r_{req})の到着を待つ。
- (2) 書き込み要求信号, 読みだし要求信号が揃ったら, 書き込み応答信号(w_{ack})及び読みだし応答信号(r_{ack})を送り, レジスタに書き込み許可信号(ローカルタイミング信号)を送る。
- (3) 書き込み要求の取り下げ, 読みだし要求の取り下げを待つ。
- (4) 書き込み要求の取り下げ, 読みだし要求の取り下げが来たら, 書き込み応答信号及び読みだし応答信号を取り下げ,(1)に戻る。

一方、遅延生成回路は対応するステージ遅延によりそれぞれ異なる長さを持つ。

制御回路と遅延生成回路は図2のように、制御回路の出力 r_{ack} が遅延生成回路を通過して後段の制御回路の w_{req} に接続され、 w_{ack} が前段の制御回路の r_{req} に接続される。

3. 制御回路

現在、ローカルタイミング信号生成回路の制御回路としてはC素子やGasPなどが存在する。しかし、C素子を用いた回路では隣接するステージの書き込み要求の取り下げ、または、読み出し要求の取り下げを待たなければ次の動作に移れないため、高速な動作をすることができない。GasPを用いた回路はオーバーヘッドが小さく高速に動作できるが、遅延生成回路にデータの2度書き2度読み防止のための制約がかかってしまう。

高速性を保ったまま、ローカルタイミング信号生成回路の面積、消費電力を効果的に削減するためには次の特徴を備えた制御回路が必要になる。

- 書き込み要求の取り下げ, 読み出し要求の取り下げを個別に許可する
- 2度書き, 2度読み防止の制御を行う

本研究ではこの特徴を備えた制御回路を図3のように作成した。今後、この制御回路をHSCと呼ぶこととする。HSCには4つの状態があり、状態により、ステージ間のハンドシェイクを実現する。回路設計時にはHSCを一つの基本セルとして利用する。HSCを制御回路として用いることにより、高速性を保ちつつ、遅延生成回路の制約を減らすことができる。

HSCを用いたローカルタイミング信号生成回路が正しく動作するために満たさなければならない制約を図4に示す。図4のセル外部を通過するバス遅延 $T_{outside}$ (実線)とセル内部のバス遅延 T_{inside} 、レジスタがデータをラッチするのに必要な最小クロックパルス幅 T_{pulse} (点線)の間には、

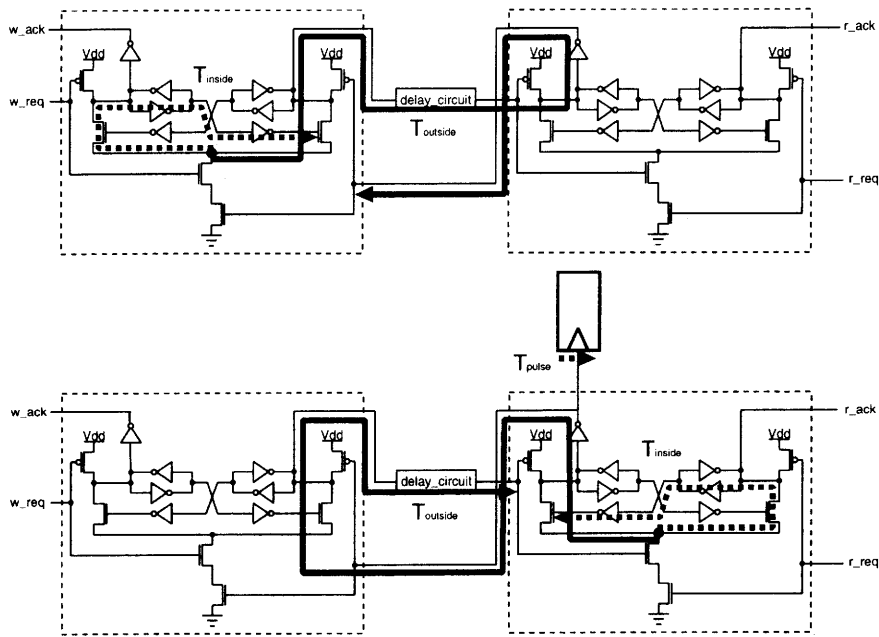


図4 満たさなければならない遅延制約

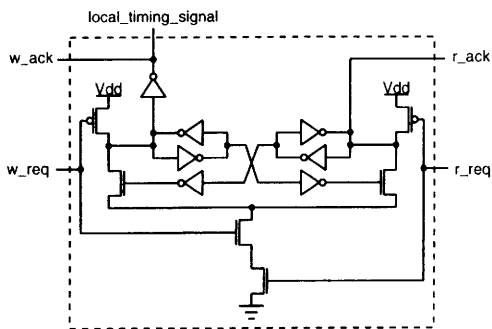


図3 ハンドシェイクを行う制御回路の構成

$$T_{inside} \leq T_{outside} \quad (1)$$

$$T_{pulse} \leq T_{outside} \quad (2)$$

という関係が成り立っていないと成り立たなければならない。式(1)は、制御回路の状態を正しく保持するための制約であり、満たされない場合、隣接ステージ側の状態とack信号が変化し、動作に影響が出てしまう。式(2)はレジスタがデータをラッチするのに必要な最小クロックパルス幅 T_{pulse} を確保するための制約であり、満たされない場合、データが正しくラッチされない。遅延変動に対して大きな信頼性を得る必要がある場合には、上記の制約を満たすために、遅延生成回路にある程度の遅延を持たせる必要がある。しかし、セル内部の配線遅延はセル外部の配線遅延に比べ小さく、また、最小クロックパルス幅より短いステージを設計することはないと考えられる。そのため、実際には遅延生成回路の設計に制約を与えることはない。

3.1 ローカルタイミング信号生成回路のオーバーヘッド

局所同期型非同期式回路での1サイクルはローカルタイミング信号生成回路の1サイクルに等しい。そのため、ローカルタイミング信号生成回路の動作速度がそのまま回路全体の動作速度になる。ローカルタイミング信号生成回路は制御回路、遅延生成回路、及びack信号線で構成されているため、HSCを用いた場合のサイクルタイム T_{cycle} はHSCの遅延時間を T_{HS} 、遅延生成回路の遅延時間を T_D 、ACK信号線の遅延時間を T_{ACK} とすると

$$T_{cycle} = T_D^- + T_{HS_{suc}}^- + T_{ACK}^- + T_{HS_{pre}}^+ + T_D^+ + T_{HS_{suc}}^+ + T_{ACK}^+ + T_{HS_{pre}}^- \quad (3)$$

と表される。「pre」は送信側、「suc」は受信側、「+」は立上り遷移、「-」は立ち下がり遷移を表す。

データバスにおいて送信レジスタのローカルタイミング信号が1(書き込み許可)に遷移してから、受信レジスタのローカルタイミング信号が1に遷移するまでの時間は1ステージのデータ転送の許容時間であり、クリティカルパスによって決定される重要なパラメータである。送信レジスタと受信レジスタの局所クロックツリーの遅延(制御回路-レジスタ間)が同じである場合、これは送信レジスタ側の制御回路のローカルタイミング信号が1に遷移してから、受信レジスタ側の制御回路のローカルタイミング信号が1に遷移するまでの時間となる。よって、ローカルタイミング信号生成回路のサイクルタイムにおいて、上記の時間 T_S がデータバスに関わる意味のある時間であり、残りの時間は基本的にオーバーヘッド時間 T_O ということになる。 T_S, T_O は式(3)を分割したものであり、

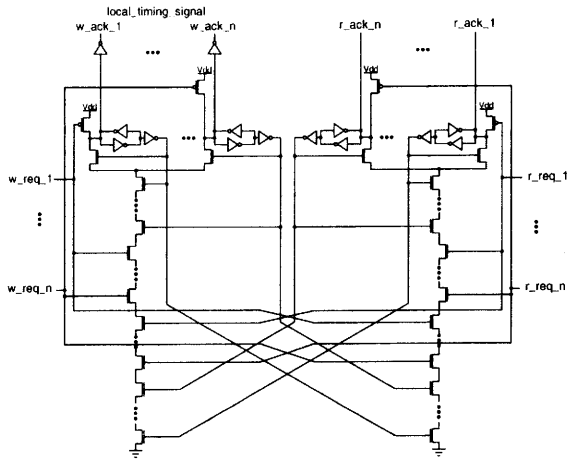


図5 複数の入出力を持つ制御回路の構成

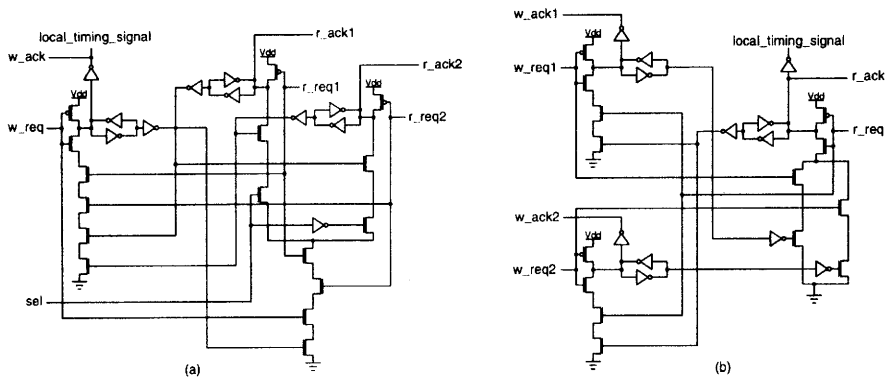


図6 選択分岐を実現する制御回路の構成

$$T_s = T_D^- + T_{HS_{n..}}^- + T_{ACK}^+ + T_{HS_{m..}}^+ + T_D^+ + T_{HS_{m..}}^+ \quad (4)$$

$$T_o = T_{ACK}^+ + T_{HS_{m..}}^- \quad (5)$$

となる。GasP ではセルフリセット機能によりオーバーヘッドを小さくしているがHSC ではサイクルタイムにおける遅延生成回路の立ち上がり遅延と立ち下がり遅延の両方を T_s に利用することで、有効な時間の割合を増やし、オーバーヘッドとなる時間を小さくしている。GasP に比べ制御回路自体が大きく、 T_s も長いので、GasP ほど高速には動作できないがオーバーヘッドとなるゲート遅延は同じく小さい。

3.2 その他の制御回路

実際の回路にはルーブや分岐、合流が存在する。局所同期型非同期式回路ではそれらに合わせた制御回路が必要であり、GasP にも同様の制御回路 [2] [3] が存在する。

本論文ではHSCと同様の特徴を持つ制御回路を示す。単純な分岐、合流を実現するための制御回路として複数の入出力を持つ制御回路の構成を図5に、選択分岐、合流を実現する制御回路の構成を図6に示す。図6(a)が選択分岐用、(b)が合流用の制御回路である。なお、図6(a)において分岐先を決定するsel信号はw_reqよりも早く確定していなければならない。

HSCはGasPと異なり、タイミング信号のパルス幅が一定ではない。そのため、レジスタの記憶素子としてフリップフロップではなくラッチを用いる場合には図7のようにタイミング信号を必要なパルス幅にする回路を制御回路に付加する必要がある。図7のバッファの遅延 T_B を調節することで必要なパルス幅だけを切りとることができる。

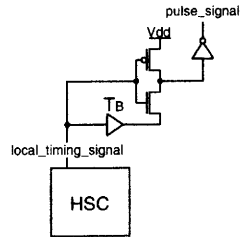


図7 タイミング信号をパルス発信する場合の回路構成

4. 遅延生成回路

標準的な遅延生成回路を図9に示す。図9(a)は偶数個のインバータ素子を、(b)はAND素子を連続して接続した構造をして

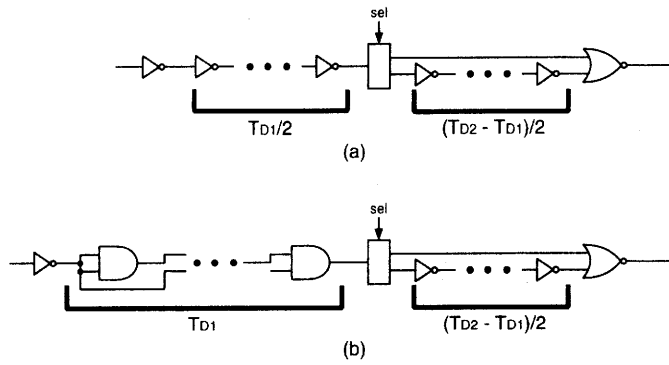


図8 遅延選択回路の構成

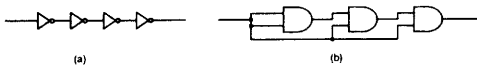


図9 標準的な遅延生成回路例

いる。

図9(a)の遅延生成回路は立ち上がり、立下り共に素子段数分の遅延時間を持ち、図9(b)の遅延生成回路は立ち上がりは素子段数分、立下りは素子一段分の遅延時間を持っている。図9(b)は立上り遷移に大きな遅延が必要な場合に用いる。また、立下り遅延が短いため、GasPを用いた回路にも用いられている。

遅延生成回路により生成される遅延 T_D はデータバス上の組合せ回路の遅延を T_{cc} 、記憶素子のセットアップタイムを T_{setup} 、記憶素子の書き込み遅延を T_w 、局所クロックツリーの遅延を T_{lct} とするとき、次の式を満たすように設定する。

$$T_{lct,prc} + T_w + T_{cc} + T_{setup} < T_D^- + T_{HS,src}^- + T_{ACK}^- + T_{HS,prc}^+ + T_D^+ + T_{HS,src}^+ + T_{lct,src} = T_S + T_{lct,src} \quad (6)$$

HSCを用いた場合、 T_S 時間内に遅延生成回路を立ち上がりと立下りの2度通過するため、図9(a)の遅延生成回路を用いて図10のような構成が可能になる。図中の α は遅延変動に対する信頼性を確保するための遅延である。データバス遅延 D に対し、 $D/2$ 程度の立上り遅延、立ち下がり遅延を生成する回路で必要となる遅延を得るため、立上り遅延で D 相当の遅延を生成しなければならない図9(b)の遅延生成回路に比べ、遅延生成回路の面積を小さくでき、合わせて消費電力を抑えられると予測できる。これは、制御回路に比べ、遅延生成回路の大きさが支配的である場合、特に有効である。

4.1 遅延選択回路

前述のように、局所同期型非同同期式回路ではデータバスのクリティカルバスが変動する場合に遅延生成回路の遅延も変動させることで速度性能の向上が図れる。これを実現するための回路が遅延選択回路である。

一つのステージに入力に依ってどちらかが選択される T_1, T_2 ($T_1 < T_2$) という2つのクリティカルバスが存在するとする。 T_1, T_2 に対応する遅延生成回路の遅延をそれぞれ T_{D1}, T_{D2} とすると図8のように遅延生成回路の設計を行う。図8の sel

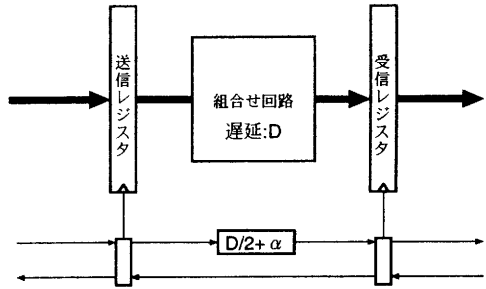


図10 インバータで遅延生成回路を構成した場合のデータバス

信号はデータバスから送信される選択制御信号であり、遅延選択に使われる。図8のように構成することで、sel 信号で選択された方のみ遷移が起るため、面積は増加するが消費電力の増加は抑えた遅延選択回路を構成することができる。ただし、図8の遅延選択回路を使用する場合、

$$T_{lct,prc} + T_w + T_{sel} < T_{D,sel}^+ \quad (7)$$

を満たす必要がある。 T_{sel} は選択制御信号が遅延選択回路に達するまでの遅延、 $T_{D,sel}$ は選択回路までの遅延生成回路の遅延である。

図8において、 $T_{D,sel}^+$ は(a)では $T_1/2$ であり、(b)では T_1 であるため、(a)により(b)の方が式(7)を満たしやすい。そのため、式(7)を(a)で満たせない場合には(b)を用いる。 $T_{D,sel}$ が短く、式(7)を満たすのが困難な場合にはローカルタイミング信号生成回路のドライブ性能を高め、局所クロックツリーの遅延を小さくするなどする必要がある。

4.2 局所クロックツリーの遅延が異なる場合

連続する2つのステージにおいて前段の局所クロックツリーの遅延と後段の局所クロックツリーの遅延には、次の制約が存在する。

$$T_{lct,src} < T_{ACK}^+ + T_{HS,prc} + T_{lct,prc} + T_w + \min[T_{cc}] \quad (8)$$

$\min[T_{cc}]$ は組み合わせ回路遅延 T_{cc} における最小遅延である。これは後段のレジスタにデータがラッチされる前に次のデータになってしまうことを避けるための制約である。

後段の局所クロックツリー遅延 $T_{lct, \dots}$ が前段の局所クロックツリー遅延 $T_{lct, p, \dots}$ に比べて長く、式 (8) を満たせない場合は、図 11 のように必要分の遅延 β を ACK 信号線に挿入し、 T_{ACK}^+ の遅延を調節する。これにより T_S も変化するので、遅延生成回路の遅延も調整する。

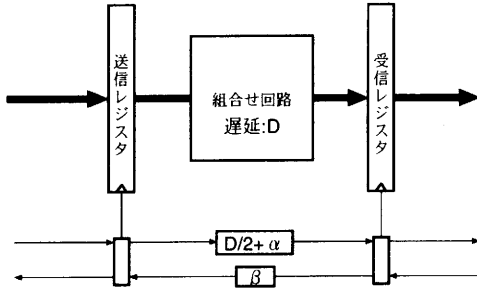


図 11 式 (8) を満たすための回路構成

5. 評価と考察

5.1 ローカルタイミング信号生成回路の比較

HSC と GasP について遅延生成回路の長さを変えることで様々なローカルタイミング信号生成回路を図 12 のように構成した。図 12(a) が HSC を用いた信号生成回路であり、(b) が GasP を用いた信号生成回路である。HSC には図 9(a) の遅延生成回路を用い、GasP は制約のため、図 9(b) の遅延生成回路を用いた。HSPICE を用いて電源電圧が 3.3V 及び 1.8V のときの動作速度、消費電力を測定したものを図 13 に示す。横軸は後段の制御回路のローカルタイミング信号の周波数、縦軸は図 12 に示す回路全体の消費電力である。なお、MOSFET のチャンネル長は $0.18\mu\text{m}$ とし、チャンネル幅は $0.4\mu\text{m}$ から $6.4\mu\text{m}$ の間の値に設定した。ただし、配線遅延や配線容量は考慮していない。

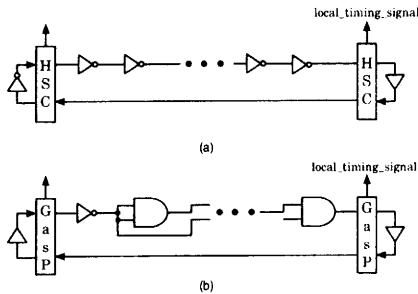


図 12 評価回路の構成

図 13 の最も右の点は遅延生成回路がない状態の回路であり、左にいくほど遅延生成回路が長くなり、遅延生成回路の占める割合も大きくなっている。速度が 0 になる地点での消費電力は遅延生成回路のもののみになる。

5.2 考察

制御回路自体の動作速度は GasP の方が速いが、同じ周波数のところでは、本ローカルタイミング信号生成回路の方が GasP

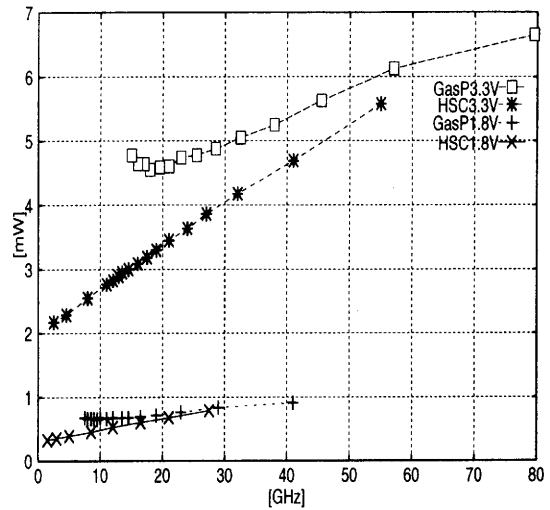


図 13 ローカルタイミング信号生成回路の速度、消費電力比較

を用いた信号生成回路より、消費電力が小さく、また、グラフの傾きも大きい。これは遅延生成回路の違いからくるもので、同じ周波数のタイミング信号を生成した場合、図 9(a) の遅延生成回路の方が図 9(b) の遅延生成回路より消費電力を抑えられることを示している。GasP のグラフの右端で消費電力が増加しているのは、図 9(b) の段数が増えるにつれ、 r_{ack} のファンアウトが増加し、正しい遷移ができなくなっているためである。以上のことから、大きな遅延を生成する場合には本ローカルタイミング信号生成回路を用いた方が良いことがわかる。

6. まとめ

本論文では、局所同期型非同同期式回路において、面積、消費電力を考慮したローカルタイミング信号生成回路の構成手法を提案した。制御回路で書き込み要求の取り下げと読み出し要求の取り下げを個別に許可するとともに、2度書き2度読みを防止することによりある程度的高速性を保ったまま遅延生成回路の面積、消費電力を減少させることができた。

今後は配線遅延や配線容量を考慮した評価、及び、データバスを含めた回路全体の評価を行う予定である。

なお、本研究は東京大学大規模集積システム設計教育研究センターを通しシノプシス株式会社の協力で行われたものである。

文献

- [1] 南谷 崇：「非同同期式マイクロプロセッサの動向」、情報処理、Vol.39, No3, pp181-186, 1998.
- [2] 今井 雅, Metehan Ozcan, 南谷 崇：「SDI モデルに基づく局所同期型非同同期式 VLSI 設計方式」、情報処理学会論文誌、Vol.44, No5, pp1232-1243, 2003.
- [3] Sutherland, I. and Fairbanks, S：「GasP: A minimal FIFO control」, Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems, pp.46-53, IEEE Computer Society Press (March 2001).
- [4] 小栗 清：「非同同期論回路の設計技術」、システム LSI 設計技術、No102-1.2001.