

## 大規模デジタル回路におけるグラウンド雑音の解析

杉本 智彦<sup>†</sup> 奥本 健<sup>†</sup> 永田 真<sup>††</sup> 瀧 和男<sup>††</sup>

<sup>†</sup> 神戸大学大学院自然科学研究科

<sup>††</sup> 神戸大学工学部情報知能工学科

E-mail: †{sugimoto,okumoto}@cs26.scitec.kobe-u.ac.jp, ††{nagata,taki}@cs.kobe-u.ac.jp

あらまし 大規模 CMOS 集積論理回路における電源/グラウンド雑音解析を行うためのシミュレーション手法を提案する。シミュレーション・モデルは回路レイアウトと HDL シミュレーションによる活性化率を基に作成した。雑音解析には回路シミュレーションを用いた。大規模デジタル論理回路と基板電位検出回路を搭載した評価チップを 0.35 $\mu\text{m}$  CMOS で設計・試作するとともに、グラウンド雑音の実測とシミュレーションの比較評価を行い、本手法の有効性を確認した。

キーワード グラウンド雑音、電源雑音、電源電流モデル、雑音解析

## Analysis of Ground Noise in Large-scale Digital Circuits

Tomohiko SUGIMOTO<sup>†</sup>, Takeshi OKUMOTO<sup>†</sup>, Makoto NAGATA<sup>††</sup>, and Kazuo TAKI<sup>††</sup>

<sup>†</sup> Graduate School of Science and Technology, Kobe University

<sup>††</sup> Department of Computer and Systems Engineering, Kobe University

E-mail: †{sugimoto,okumoto}@cs26.scitec.kobe-u.ac.jp, ††{nagata,taki}@cs.kobe-u.ac.jp

**Abstract** A simulation technique for analyzing power-supply and ground noise in practical large-scale CMOS digital circuits is proposed. The simulation model is created based on circuit layout and activity distribution by HDL simulation. The circuit simulation is used for noise analysis. In order to verify the accuracy of the simulation result of the proposal technique, a large-scale digital circuit and a substrate voltage detector are developed in a 0.35 $\mu\text{m}$  CMOS technology. Comparison evaluation of the measurement result of ground noise and a simulation result is performed.

**Key words** Ground noise, Power-supply noise, Power-supply current model, Noise measurement

### 1. はじめに

半導体技術の進歩によりデジタル論理回路の大規模化、高性能化、微細化が進んでいる。一方で、電源電圧の低電圧化、内部配線の増大の傾向を示しており雑音が回路に及ぼす影響を無視できない。デジタル論理回路における電源 (Vdd) /グラウンド (Gnd) 配線の寄生素子が基板雑音、電源/グラウンド雑音の発生に作用する過程を理解することは極めて重要である [1]。

雑音は LSI の性能劣化問題を引き起こしている。アナログ・デジタル混載回路では、デジタル論理回路から発生する雑音がシリコン基板などを伝搬してアナログ回路に漏れ込み回路の性能を制限する。LSI における設計信頼性向上には、雑音検証のためのシミュレーション・モデルの開発が必要である。

本稿では、大規模デジタル集積論理回路における効率的な電源/グラウンド雑音解析のために雑音発生過程のシミュレーション手法を提案し、シミュレーション・モデル生成フローに

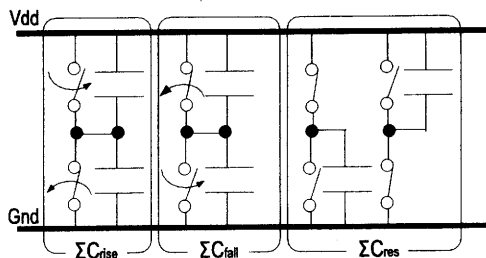


図1 電荷移動モデル

ついて述べる。さらに、0.35 $\mu\text{m}$  CMOS 技術による大規模デジタル集積論理回路を搭載した評価チップを設計・試作し、実測とシミュレーションによるグラウンド雑音波形を比較評価し、本手法の有効性を確認した。

## 2. 解析モデル

LSI の動作性能劣化問題として、デジタル論理回路が動作時に発生する電源/グラウンド雑音がある。デジタル論理回路における雑音発生の主要因は電源電流変動である。CMOS 論理ゲートのスイッチング動作が負荷容量の充放電により実現されている。CMOS 論理ゲートの高速なスイッチングを可能にしているのは図 1 に示すようにスイッチング動作する論理ゲートに寄生する容量 ( $\Sigma C_{rise}$ 、 $\Sigma C_{fall}$ ) と、電荷溜りとして作用するスイッチング動作しない容量 ( $C_{res}$ ) との間の電荷再分布過程である。デジタル論理回路内部でこれらの容量は互いに低インピーダンスで結合しており、電荷再分布過程は短時間に終了する。また再分布過程で発生する電流は局所的であり、回路の電源電流に対する寄与は小さいと考えられる。論理ゲート回路における放電の過程は、それまでに充電された電荷を MOSFET のチャネル抵抗成分を含む内部の経路で熱エネルギーとして消費する。この放電過程の電流は局所的であるため電源電流に対する寄与は小さい。

LSI チップと外部電源の間には組み立てに起因するボンディングワイヤやパッケージ・リード、そして PCB 基板配線などに寄生するインピーダンスやインダクタンス成分 ( $Z$ ) が直列に挿入されている。外部電源とデジタル論理回路ブロック間の電源電流変化は、ブロック全体の寄生容量の総和を  $C_{par}$  とすれば、スイッチング時間と比較して数倍以上大きい時定数 ( $C_{par}Z$  程度) を示す。外部電源は電荷再分布による高速な論理動作の結果消費された電荷を比較的ゆっくりと供給する。外部電源の役割は常にデジタル論理回路全体の寄生容量に電荷を供給することである。この過程により電源電流/グラウンド電流が発生する。外部電源からの供給電荷量はリーク電流成分を除いた電源電流変動に直接寄与する成分に関して、ほぼ正確に  $\Sigma C_{rise}$ 、 $\Sigma C_{fall}$  の容量で充電される寄生容量の総和と電源電圧の積に等しい。

電荷再分布により高速なスイッチング動作の結果消費された電荷はゆっくりと供給されるが、このとき電源電流が寄生インピーダンス成分に流れることで電源降下やリングングにより電源/グラウンド配線の電位が変動する。シリコン基板は基板コンタクトによりグラウンド配線と低抵抗に接続されているため、グラウンド雑音の電位変動は基板雑音となって現れる。小規模なデジタル論理回路では主要なインピーダンス成分はボンディングワイヤなどのオフチップ素子であると仮定して解析できる。大規模デジタル集積回路では電源/グラウンド配線に連続的に分布する寄生インピーダンスが雑音発生過程に強く影響している [2]。

そこで、デジタル論理回路をその論理構造ではなく、レイアウト構造に基づいてブロックに分割して解析する必要がある。各ブロックは集中定数的なインピーダンスで結合しているとすると、各ブロックの電源電流はその周辺のインピーダンス成分と相互作用して局所的に電圧変動を引き起こすと考えられる。

図 2 に論理ゲートの等価回路を示す。右図は論理ゲートの等価回路の略図である。スイッチング動作による負荷容量の充放

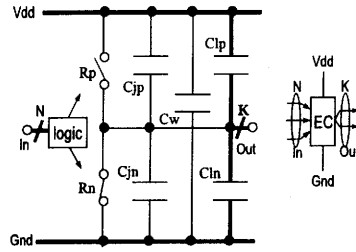


図 2 論理ゲートの等価回路

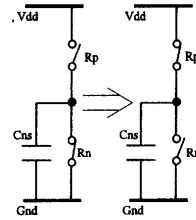


図 3 TSDPC モデル

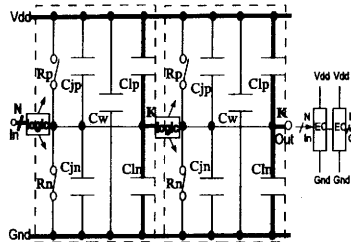


図 4 TSDPC モデルの対象回路例

電が回路の論理状態 logic を決定する。CMOS 論理回路においては抵抗成分を有する PMOS、NMOS がスイッチング動作を行う。PMOS の抵抗を  $R_p$ 、NMOS の抵抗を  $R_n$  とする。負荷容量の主成分はドレイン容量  $C_{jp}$ 、 $C_{jn}$  とウエル容量  $C_w$ 、そして後段の  $K$  個の論理ゲートの入力容量と配線容量の総和  $C_{lp}$ 、 $C_{ln}$  である。電源/グラウンド配線にはインピーダンス成分が寄生する。ここで P 基板、N ウェルはそれぞれ Gnd、Vdd に接続されているとする。

効率的な雑音発生解析のため、論理ゲートにおける容量充電動作のみに着目した時系列分割寄生容量列 (Time Series Division Parasitism Capacity sequence, TSDPC) モデルを定義する [3] [4]。TSDPC モデルを図 3 に示す。時系列分割寄生容量は、状態遷移が発生したセルに寄生し、容量の充電される総和として表し。電源側に接続されているスイッチが PMOS、グラウンド側に接続されているスイッチが NMOS に相当する。容量  $C_{ns}$  は図 2 におけるドレイン容量、ウエル容量、後段の論理ゲート入力容量、配線容量を一つの負荷容量として表現したものである。

例として図 4 に示す回路を TSDPC モデルで表現することを考える。図 4 は図 2 の回路が直列 2 段であり、抵抗、容量が共に並列接続される構成となる。図 2 を TSDPC モデルで

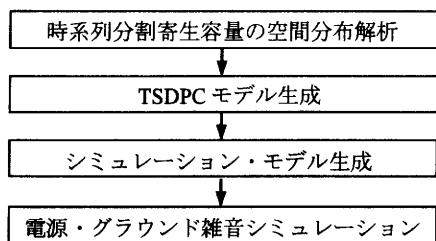


図5 電源/グラウンド雑音解析フロー

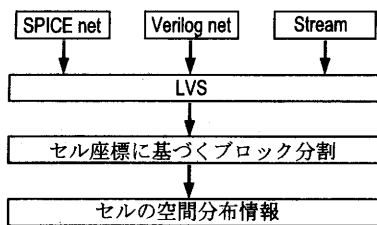


図6 ブロック分割フロー

表現した時と比べて図4は抵抗は半分、容量は二倍の値を持つ TSDPC モデルとなる。以上のように TSDPC モデルの抵抗 ( $R_p$ ,  $R_n$ )、容量 ( $C_{ns}$ ) のパラメータを調整することで複数の論理ゲートを一つの TSDPC モデルとして表現できる。

TSDPC モデルが容量充電のモデルしか考えていない理由は電源/グラウンド雑音が外部電源からの容量充電過程に依存しており、放電過程は問題としていないからである。

TSDPC モデルパラメータは状態遷移が発生したセル情報、そのセルの後段に接続されているセル情報と配線容量、配線抵抗で決定される。そのために必要な情報は以下である。

- 回路の状態遷移情報 (時刻・インスタンス名)
- セルの空間情報 (座標情報)
- セル種類

次章で述べる電源/グラウンド雑音解析フローでこれらの情報を抽出し、TSDPC モデルを生成する。この TSDPC モデルは回路シミュレーション可能なネットリストで記述され、大規模デジタル論理回路の雑音発生を効率的に解析できる。

### 3. 電源/グラウンド雑音解析フロー

本稿で提案する大規模 CMOS 集積論理回路の電源/グラウンド雑音解析フローについて述べる。図5に電源/グラウンド雑音解析フローを示す。被解析回路の活性化率の空間分布における時間変化の解析を行うことで電源/グラウンド雑音の空間分布を予測する。活性化率の空間分布情報を用いて TSDPC モデルを生成し、TSDPC モデルを利用して雑音シミュレーションのために必要なシミュレーション・モデルを生成する。回路シミュレーションにより電源/グラウンド雑音を解析する。なお、本稿における活性化率は、ある時間内に状態遷移した論理セル数の総和ではなく、ある時間内に充電される総寄生容量値より定義している。

#### 3.1 時系列分割寄生容量の空間分布解析

時系列分割寄生容量の空間分布解析は以下の構成で行う。

- 被解析回路のセル座標に基づくブロック分割
- HDL シミュレーションによる状態遷移抽出
- 時系列分割寄生容量の空間分布解析

時系列分割寄生容量の空間分布情報を得るために被解析回路をレイアウトに基づいて複数のブロックに分割する。SPICE ネットリストとレイアウトから MOSFET の座標と属するモジュール名、インスタンス名を抽出し、これに基づいて被解析回路をスタンダードセル単位でブロック分割する。図6にブ

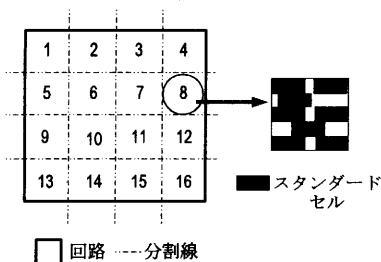


図7 縦方向4、横方向4、ブロック分割イメージ図

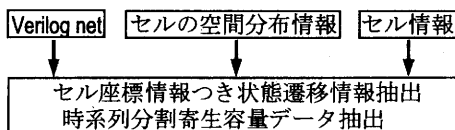


図8 状態遷移抽出フロー

ロック分割フローを示す。被解析回路を縦方向4、横方向4にブロック分割した結果は図7の様になり、一つのブロックに複数のスタンダードセルが存在している。機能拡張した Verilog を用いた状態遷移抽出フローを図8に示す。

機能拡張した VerilogHDL によるシミュレーション結果を用いて、回路の動作時刻と時系列分割寄生容量の空間分布の関係を視覚的に理解できるように、GUI ツールを作成した。ある回路に時系列分割寄生容量の空間分布解析を実行した結果に対して本 GUI ツールを適用した例を図9、図10、図11に示す。ツールでは一定時間 (クロック周期の  $\frac{1}{4}$ ) 間隔で被解析回路における時系列分割寄生容量の空間分布情報を表示する。図における横棒は時系列分割寄生容量が一番大きいブロックを基準としてブロックの時系列分割寄生容量を表示しており、横棒が右方向に伸びるほど時系列分割寄生容量が高いことを表している。被解析回路のレイアウトと GUI ツール内の表示の位置関係は、回路の左上ならツール内の左上に相当し、回路の右下ならツール内の右下に相当する。ツール内ではブロック分割に従い画面を分割している。図9、図10、図11では縦方向は4ブロック分割、横方向はセル行ごとのブロック分割となっている。

本ツールを用いて時系列分割寄生容量の空間分布情報を解析することで以下のような電源/グラウンド雑音に対する見積もりができる。図9の回路では全体に回路の活性化率が高く、時系列分割寄生容量が均等に分布していて、回路で発生する電源/グラウンド雑音は大きいと予測できる。図10の回路では時

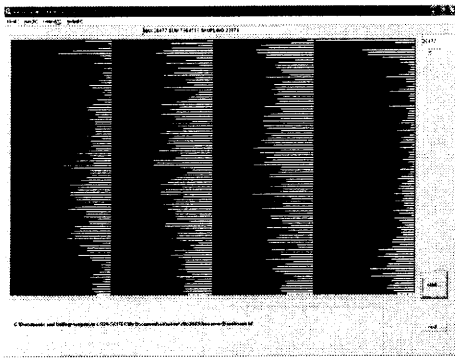


図 9 時系列分割寄生容量の空間分布解析例 1

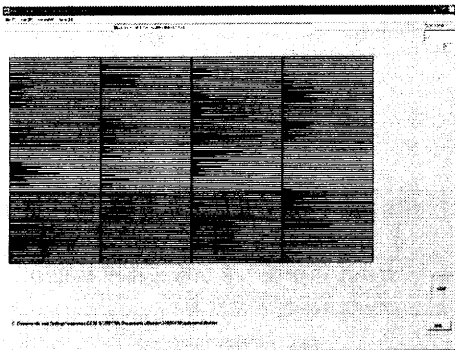


図 10 時系列分割寄生容量の空間分布解析例 2

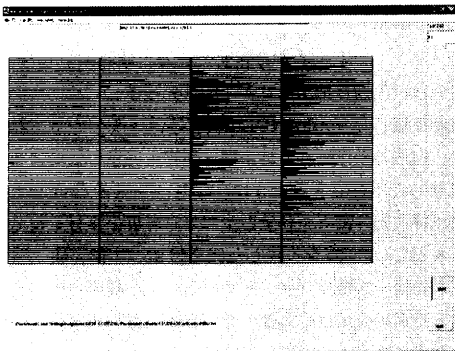


図 11 時系列分割寄生容量の空間分布解析例 3

系列分割寄生容量が分散しており、電源／グラウンド雑音の発生量は小さいと考えられる。図 11 の回路では時系列分割寄生容量が右側に集中しており、回路右側に近い外部回路は電源／グラウンド雑音の影響を大きく受けると予想できる。

本ツールの機能としては表示時間間隔を数値で指定、サンプリング時間の表示、回路動作クロックの立ち上がり立ち下りの区別、時系列分割寄生容量の規格化、参照ファイル名の表示などあり、JAVA で実装している。

### 3.2 TSDPC モデル生成

時系列分割寄生容量抽出フローを図 12 に示す。

回路によって使用されるスタンダードセルの種類は様々であ

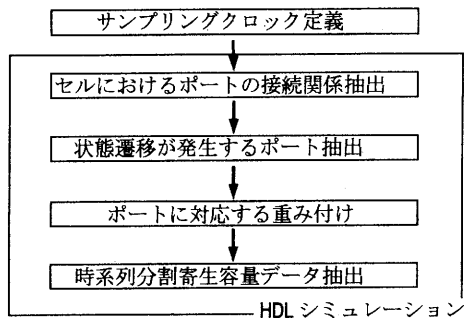


図 12 時系列分割寄生容量抽出フロー

1. 基準となるセルを設定
2. 状態遷移が発生するポートを抽出
3. ポートが属するスタンダードセル情報を抽出
4. 基準セル単位でスタンダードセルを計算
5. ポートの空間情報を抽出
6. ポートと繋がっている他ポートを抽出
7. 他ポートの空間情報を抽出
8. ポート間の距離を計算
9. 他ポートが属するスタンダードセル情報を抽出
10. 基準セル単位でスタンダードセルを計算
11. 計算した結果を加算

図 13 ポートに関する重み付けフロー

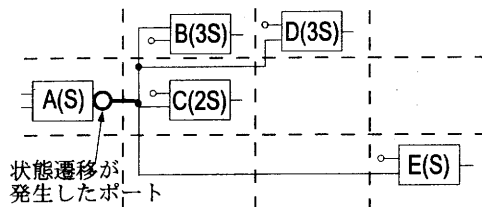


図 14 ポートに対する重み付け例

る。スタンダードセルの種類は論理の違いと駆動力の違いによって決まる。スタンダードセルの論理が変われば抵抗、容量成分は異なり、セルの駆動力が変わる場合も抵抗、容量成分は異なる。HDL シミュレーションでは各ポートに対して抵抗、容量成分に関する重み付けを行い全てのポートを等しく扱う。図 13 にポートに対する抵抗、容量成分に関する重み付けフローを示す。HDL シミュレーションにおいて必要とされる情報は外部ファイルとして取り込むか、HDL シミュレーション実行時に解析する。

ポートに対する抵抗、容量成分に関する重み付けについて説明する。基準セルを決定し全てのスタンダードセルを基準セルの倍数で扱う。ポートにおける状態遷移とはポートが属するスタンダードセルにおける MOS の状態遷移であり、その ON 抵抗、ドレイン、ウェル容量を考慮する必要がある。状態遷移が

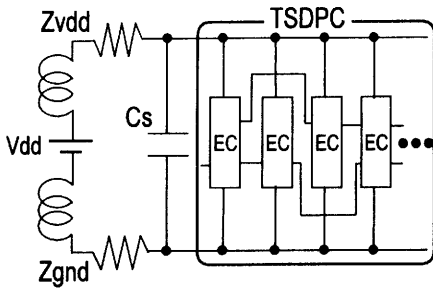


図 15 論理回路ブロックの等価回路

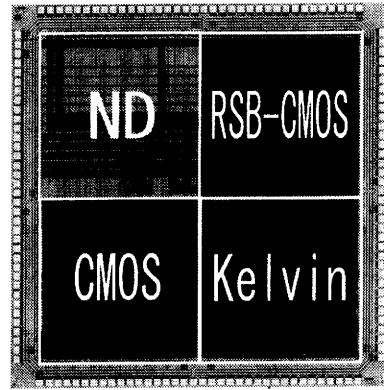


図 16 評価チップ拡大図

発生するポートに属するスタンダードセルを基準セルに置き換え、抵抗、容量成分を見積もる。状態遷移が発生するポートの後段に接続されているポート情報を抽出する。ポート間の距離情報から配線抵抗、配線容量を考慮する。後段に接続されているポートが属するセルの種類によって入力容量が変化するので後段に接続されているポートが属するスタンダードセルを基準セルに置き換え容量成分を見積もる。これを後段に接続されている  $K$  個のポート全てに対して行う。以上より図 2 における全てのパラメータが考慮できる。ポートに対する容量成分に関する重み付け例として図 14 を示す。図は A のセルの出力ポートで状態遷移が発生した場合であり、ポートは B、C、D、E セルの入力ポートと接続されている。S は基準セルであり、点線はブロック分割による分割線を表す。状態遷移が発生したポートが属する A セルの重み付けは S である。A セルと B、C、D、E セルの距離関係は 2、1、3、4 ブロック距離あり、各セルの重み付けはそれぞれ  $3S$ 、 $2S$ 、 $3S$ 、 $S$  である。以上より状態遷移が発生した A セルの出力ポートに対する重み付けは、 $10S(=S+3S+3S+2S+S)+7(=2+1+3+4)b$  となる。S は基準セル係数、b はブロック距離係数を表し、設定した基準セル、ブロック分割数などにより決定する。

### 3.3 シミュレーション・モデル生成

シミュレーション・モデルは TSDPC モデルを基本構成要素とする。本稿で解析対象とした回路の時系列分割寄生容量解析における結果は、図 10 である。時系列分割寄生容量の空間分布がほぼ均一であることから、被解析回路は単一の TSDPC モデルで表現した。

また、実際の回路においては図 15 の様に、ボンディングワイヤなどのオフチップ寄生素子や  $C_s$  で示す電荷再分布過程で電荷溜りと作用する容量（オフチップ容量も含む）を考慮する必要があり、TSDPC モデルにインピーダンス、インダクタンス、容量成分を追加し、シミュレーション・モデルを作成を行い回路シミュレーション可能なネットリストを生成する。

### 3.4 雑音シミュレーション

電源/グラウンド雑音解析を行う。TSDPC モデルに基づく電源/グラウンド雑音シミュレーションの特徴は以下である。

- 電源/グラウンド雑音解析区間を任意に設定できる
- 解析時間における回路規模依存性が小さい

モデルがサンプリングクロック毎に定義されており必要とする

解析区間だけを抽出することが可能である。シミュレーション・モデルの構成が同じである場合、回路規模の増大は TSDPC モデルに影響を及ぼし、回路シミュレーション用のネットリストでは抵抗、容量の数値が増大するだけである。解析時間は回路規模に依存するのではなく、シミュレーション・モデルの構成に依存する。

## 4. 評価

提案手法のシミュレーション結果の精度を評価するために大規模デジタル論理回路と基板電位検出回路を搭載した評価チップの設計・試作を行った。図 16 にチップ写真を示す。0.35 $\mu$ m CMOS、チップ面積 4.8mm 角、3 層メタル、2 層ポリ容量のプロセスを利用し、評価チップ全体を 4 分の 1 に分割している。図 16 の左上の ND は、基板電位の検出回路である [5]。回路設計には通常の大規模回路設計と同様にセルの自動配置配線を行い、16 入力の FFT 回路を作成した。回路規模はトランジスタ数 117,942、使用セル数 12,967 である。通常スタンダードセルを用いて自動配置配線設計した CMOS、雑音低減手法として一般的に用いられている Kelvin 型 CMOS、及び基板雑音低減 CMOS デジタル回路 (Reduced Supply Bounce, RSB-CMOS) [3] で同じ FFT 回路を構成した。

チップの入出力ピンには IO バッファが接続されており、その雑音発生量は FFT(CMOS) 回路単体のグラウンド雑音と比べて無視できない。そこで、FFT 回路動作時 (IO も動作) と FFT 回路非動作時 (IO は動作) の 2 種類の実測値をとり、両者の差分をとることで FFT 回路動作単体のグラウンド雑音の実測値とした。なお、基板電位検出回路は評価チップの中央位置の基板雑音を測定するように配置した。大規模 CMOS デジタル論理回路における基板雑音は、グラウンド配線の電位変動が基板に漏れることで発生している。基板雑音を測定することで、基板の伝搬減衰効果を含めたデジタル論理回路のグラウンド雑音を評価できる。

図 17 にグラウンド雑音実測波形例を示す。実測した波形の特徴としてグラウンド雑音ピークが 40ns 周期で発生している。この周期は FFT 回路の動作周期と等しい。本 FFT 回路はデー

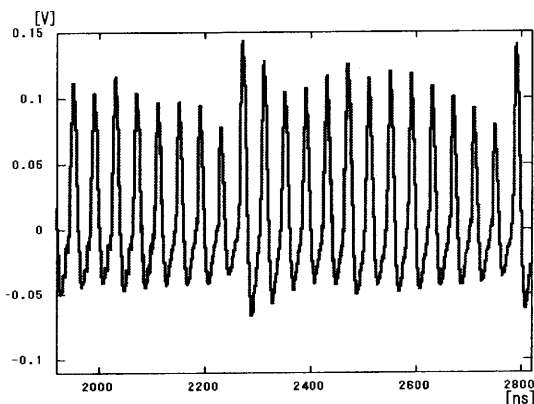


図 17 グラウンド雑音測定波形例

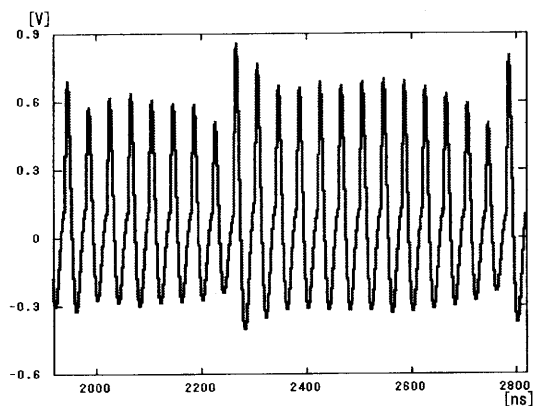


図 18 グラウンド雑音シミュレーション結果例

タ入出力レジスタ部と演算論理部で構成され、クロック同期してデータが演算部に入力されると、1クロック周期以内にFFT演算を終了する。図17は異なるビットパターンをデータを連続的に入力してFFT回路を動作したときのグラウンド雑音波形であり、FFT回路の活性化率変化を反映していることがわかる。

電源/グラウンド雑音解析フローでは、動作クロックを実測時の回路の動作クロックと同じ条件に設定した。今回の例では25MHzであり、セルのブロック分割においては縦方向は4分割、横方向はセルごとに行った。シミュレーション・モデルの構成はTSDPCモデルが一つである。電源/雑音シミュレーションのCPU時間は1クロックあたり約30秒であった。

図18にグラウンド雑音シミュレーション結果例を示す。シミュレーションによるグラウンド雑音ピークは40ns周期で発生しており実測した波形の特徴と一致している。シミュレーション・モデルにおける時間のモデリングが適切であると考えられる。図17、図18の縦軸の電圧の違いは、基板伝搬による減衰によるものと考えられる。本稿のモデルを基板インピーダンスモデル[6]と結合して解析を行うことで電圧の整合が期待できる。ピーク値の傾向におけるシミュレーション結果と実測波形

の関係の不一致は雑音源の回路が大規模であることより雑音検出回路からの距離が無視できなくなったことにあるものと考えている。被解析回路を複数のTSDPCモデルとして作成し、各TSDPCモデルを電源/グラウンド配線のインピーダンスネットワークと接続して解析することで、雑音検出回路からの距離による雑音の減衰効果を取り込むことができる。

## 5. まとめ

大規模CMOSデジタル論理集積回路における電源/グラウンド雑音解析方法として、活性化率に基づくシミュレーション・モデルによる解析を提案した。大規模デジタル論理回路と雑音検出回路を搭載した0.35 $\mu$ mCMOS評価チップを試作し、評価した。

回路活性化率の空間分布情報を基にして作成したTSDPCモデルに基づくグラウンド雑音解析結果と実測による雑音波形の結果がピーク構造での類似を示し、回路活性化率とグラウンド雑音の相関を確認した。

今後は、電源/グラウンド/基板の寄生インピーダンスによる雑音減衰の効果をシミュレーション・モデルに含むことで精度を向上したい。また、グラウンド雑音の実測によるシミュレーション精度の定量化も行う予定である。

## 6. 謝辞

本研究は、新エネルギー・産業技術総合開発機構(NEDO)による産業技術研究助成により実施した。また、評価チップは東京大学大規模集積システム設計教育研究センター(VDEC)を通じローム(株)および凸版印刷(株)の協力により試作した。関係諸氏に感謝致します。

## 文 献

- [1] N. K. Verghese, T. J. Schmerbeck and D. J. Allstot, *Simulation Techniques and Solutions for Mixed-Signal Coupling in Integrated Circuits*, Boston, MA: Kluwer Academic Publishers, 1995.
- [2] M. Nagata, Takafumi Ohmoto, Yoshitaka Murasaka, T. Morie and A. Iwata, "Effects of Power-Supply Parasitic Components on Substrate Noise Generation in Large-Scale Digital Circuits," in *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 159-162, June 2001.
- [3] M. Nagata, J. Nagai, K. Hijikata, T. Morie and A. Iwata, "Physical Design Guides for Substrate Noise Reduction in CMOS Digital Circuits," *IEEE J. Solid-State Circuits*, Vol. 36, No. 3, pp. 539-549, Mar. 2001.
- [4] M. Nagata, T. Morie and A. Iwata, "Modeling Substrate Noise Generation in CMOS Digital Integrated Circuits," in *Proc. IEEE 2002 Custom IC Conf.*, pp. 501-504, May. 2002.
- [5] M. Nagata, J. Nagai, T. Morie, and A. Iwata, "Measurements and analyses of substrate noise waveform in mixed signal IC environment," *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, 19(6):671-678, June 2000.
- [6] Y. Murasaka, M. Nagata, T. Ohmoto, T. Morie and A. Iwata, "Substrate Noise Analysis using Fundamental Matrix Computation," in *Proc. IEEE Int. Symp. Quality Electronic Design*, pp. 482-487, Mar. 2001.