

# 低温域における Move の制限による Simulated Annealing 法を用いたパッキングの高速化

内田 誠司<sup>†</sup> 高橋 篤司<sup>†</sup>

<sup>†</sup> 東京工業大学大学院集積システム専攻  
〒152-8552 東京都目黒区大岡山 2-12-1  
E-mail: †{sage,atushi}@lab.ss.titech.ac.jp

あらまし 2次元パッキング問題は NP 困難であるので、Simulated Annealing 法 (SA 法) などの探索的手法がよく用いられている。SA 法では、ある解を別の解に変換する Move 集合が定義され、Move 集合からランダムに Move を候補として選択し、その Move を採用するかどうかテストする。しかし、ある種の Move は解が準最適に近い場合ほとんど採用されず、そのような Move を候補とすることは計算時間の無駄となっている。そこで本研究では SA 法において、採用される確率の高い Move を候補とする確率を高めることによって計算時間を短縮する手法を提案する。提案手法の有効性を確認するために、2次元パッキングを表現するデータ構造として Parametric-BSG を用い、収束に近い低温域では採用される確率の低いブロック対差が大きく距離の離れたブロック対に対する対交換 Move などほとんど候補としない実験を行った。実験結果から、適切に Move 候補を選択することで、良質なパッキングを短時間で得られることを確認した。

キーワード Simulated Annealing 法, Parametric-BSG, 2次元パッキング, Move

Seiji UCHIDA<sup>†</sup> and Atsushi TAKAHASHI<sup>†</sup>

<sup>†</sup> Department of Communications and Integrated Systems, Tokyo Institute of Technology  
Ookayama 2-12-1, Meguro-ku, Tokyo, 152-8552 Japan  
E-mail: †{sage,atushi}@lab.ss.titech.ac.jp

**Abstract** Since two-dimensional packing problem is NP-hard, simulated annealing methods have become popular. In simulated annealing, a move candidate that changes a solution to another one is randomly selected from the move set and tested whether it is accepted. However, some kinds of moves are rarely accepted when the current solution is near optimal. In this paper, we propose an acceleration technique of simulated annealing that changes the selection probability of each move according to its expected acceptance ratio. In experiments, we use a parametric-BSG as a data structure. The selection probability of moves of pairwise interchange of unbalanced blocks with large distance is set to low. By experiments, the proposed technique is confirmed effective when selection probability of moves are properly controlled.

**Key words** Simulated Annealing, Parametric-BSG, Two-dimensional packing, Move

## 1. はじめに

半導体微細加工技術の飛躍的な進歩により、1チップに搭載される回路の規模が増大した。必然的に機能、性能に対する要求も増大する。そのため VLSI の設計期間は長期化する。これらの困難な問題を解決するために、レイアウト工程においてブロックを素早くかつ高密度に配置する手法の確立が早急に求められている。ブロック配置問題は、配線設計を無視した簡単な定式化では、与えられた多数のブロックを重なりなくチップ

面積を最小にするように詰め込む2次元パッキング問題となる。この2次元パッキング問題は NP 困難であるので、発見的手法に基づくアルゴリズムなどが数多く提案されてきた [1], [2]。しかし、近年の計算機性能の向上とともに、制約を満たす多数の解を生成し、その中から評価が最良の解を選び出す探索的手法がよく用いられるようになり、その成果がブロック配置問題に活かされつつある。

探索的手法の中では、Simulated Annealing(SA)法 [3], [4] が主流となっている。SA 法では、まず解の集合を定義し、各解に

対して評価値を与え、集合中のある解を集合中の他の解へ変換する Move を定義することで、解空間を構築する。次に解空間中から任意に選択した初期解から出発し、Move 候補の選択および、その採用の可否の決定を繰り返すことで、評価値が最良の解を解空間中から探索することを目指す。Move 候補は、その Move により解の評価が悪化しない場合には必ず、解の評価が悪化する場合にはある確率で採用され、解が変換される。評価が悪化した場合にもある確率で Move 候補を採用することで局所最適解に陥るのを防ぐ。改悪となる Move を採用する確率  $P$  は改悪量を  $\Delta c$  としたとき、 $P = e^{-\frac{\Delta c}{T}}$  で表される。ここで  $T$  は温度パラメータで、十分高い温度から始めて徐々に下げていく。

SA 法では、温度パラメータ  $T$  の制御を適切に行うことで、最適解を探索できることが知られている。しかし一般に実用時間では最適解は求まらないため準最適解を探索することになる。実時間で準最適解を得るために様々な温度パラメータの設定方法が研究されているが、標準的な手法としては開始温度  $T_0$ 、終了温度  $T_n$ 、温度降下係数  $r$  ( $0 < r < 1$ )、内部ループ数  $N$  を設け、各温度で  $N$  回 Move 操作を行い、 $T_{i+1} = rT_i$  として温度を下げ、 $T_n$  に達したら終了とする方法であり、本研究ではこの手法を用いた。

また、温度パラメータの制御以外にも時間短縮のための工夫がなされている。例えば、パッキング問題において [5] では、Move の定義の違いによる解空間の構造の違いと準最適解を得るまでの時間との関係を調べている。[6] では、Move の種類の選択確率を入力に応じて与えることで探索の効率化を目指している。

SA 法では、高温域では改悪量が多い Move も採用されるが、低温域では改悪となる Move はほとんど採用されない。これは、評価が悪い局所最適に陥ることを防ぐために、高温域で大域的に解を変更し、低温域では局所最適に向かって解を変更させることを意味する。したがって、すべての温度域で同じ方針で Move を試行することは、時間の制約を考えた場合、適当ではない。そこで、問題を概略から詳細に向かって階層化し、各階層で異なる温度パラメータの制御を行ったり他の手法と組み合わせる手法も提案されている [7]~[9]。また [10] では現在の温度が低いほど、改悪量の大きい交換・移動 Move を Move 候補としないことで高速化を目指している。

本研究では [10] の考え方を採用し、[10] の Move の選択方法を改善することで、解の質を保ったままさらなる高速化を目指す。パッキングを表現するデータ構造として Parametric-BSG (P-BSG) [11] を採用し、準最適解を高速に得ることを目的とする。そこで低温域において採用される Move 候補の特徴を統計的に調べ、採用される確率の低い Move をあらかじめ Move 候補とさせる確率を減らす。このことで Move が採用される割合を高め、計算時間を短縮する。実験では、事前実験により採用される確率の低いブロックの対交換 Move の特徴を明らかにし、それらを Move 候補としないことにより高速に良い解を得られることを確認する。

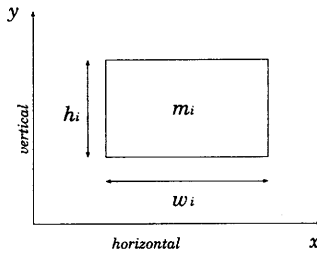


図1 ブロックの高さと幅の定義

## 2. 準備

矩形ブロックの集合  $C = \{m_1, m_2, \dots, m_n\}$  を入力とする。ブロック  $m_i$  に対して、その縦横のサイズ、 $h_i, w_i$  を図1のように定義する。よって入力ブロックの総面積は、 $\sum_{k=1}^n w_k \times h_k$  となる。

本研究で扱う配置問題を、

**2次元パッキング問題:** 入力  $C$  に対して、どの二つのブロックも重ならないように、すべてのブロックを囲む方形 (Bounding-Box) の面積が小さくなるように配置せよ、

と定義する。

ある配置に対してパッキング率を

$$\left( \frac{\text{Bounding-Box の面積}}{\text{ブロックの総面積}} \right) \times 100 \quad (1)$$

と定義する。以下ではパッキング率を解の評価値とする。このように正規化することによって問題に依存せずに温度スケジュールを設定することができる。

P-BSG [11] は、セグと呼ぶ垂直および水平線分により構築される格子状グリッドで、交差点パラメータにより、グリッドの各交差点において垂直、水平方向のどちらのセグが通過するか決定される。隣接する交差点でセグの通過方向が異なる P-BSG は、特に BSG と呼ばれる [12]。4つのセグにより囲まれた領域を部屋と呼ぶ。このときあらゆる部屋間に一意な四方位 (上下左右) 関係が定義される。P-BSG は全平面に定義される無限位相構造であるが、配置問題に使うときは有限部分に着目する。例として図2には  $5 \times 5$  の部屋を有する P-BSG を示す。ここで部屋座標を図2のように各部屋に  $x$  座標 ( $y$  座標) を左から (下から) 順に  $0, 1, \dots$  として与えたときの座標であるとする。また水平セグに接する左右の部屋間に左右関係を与え、推移的に部屋間に左右関係を定義する。同様に垂直セグに接する上下の部屋間に上下関係を与え、推移的に部屋間に上下関係を定義する。

矩形ブロックの配置問題に P-BSG を用いる場合、ブロックを P-BSG の各部屋に高々1個割り当てる。任意の2ブロックはそれぞれが割り当てられている部屋間の四方位関係を引き継ぐ。こうして、あらゆる2ブロック間に一意な四方位関係が定義される。この四方位関係を満足する Bounding-Box の面積が最小である配置を水平・垂直制約グラフを構築することで決定する [13]。(図3参照)

(0,4) l	(1,4) l	(2,4) u	(3,4) u	(4,4) r
(0,3) l	(1,3) l	(2,3) u	(3,3) r	(4,3) r
(0,2) l	(1,2) l	(2,2) ★	(3,2) r	(4,2) r
(0,1) b	(1,1) b	(2,1) b	(3,1) b	(4,1) r
(0,0) b	(1,0) b	(2,0) b	(3,0) b	(4,0) b

図2 5×5 P-BSGの部屋座標と部屋\*に対する各部屋の四方位：上(u), 左(l), 右(r), 下(b)

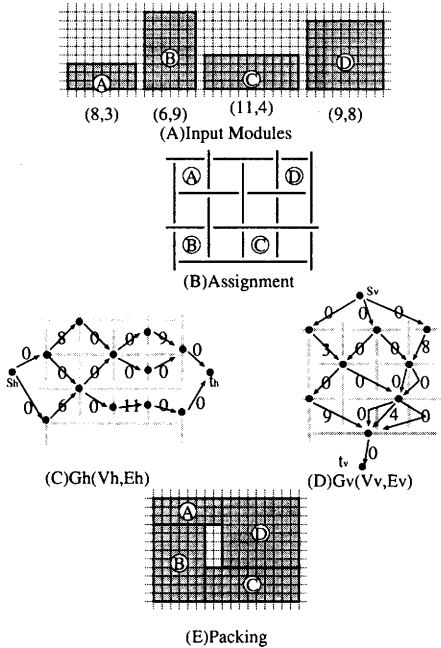


図3 P-BSGを用いた Packing

部屋数  $n \times n$  の有限な BSG を用意すれば ( $n$  はブロック数), どのような配置に対しても, それより高さも幅も大きくない配置を与える割り当て方が存在する [13]. しかし, これは計算量上実用的であるとは言えない. [12] では, 実用的には, BSG のサイズを正方に  $p \times p \sim 4n$  あたりに定めれば, SA 法による探索手法でパッキング率が十分小さい配置が得られるとされている. 同じく実用的には P-BSG のサイズを正方に  $p \times p \sim 4n$  あたりに定めれば, SA 法による探索手法でパッキング率が十分小さい配置が得られると考えられる.

P-BSG における SA 法の Move として, 以下の 3 種類を採用する.

- P-BSG の交差点パラメータの変更
- ブロックの  $90^\circ$  回転
- ブロックの対交換 (もしくは移動)

P-BSG の交差点パラメータの変更の場合には, P-BSG のグリッドの 1 つの交差点パラメータを変更し, その交差点におけるセグの横切方向を変更する. ブロックの  $90^\circ$  回転の場合に

は, ある入力ブロックの幅と高さを交換する. ブロックの対交換 (もしくは移動) の場合には, 少なくとも 1 つはモジュールが割り当てられた 2 部屋の中身を交換する. ブロック同士の交換であれば対交換, ブロックと空き部屋との交換であればブロックの移動となる.

### 3. Move の影響

#### 3.1 ブロック対差の定義

ブロックの総面積を  $A_M$  としたときに  $m_i, m_j$  を対交換 Move させたときのブロック対差を

$$\text{diff}(i, j) = \frac{|h_i - h_j| + |w_i - w_j|}{\sqrt{A_M}} \times 100 \quad (2)$$

$m_i$  を回転 Move させたときのブロック対差を

$$\text{diff}(i) = \frac{|w_i - h_i|}{\sqrt{A_M}} \times 100 \quad (3)$$

と定義する.

SA 法での 1 回の対交換 Move に対するパッキング率 (評価値) の変化量  $\Delta c$  について考えてみる. ある解  $S$  に対して  $A(S), H(S), W(S)$  をそれぞれ  $S$  の面積, 縦の長さ, 横の長さとする.  $m_i, m_j$  を対交換する Move 操作によって解  $S'$  が解  $S$  より得られたときの, 縦横の変化量をそれぞれ  $h, w$  とする. このとき  $h, w$  の上界は  $|h_i - h_j|, |w_i - w_j|$  となる. 面積の変化量  $\Delta x$  は

$$\begin{aligned} \Delta x &= A(S') - A(S) \\ &= H(S')W(S') - H(S)W(S) \\ &= (H(S) + h)(W(S) + w) - H(S)W(S) \\ &= H(S)w + W(S)h + hw \end{aligned}$$

となり,  $h, w$  が十分小さくかつ  $S$  が十分パッキング率がよしくかも正方形に近いとすると  $H(S), W(S)$  が  $\sqrt{A_M}$  に近似できるので

$$\Delta x \cong \sqrt{A_M}(h + w)$$

と近似でき, これをパッキング率の変化量になおすと

$$\begin{aligned} \Delta c &\cong \frac{\sqrt{A_M}(h + w)}{A_M} \times 100 \\ &= \frac{h + w}{\sqrt{A_M}} \times 100 \\ &\leq \frac{|h_i - h_j| + |w_i - w_j|}{\sqrt{A_M}} \times 100 = \text{diff}(i, j) \end{aligned}$$

となる.

つまりブロック対差はパッキング率の変化量の絶対値の上界を近似している値となり, 大きいほど変化量の大きな Move になる可能性が高く, 小さければ高々その値しか変化しないことを意味する. 回転についても同様の議論ができる.

#### 3.2 対交換・回転 Move の影響

以下ではまずブロックの対交換 Move に着目し, 対交換 Move が解に与える影響について考える.

図 4(A) の配置に対して, ブロック  $m_1$  と  $m_2$  の P-BSG 上

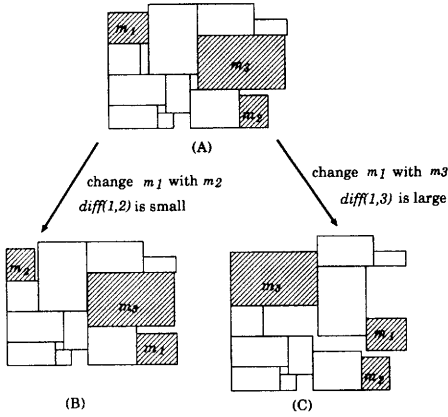


図4 対交換の効果

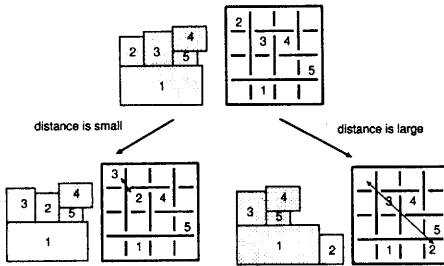


図5 部屋距離の効果

で対交換して得られる配置を(B)に、ブロック  $m_1$  と  $m_3$  の P-BSG 上で対交換して得られる配置を(C)に示す。ブロック対差  $diff(1,2)$  は小さく、 $diff(1,3)$  は大きい。図4から推測されるように、ブロック対差が小さいブロック対の対交換に比べ、大きいブロック対の交換が配置に与える影響は大きい。特にもとの配置の面積率が小さいときには、面積率を減少させる確率は低く、ほとんどの場合、面積率を大きく増加させると考えられる。90°回転 Move についても対交換と同様にブロック対差の大きい Move は採用される確率が低い。

### 3.3 対交換 Move における部屋距離の影響

ここで部屋距離を部屋座標のマンハッタン距離と定義する。ブロック同士の対交換についてその対交換の部屋距離による影響について考える。図5のように、部屋の距離が近い対交換はレイアウトにおいて隣接するブロックの交換であることが多く、解をあまり変化させない。一方、距離が遠い対交換は解を大きく変化させることが多い。

### 3.4 事前実験

#### 3.4.1 パラメータ設定

Move の種類の選択比率は Move 候補の数にほぼ比例させて、 $N$  をブロック数として下記の比率とする。

$$\text{P-BSG の交差点パラメータの変更} \quad 4 \quad (4)$$

$$\text{ブロックの 90° 回転} \quad 1 \quad (5)$$

$$\text{ブロックの対交換 (もしくは移動)} \quad N \quad (6)$$

の3種類の Move を上記の比率で候補とする。同じ種類の Move は等確率で選択する。

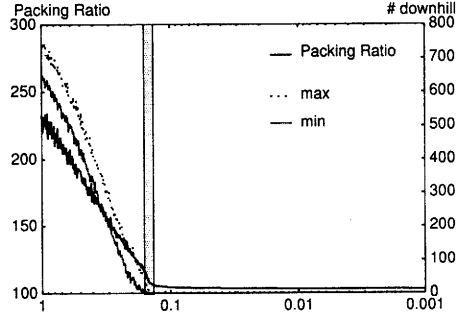


図6 改善 Move の回数、パッキング率、境界の温度域

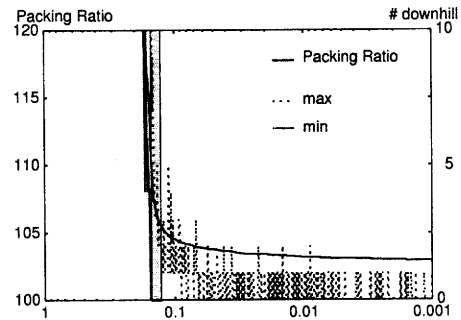


図7 改善 Move の回数、パッキング率、境界の温度域

SA 法・P-BSG の各パラメータは以下のように決定した [14].

- 温度降下係数: 0.99
- 開始温度 : 1
- 終了温度 : 0.001
- 内部ループ数:  $N \times 100$
- P-BSG のサイズ:  $[2\sqrt{N}] \times [2\sqrt{N}]$

今後実験におけるスケジュールはすべて上記の設定に従っている。

#### 3.4.2 高温域・低温域の Move

SA において高温域では改善量が大きい Move も採用されるが低温域では改善 Move をほとんど採用しない。このように採用される Move の特徴には大きな違いがある。従ってそれぞれの温度域で異なる方法で Move を試行したい。そのためには高温域と低温域を分ける境界を指定する必要がある。しかし、この境界をパラメータで与えるのでは問題に依存してしまうので好ましくない。そこで問題に依存せずに境界を設定するために、初期状態からみて初めて1回も改善 Move がなかった温度を境界とすることにする。実際に境界となる温度を図6, 7に示す。結果は ami33 に対して SA を 50 回実行した統計である。max, min はそれぞれの温度での改善 Move の最大・最小回数である。図の網目部分が境界となった温度域である。他の問題に対しても境界となる温度はあまり分散しておらず、境界としてふさわしいことが確認された。

#### 3.4.3 低温域での Move 解析

高温域では Move によって採用率に大きな差はないが低温域では Move によって採用率に大きな差がある。このことを事前実験を行い確認した。

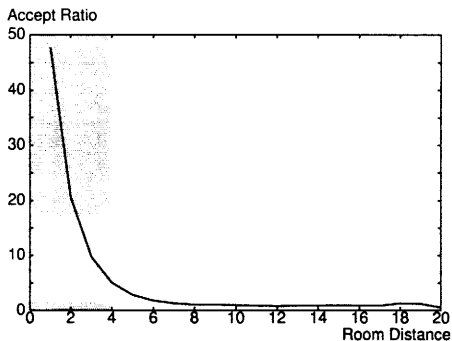


図 8 低温域での部屋距離の違いによる対交換の採用率

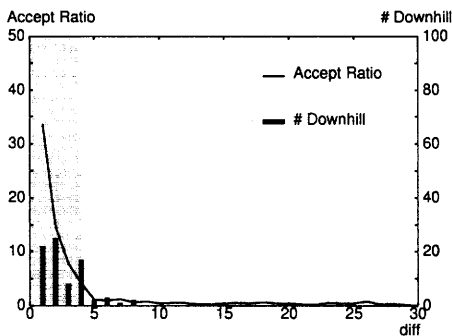


図 9 低温域での部屋距離 5 以上におけるブロック対差の違いによる対交換の採用率

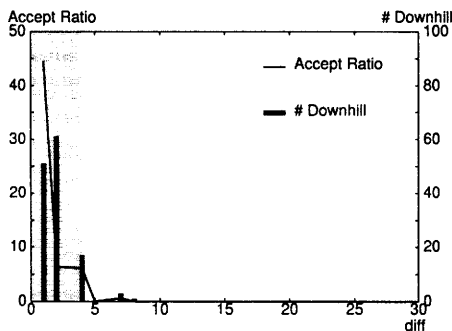


図 10 低温域でのブロック対差の違いによる回転の採用率

図 8~10 に MCNC ベンチマーク回路 ami33 に対して SA を 50 回行った実験での結果を示す。図 8 は低温域における対交換 Move 候補の部屋距離とその Move の採用率に関する結果である。部屋距離 4 以下の対交換 Move はブロック対差によらず採用率が高いことがわかる。

部屋距離 5 以上の対交換 Move は採用率が低い、さらにその中でブロック対差による採用率の違いについて調べた。図 9 は低温域において部屋距離 5 以上の対交換 Move 候補のブロック対差による Move の採用率と、改善 Move の回数に関する結果である。ブロック対差 4 以下であれば部屋距離が 5 以上でも採用率が高いことがわかる。

図 10 は低温域における回転 Move のブロック対差による Move の採用率と、改善 Move の回数に関する結果である。ブ

ロック対差 4 以下であれば採用率が高くなっていることがわかる。

この結果から、部屋距離が 4 以内である対交換 Move、およびブロック対差 4 以内の対交換・回転 Move を除き、対交換・回転 Move の採用率は低温域では低いことが確認された。

部屋数はブロック数  $N$  に対して  $4N$  個に設定しているの、平均的に 4 部屋に 1 つのブロックが割り当てられている。低温域においても比較的採用率の高い部屋距離 4 以下の対交換 Move は、問題によらずレイアウト上で隣接するブロックとの交換、もしくは非常に近い位置に移動する可能性が高く、局所的な変更 Move とみなすことができる。同じくブロック対差が 4 以下の対交換・回転 Move はブロック対差が正規化された値であるため、問題によらず採用率が高い傾向にある。また、交差点パラメータ変更 Move の採用率は低温域においても採用率が高い。

そこで部屋距離が 4 以下である対交換 Move、ブロック対差 4 以下の対交換・回転 Move、および交差点パラメータ変更 Move を局所変換 Move と定義する。

#### 4. 提案手法

以上を踏まえて以下の手法を提案する。

低温域においては、19/20 の確率で各種類において各局所変換 Move を等確率で候補として採用する。1/20 の確率で各種類において各 Move を等確率で候補として採用する。ただし Move の種類を選択確率は (4)~(6) に従う。

ここで 1/20 の確率ですべての Move を等確率で採用するのは SA 法の到達性を確保するためである。

#### 5. 実験

提案手法の有効性を確認するため、以下の実験を行った。実験はすべて 50 回実行した統計である。

手法①(従来手法)：高温域・低温域かわかわらず常に設定回数 ( $N \times 100$ ) 内部ループを行う。

手法②：高温域では内部ループ数を設定回数の 1/5 で行い、低温域では内部ループ数を設定回数で行う。

手法③(提案手法)：高温域では内部ループ数を設定回数の 1/5 で行い、低温域では内部ループ数を設定回数で提案手法を行う。

手法④(提案手法)：手法③において低温域での内部ループ数を設定回数の 1/2 で行う。

入力となる回路としては、MCNC ベンチマーク回路である ami33, ami49 と実際の回路 pcb146 とランダムに作成した回路を対象とした。ランダムに作成した回路は  $h \leq w$  のもとで以下の表 1 に示すようなブロック数、最大・最小幅(高さ)、最大・最小縦横比に従って作成した。

結果を表 2 に示す。表 2 において ave, max, min はそれぞれ最終的なパッキング率-100 の平均・最大・最小であり、time は計算時間を表す。手法②では従来手法と同程度の解を短時間で得ている。高温域では内部ループ数を比較的小さくしても解の品質は変わらないことがわかる。

表2 実験結果

circuit	手法①		手法②		手法③		手法④	
	ave[%] (max, min)	time[s]	ave[%] (max, min)	time[s]	ave[%] (max, min)	time[s]	ave[%] (max, min)	time[s]
ami33	2.88 (3.69, 1.96)	14.06	3.01 (4.34, 2.16)	10.84	2.34 (3.59, 1.18)	11.49	2.78 (3.65, 2.14)	6.71
ami49	2.62 (3.65, 1.81)	32.57	2.69 (4.20, 1.97)	24.74	1.94 (2.66, 1.27)	29.05	2.20 (3.03, 1.67)	15.31
pcb146	4.02 (5.95, 2.72)	287.26	3.71 (5.79, 2.88)	218.31	3.33 (5.27, 1.84)	237.10	3.93 (5.47, 2.08)	125.54
100a	2.30 (2.98, 1.60)	133.79	2.28 (2.89, 1.75)	102.38	1.68 (2.07, 1.28)	113.93	1.89 (2.36, 1.44)	60.98
100b	2.02 (2.62, 1.39)	133.73	1.99 (2.39, 1.63)	102.47	1.57 (1.98, 1.28)	113.15	1.74 (2.22, 1.37)	60.45
100c	2.30 (2.75, 1.94)	133.82	2.37 (2.88, 2.03)	102.11	1.75 (2.15, 1.48)	115.89	1.85 (2.26, 1.47)	62.01
100d	2.02 (2.62, 1.46)	133.77	2.07 (2.44, 1.67)	102.35	1.52 (2.03, 1.17)	115.55	1.69 (1.97, 1.46)	61.89
200a	2.13 (2.41, 1.64)	529.84	2.04 (2.37, 1.72)	401.32	1.50 (1.80, 1.30)	418.74	1.70 (2.01, 1.51)	225.32
200b	1.93 (2.30, 1.48)	529.79	1.85 (2.15, 1.55)	402.84	1.41 (1.66, 1.22)	418.21	1.61 (1.96, 1.36)	225.70
200c	1.98 (2.32, 1.68)	530.03	2.01 (2.31, 1.75)	397.43	1.39 (1.58, 1.16)	422.89	1.55 (1.79, 1.32)	228.22
200d	1.75 (1.98, 1.56)	530.05	1.77 (2.22, 1.50)	399.75	1.30 (1.46, 1.13)	423.87	1.45 (1.70, 1.31)	228.41
ave [%]	2.35 (3.02, 1.75)	271.70	2.34 (3.09, 1.87)	205.86	1.79 (2.38, 1.30)	219.98	2.03 (2.58, 1.55)	118.23
		100.00		75.42		79.96		43.09

表1 ランダムに作成した回路

回路名	# black	min(h)	max(w)	w/h
100a	100	1	1000	1.5 ~ 3
100b	100	1	1000	1 ~ 2
100c	100	100	1000	1.5 ~ 3
100d	100	100	1000	1 ~ 2
200a	200	1	1000	1.5 ~ 3
200b	200	1	1000	1 ~ 2
200c	200	100	1000	1.5 ~ 3
200d	200	100	1000	1 ~ 2

手法③は ave, max, min とともにすべての回路において良い結果が得られており、かつ従来手法よりも計算時間が短縮できた。手法④は手法③よりも高速化しているが、解の質は劣る。しかし従来手法よりは良い結果であり、かつ計算時間も短縮された。

## 6. 結 論

parametric-BSG を用いた、高速に高密度パッキングを得る手法を提案した。そして、実験により、提案手法により高質なパッキングを高速に得られることが確認された。

また本論では、配線領域を一切考慮しなかったが、実際のレイアウトへの応用するには配線領域の確保が必要である。よって、配線領域を確保した場合の高速化を実現する必要がある。

## 謝 辞

本研究を進めるにあたり、P-BSG のパッキングプログラムを提供頂いた坂主 圭史氏 (大阪大学大学院助手)、助言を頂いた久保ゆき子氏 (北九州大学助手)、および研究室の諸氏に感謝する。

## 文 献

- [1] H.Murata, K.Fujiyoshi, S.Nakatake, and Y.Kajitani: "VLSI module placement based on rectangle-packing by the sequence-pair", IEEE Trans. Computer-Aided Design, vol.15, no.12, pp.1518-1524, Dec.(2000)
- [2] K.Sakanushi and Y.Kajitani, "The Quarter-State Sequence

(Q-Sequence) to Represent the Floorplan and Applications to Layout Optimization", in Proc.IEEE APCCAS, pp.829-832 (2000)

- [3] Wong, D. F. and C. L. Liu, "A New Algorithm for Floorplan Design," Proc. 23rd ACM/IEEE Design Automation Conference, 101-107 (1986)
- [4] R.H.J.M Otten and L.P.P.P. van Ginneken, "The Annealing Algorithm," Kluwer Academic Publishers (1989)
- [5] 藤吉 邦洋, 大村 智一, 井尻 堅大, "Simulated Annealing 法探索に適した Sequence-Pair によるパッキング解空間", 電子情報通信学会技術研究報告 Vol.99, No.659, VLD99-118, pp.9-16 (2000)
- [6] S.Tayu, T.Obata and M.Kaneko, "Efficient Search on Solution Space Based on Sequence-Pair for Simulated Annealing Approach", Tech.Rep.IEICE, Vol.102, No.72, VLD2002-5 (2002-5), pp.25-30 (2002)
- [7] Chin-Chin Chang, Jason Cong, Zhigang Pan, and Xin Yuan, "Multilevel Global Placement With Congestion Control", Proc. IEEE-CAS, 395-409 (2003)
- [8] Maogang Wang, Xiaojian Yan and Majid Sarrafzadeh, "Standard-Cell Placement Tool for Large Industry Circuit", IEEE/ACM ICCAD, Nov.5-9 260-264 (2000)
- [9] Majid Sarrafzadeh and Maogang Wang, "NRG:Global and Detailed Placement", ICCAD97 532-537 (1997)
- [10] 内田誠司, 高橋篤司 "Move の制限によるシミュレイティッド・アニーリング法を用いたパッキングの高速化 " 電子情報通信学会技術報告書 (VLD2002-31), Vol.102, No.164, pp.95-100 (2002)
- [11] 呉 中林, 坂主 圭史, 梶谷 洋司, "パラメトリック BSG によるレイアウトデザインの再利用", 電子情報通信学会技術報告, VLD2000 - 55(SDM2000 - 128), Vol.100, No.293(No.295), pp.47-52, (2000)
- [12] S.Nakatake, H.Murata, K.Fujiyoshi and Y.Kajitani: "Module Placement on BSG-Structure and IC Layout Applications", International Conf. on Computer Aided Design, pp. 484-491 (1996).
- [13] S.Nakatake, H.Murata, K.Fujiyoshi and Y.Kajitani: "Module Packing Based on the BSG Structure and IC Layout Applications", IEEE Trans. CAD, pp.519-530 (1998).
- [14] 壺井雅史, 坂主圭史, 高橋篤司 Q-sequence と SA 法を用いて高品質な配置を高速に得るためのパラメータ設定に関する一考察, 第 15 回 回路とシステム (軽井沢) ワークショップ論文集, pp.125-130 (2002)