

CMOS 論理セルレイアウトの網羅的生成による 製造時の配線欠陥最小化手法

飯塚 哲也[†] 池田 誠^{†,††} 浅田 邦博^{†,††}

[†] 東京大学 大学院 工学系研究科

^{††} 東京大学 大規模集積システム設計教育研究センター (VDEC)

[†] 〒 113-8656 東京都文京区本郷 7-3-1

E-mail: †{iizuka,iked,asada}@silicon.u-tokyo.ac.jp

あらまし 本稿では、最小幅の CMOS 論理セルレイアウトを網羅的に生成することにより、製造時に配線に欠陥が発生する確率の最も小さいレイアウトを得る手法を提案する。本手法では、製造時に発生するスポット状の欠陥 (Spot Defect) により二つのセル内配線が短絡する確率を、その欠陥の大きさの分布と、欠陥がそこに発生することにより短絡を引き起こす領域 (Critical Area) の終端や角での効果を考慮に入れ、それをコスト関数として用いる。これを用いることにより、網羅的に生成した最小幅のセルレイアウトから配線の短絡が最も起きにくいレイアウトを選び出すことが可能となる。レイアウト生成においては、充足可能性判定を用いた手法 [1] を利用して可能な幅最小のトランジスタ配置を全て生成し、それら全てに対してセル内配線に特化した網羅的配線手法を適用することにより可能なセルレイアウトパターンを全て生成する。本手法をトランジスタ数 14 までの CMOS 論理回路に適用することにより、配線長最小の解を選び出した場合と比較して配線の短絡の発生確率を約 15% 削減できることを示した。

キーワード Design For Manufacturability, spot defect, 配線欠陥最小化, 網羅的セルレイアウト生成

Exact Wiring Fault Minimization via Comprehensive Layout Synthesis for CMOS Logic Cells

Tetsuya IIZUKA[†], Makoto IKEDA^{†,††}, and Kunihiro ASADA^{†,††}

[†] Dept. of Electronic Engineering, University of Tokyo

^{††} VLSI Design and Education Center (VDEC), University of Tokyo

[†] 7-3-1, Hongo, Bunkyo-ku, Tokyo, 113-8656 Japan

E-mail: †{iizuka,iked,asada}@silicon.u-tokyo.ac.jp

Abstract This paper proposes an exact cell layout synthesis technique to minimize the probability of wiring faults due to spot defects. We modeled the probability of faults on intra-cell routings with considering the spot defects size distribution and the end effect of critical areas. By using the model as a cost function, we comprehensively generate the minimum width layout of CMOS logic cells and select the optimum layouts. Our comprehensive cell synthesis method utilizes the procedure [1] to generate all possible minimum-width transistor placements and applies the comprehensive intra-cell routing to each generated placement considering the constraints characteristic of standard-cell layouts. Experimental results show that our technique reduces about 15 % of the fault probabilities compared with the wire-length-minimum layouts for CMOS logic circuits which have up to 14 transistors.

Key words Design For Manufacturability, spot defect, wiring fault minimization, comprehensive cell layout synthesis

1. はじめに

近年の VLSI 製造技術の進歩・微細化に伴い、1 チップ上に数千万を越えるトランジスタが集積可能になり、また同時にそ

れらの回路は非常に高速に動作するようになってきている。しかしその一方で VLSI の設計手法はより複雑さを増しており、DFM (Design For Manufacturability) などが新たな重要な課題として取り上げられている。DSM (Deep-Sub-Micron) 時代の集積

回路において、製造時の形成信頼性を確保することは非常に重要な問題であり、また歩留まりはそのコストに直結するため、ごくわずかな歩留まりの向上も非常に重要な要素となりうる。大規模な回路の設計にはセルベースの設計手法が用いられることがほとんどであるが、セルベース設計において歩留まりの向上を図るためには、その最も基本的な要素であるスタンダードセルレイアウト自体の製造時の形成容易性を考慮することが不可欠である。スタンダードセルレイアウト自動生成については過去に多くの手法が提案されている[2]~[5]。このうち[3]では、シミュレテッドアニーリングを用いて、高品質なレイアウトの生成に成功しているが、ヒューリスティック手法は最適解を保証しない。[4],[5]などは最適解を求める手法として提案されているが、これらは面積という評価基準においてのみ最適解を生成する手法である。これら従来のセルレイアウト生成手法ではDFMの問題は考慮されていない。

本稿では、CMOS論理セルレイアウトを網羅的に生成することにより、スポット状の欠陥(以下ではSpot Defectと呼ぶ)によって製造時に配線に欠陥が発生する確率の最も小さいレイアウトを得る手法を提案する。Spot DefectはVLSIの製造時に欠陥を引き起こす主要な原因の一つである。本手法では、Spot Defectにより二つのセル内配線が短絡する確率を、その欠陥の大きさの分布と、欠陥がそこに発生することにより短絡を引き起こす領域(以下ではCritical Areaと呼ぶ)の終端や角での効果を考慮に入れ、それをコスト関数として用いる。これを用いることにより、網羅的に生成した最小幅のセルレイアウトから配線の短絡が最も起きにくいレイアウトを選び出すことが可能となる。

2. 配線欠陥のモデル

Critical Areaとは、製造時にSpot Defectの中心がそこに発生することにより配線に短絡や断線などの欠陥を生じる領域を示す。この領域を正確に見積もることはレイアウトの欠陥に対する耐性や歩留まりの見積もりにおいて非常に重要な役割を持っている。 x をSpot Defectの大きさとしたとき、Spot Defectの大きさの分布を $D(x)$ 、Critical Areaの面積を $A(x)$ と表すことにする。このとき考慮する領域内にSpot Defectは一様な値 P_0 で分布すると仮定すると、配線に欠陥の生じる確率 P は以下の式で表現することができる[6]。

$$P = P_0 \int_{\min}^{\max} D(x)A(x)dx \quad (1)$$

ここで \max と \min はそれぞれSpot Defectの大きさの最大値と最小値とする。Spot Defectの大きさの分布は以下の式で仮定することができる[7]。

$$D(x) = \frac{X_0^2}{x^3} \quad (2)$$

ここで、 X_0 は分布が最大となるDefectの大きさである。本稿では配線の欠陥として、不要な導体がSpot Defectとして発生し二本の配線を短絡する欠陥(One-layer Extra-material defect)のみを考慮する。また簡単のため、Spot Defectの形状としては正方形を仮定する。配線幅が w 、配線間距離が d で、Spot Defect

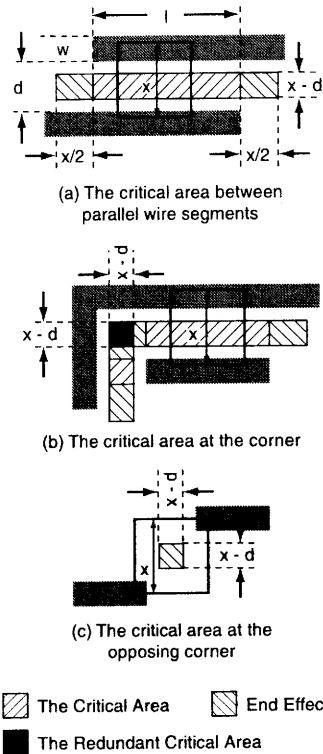


図1 配線幅 w 、配線間距離 d 、Spot Defectの大きさ x の時に二配線間に発生するCritical Area
Fig. 1 Critical areas of two wire segments whose width is w and spaced by d with the defect size is x .

の大きさが x であったときのCritical Areaを図1に図示する。図1(a)の斜線部は並走する2配線間のCritical Areaを示している。二配線が並んでいる領域の長さ l とすると、端の効果を考慮していない場合のCritical Areaの面積は $l \times (x-d)$ と表現される[6]。ここで、このモデルをより複雑な配線形状を持つセル内配線に適用可能とするために端の効果を考慮すると、並走する二配線間のCritical Areaの面積は以下の式で表される。

$$L(x) = (x+l) \times (x-d) \quad (3)$$

図1(b)は“L”型のコーナーにおけるCritical Areaを図示している。先ほど考慮したCritical Areaの端の部分はコーナーにおいて重なっているため、黒く塗り潰した四角で示す部分の面積を一つ差分し引かなければならない。コーナーの形状が“T”型や“+”型であった場合、それぞれの場合において同様の面積をそれぞれ二つまたは三つ差分し引く必要がある。黒く塗り潰した四角で示す領域の面積 $R(x)$ は以下の式で表現される。

$$R(x) = (x-d)^2 \quad (4)$$

配線が対角線上にのみ存在する場合のCritical Areaを図1(c)に示す。この四角形の面積は式(4)に示す $R(x)$ と等しい。

以上の式により、Spot Defectの大きさが x である時のレイアウト内のCritical Areaの総面積は簡単に計算することができる。

表1 本手法で用いるレイアウトスタイル

Table 1 Our layout styles.

1. Static dual CMOS 論理回路
2. 各トランジスタは上段がP-トランジスタ, 下段がN-トランジスタの二列に配置される
3. ゲート端子が共通のP-/N-トランジスタが上下に並ぶように配置される
4. 全てのトランジスタは同じ大きさである
5. セル内配線には一層メタルのみを用いる
6. 電源端子はP-拡散の上端から配線領域の上端へ接続される
7. 接地端子はN-拡散の下端から配線領域の下端へ接続される
8. シリサイド化により一層メタルから拡散およびポリシリコンへのコンタクトは一つのみで十分である

これらの Critical Area により配線間に短絡が起こる確率は、式(1)と(2)により下のように計算することができる。

$$P_L = P_0 X_0^2 \int_{\min}^{\max} \frac{1}{x^3} L(x) dx \quad (5)$$

ここで P_L は Critical Area $L(x)$ において配線間の短絡が起こる確率である。ここで、式中の P_0 , X_0 はトランジスタの製造プロセスに依存する定数であるため、以下の議論ではこの二つの定数を除いて考える。定数 $P_0 X_0^2$ を除いた積分の部分のみの値を Spot Defect に対する "Sensitivity" と定義し、 S_L と表すこととする。Spot Defect の大きさ x が配線間距離 d よりも小さい場合には Critical Area の面積は 0 となるため、この Defect は配線間の短絡を起こすことはない。 $d \leq x < 2d+w$ のときは Critical Area $L(x)$ は式(3)で表される値となり、 $2d+w \leq x$ のときは Critical Area は $(2d+w+l) \times (d+w)$ という値で飽和するとし、式(5)の積分を行う。

$$S_L = \int_d^{2d+w} \frac{(x+l)(x-d)}{x^3} dx + \int_{2d+w}^{\max} \frac{(2d+w+l)(d+w)}{x^3} dx. \quad (6)$$

ここで \max を ∞ とすると S_L は以下の式で与えられる。

$$S_L = \ln \frac{2d+w}{d} + \frac{l-d}{2} \left(\frac{1}{d} - \frac{1}{2d+w} \right). \quad (7)$$

同様の計算法により Critical Area $R(x)$ における Sensitivity S_R は以下の式で与えられる。

$$S_R = \ln \frac{2d+w}{d} - \frac{d+w}{2d+w}. \quad (8)$$

これらの Sensitivity は隣接するグリッド上の異なる配線間で計算される。Sensitivity の総計は $L(x)$ と対角線状の配線間に発生する Critical Area における Sensitivity の総和から、重複のあった $R(x)$ における Sensitivity を差し引いた値となる。

3. セルレイアウトスタイル

本手法におけるレイアウトスタイルを表1にまとめる。一列の CMOS セルの幅最小配置問題における設計スタイルの最初の指針は Uehara ら [4] によって与えられている。表1内の1から3は Uehara らの指針に基づくトランジスタ配置のスタイルであるが、Uehara らのスタイルでは相補的な関係を持つ P-/N-

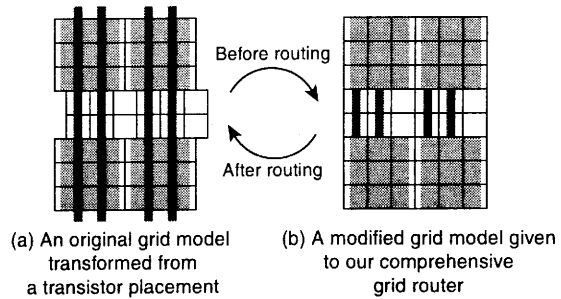


図2 本レイアウト生成システムにおける配線グリッドモデル
Fig. 2 Grid models used in our cell layout synthesis system.

トランジスタを必ず上下に配置することに対して、本手法ではゲート端子のノードが共通な P-/N-トランジスタを上下に配置することが可能となっている。本手法におけるレイアウトスタイルを用いた場合の方が、幅のより小さい配置を生成することが可能な場合があることが知られている。本レイアウトスタイルでは簡単のためすべてのトランジスタの大きさは共通であるとしているが、サイズの異なるトランジスタを扱うことのできるように拡張することは容易である。表1中の5から8は、セル内配線のレイアウトスタイルである。本手法ではスタンダードセル内配線向けに、配線を一層メタルのみで行う。また、メタル配線から拡散やポリシリコンへのコンタクトは、シリサイド化を仮定して一つのみ与えれば十分であるとしている。

4. 網羅的セルレイアウト生成手法

4.1 トランジスタ配置

本手法では最小幅のセル内トランジスタ配置を生成するために [1] で提案されている手法を用いる。[1] では充足可能性判定を用いて、配線可能な配置が見つかるまで一つずつ最小幅配置を生成している。今回はこの手法を応用することで、全ての可能な最小幅配置を網羅的に生成する。

4.2 セル内配線

セル内配線向け網羅的配線手法は、過去に [8] によって提案されているが、この手法ではセルの入出力端子の位置はあらかじめ決まっていることが前提となっており、また二層の配線層を用い、一層メタルは横方向、二層メタルは縦方向とそれぞれの層の配線の通過方向が決まっていることも実際のセル内配線に適していない。本稿で提案する網羅的配線手法では、セル内配線には一層メタルのみを用い、スタンダードセル内配線に特化し、入出力端子、シリサイド、電源・接地端子などの特徴を考慮している。本手法では生成されたトランジスタ配置に、図2(a)に示すような配線グリッドを設定する。配線を行う際には、図2(b)に示すようにN拡散とP拡散の間のグリッドを半グリッド分左にずらし、完全なグリッドモデルとして取り扱う。本配線手法ではこのグリッドモデルの左側からコラム単位で配線を行っていく。各コラム内では、前のコラムの全てのパターンに対して入出力端子、シリサイド、電源・接地端子の制約を考慮しながら全ての可能な配線パターンを生成する。表1

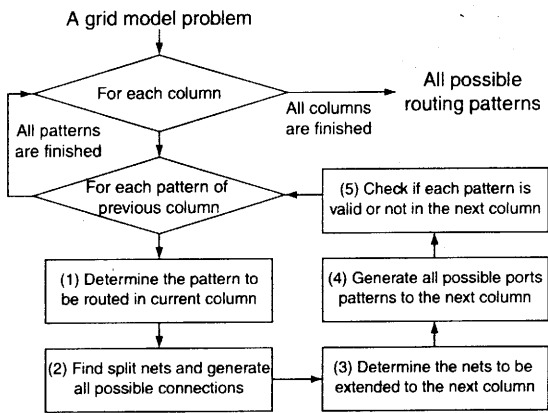


図3 本網羅的配線手法の手続き

Fig. 3 The flow diagram of our comprehensive router.

の6および7にあるように、電源端子はP拡散領域の上端から配線領域の上端へ、接地端子はN拡散領域の下端から配線領域の下端へそれぞれ接続される。表1の8に示されているように、拡散やポリシリコンにはシリサイド化が施されているため、メタル配線からそれらへの接続にはコンタクトを一つのみ確保すれば十分である。また、ゲート端子が入力または出力端子であり、その端子から他の端子へのメタルによる接続が存在しない場合、その端子への入出力端子を確保するため、その端子には少なくとも一つの空のグリッドを確保しなければならない。本配線手法では配線終了後にグリッドを図2(a)の配置に戻した場合に、配線のデザインルールに違反するようなパターンを生成しない。本配線手法では探索空間の削減のため[8]で用いられている次の制限を採用している：“一本の配線が次のコラムへ延長される際に枝分かれすることはない”。図3に本配線手法の処理の流れ図を示す。四角で囲まれた領域内に記述してある各処理は関数として実現されている。本手法では、与えられたグリッドモデルの配線問題を左側のコラムから1コラムずつ配線を行っていく。各コラム内での処理を以下に記述する。各処理の番号は、図3中の番号に対応している。

(1) コラム内の端子の配置および一つ前のコラムから延長される配線のパターンから、このコラム内で配線を行う端子配置を決定する。この際シリサイド化を考慮しながら、すでに接続の終了している端子を削除する。

(2) コラム内で接続を行わなければならない端子を探索し、シリサイド化・入出力端子の配置などを考慮しながら可能な接続パターンを全て生成する。

(3) 次のコラムに延長しなければならない配線、つまり以後のコラムに接続すべき端子が存在するか、まだ接続が完了していない配線を探索する。

(4) 次のコラムに延長する配線のパターンを可能なもの全て生成する。

(5) 生成された配線の延長パターンのうち、次のコラム内の端子配置に対して不可能であるもの、つまり接続されるべき端子を他の配線が塞いでしまうようなパターンを削除する。

5. 配線欠陥確率最小レイアウト生成システム

4節で説明を行った手続きを用いることで、可能な最小幅セルレイアウトを網羅的に生成することが可能である。全てのレイアウトパターンの生成後、2節でモデル化を行ったコスト関数を用いて各レイアウトに対してコストを計算し、最もSensitivityの小さいレイアウトを取り出すことで、配線欠陥の発生確率が最小のレイアウトを取り出すことができる。レイアウト生成システム全体の手続きを以下に示す。

(1) トランジスタネットリストを入力として与える。

(2) [1]の手続きを用いて最小幅のトランジスタ配置を一つ生成する。

(3) 4.2節の配線手法により、生成された配置に対して網羅的配線を行う。可能な配線パターンが存在する場合は配線終了後のレイアウトを出力する。存在しない場合は解を出力しない。

(4) 再び[1]の手続きを用いて新たな最小幅配置を生成する。可能な配置が存在する場合はステップ3に戻る。ない場合はステップ5に進む。

(5) 生成された各レイアウトに対して入出力端子が必要な場合はそれを配置する。複数の位置に端子が配置可能である場合には、全ての可能なパターンを生成する。

(6) 生成された各レイアウトに対してSensitivityを計算し、最適解を取り出す。

6. 実験結果

本手法をスタンダードセルライブラリ内のトランジスタ数14までの8つのCMOS論理回路に適用した結果を表2に載せる。この実験では0.35 μm のプロセスを仮定している。また配線グリッドとしては、図2に示すように全ての回路にP-/N-拡散それぞれに3列ずつ、その間の領域に2列の8列を用いている。表2は各回路に対して、トランジスタ数、配置後の配線グリッドのコラム数、可能な最小幅配置の数、そのうち配線が可能であった配置の数、最終的に生成されたレイアウトパターン数、レイアウト生成およびSensitivity最小の解を選出するために要したCPU時間、Sensitivityの最小値および全ての配線長最小の解のSensitivityの平均値、それに対するSensitivityの削減率を示している。表から明らかなように、本手法ではトランジスタ数8までの回路に対しては数秒でレイアウトを網羅的に生成することが可能であるが、トランジスタ数14のao222回路では非常に多くの処理時間を要している。スタンダードセルレイアウトの作成時においては、少しでも高品質な解を得るためにある程度の時間を要することが許容されているが、さらに規模の大きな回路のレイアウトを実用的な範囲の処理時間で生成するには、ネットリスト分割などの工夫を取り入れる必要があると考えられる。これらの解決は今後の課題である。図4に解の選択法によるSensitivityの値の比較結果を示す。図中には比較のためSensitivityの最小値と、配線長が最小の解におけるSensitivityの最小値、平均値、最大値をプロットしてある。比較により、配線長最小の解が必ずしもSensitivityにおい

表2 網羅的セルレイアウト生成結果

Table 2 The results of comprehensive cell layout synthesis.

Circuit name	#tr.	#col.	#place	#route	#layout	Cell synth. CPU(sec.)	Selection CPU(sec.)	Minimum sensitivity	Ave. sensitivity wire-length-min.	Reduction ratio(%)
ao222	14	9	32	8	948852	14685.04	323.70	18.04	20.55	12.19
aoi21	6	4	4	4	999	0.36	0.17	5.37	6.56	18.10
aoi211	8	5	4	4	8839	1.70	1.60	6.08	7.13	14.77
eno	10	6	2	1	19648	13.70	4.45	11.35	13.33	14.93
gen2	12	8	24	2	34120	419.98	10.38	17.78	20.90	14.91
mux2	12	9	144	4	392	6449.82	0.19	31.72	33.79	6.10
nand4	8	5	4	4	38366	3.01	6.92	5.37	6.38	15.78
xnor2	10	7	144	24	27414	2164.30	6.97	11.18	15.27	26.81

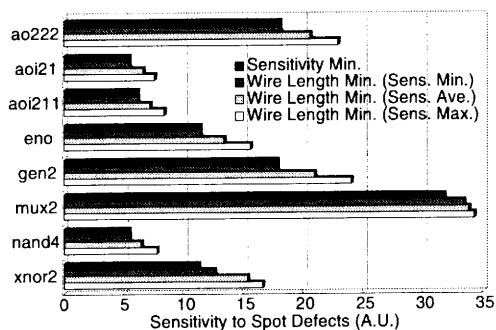


図4 解の選択基準による Sensitivity の比較

Fig. 4 Changes in layout sensitivity to spot defects.

て最適解であるとは言えないことが示された。配線長最小の解の Sensitivity の平均値と比較して、Sensitivity 最小の解を選出した場合には、8 回路の平均で Sensitivity を約 15%削減できた。例として mux2 回路における配線長最小のレイアウトおよび Sensitivity 最小のレイアウトを図 5 に示す。Sensitivity 最小のレイアウトは配線長最小のレイアウトよりも総配線長が大きくなっているが Sensitivity においてはより小さい値となっていることが分かる。

7. まとめ

本稿では、最小幅の CMOS 論理セルレイアウトを網羅的に生成することにより、製造時に配線に欠陥が発生する確率の最も小さいレイアウトを得る手法を提案した。本手法では製造時に Spot Defect により二配線間に短絡が発生する確率を、その Defect の大きさの分布および Critical Area の終端や角での効果を考慮に入れてモデル化し、それをコスト関数として用いた。これを用いることにより、網羅的に生成した最小幅のセルレイアウトから配線の短絡が最も起きにくいレイアウトを選び出すことが可能となった。本手法をスタンダードセルライブラリ内のトランジスタ数 14 までの 8 つの CMOS 論理回路に適用した結果、配線長最小のレイアウトに対して、平均で 15%の配線欠陥確率の削減が可能であった。本レイアウト生成手法では、消費電力や遅延、シグナルインテグリティなど他のさまざまな評価基準においても、それらが有効なコスト関数として定式化さ

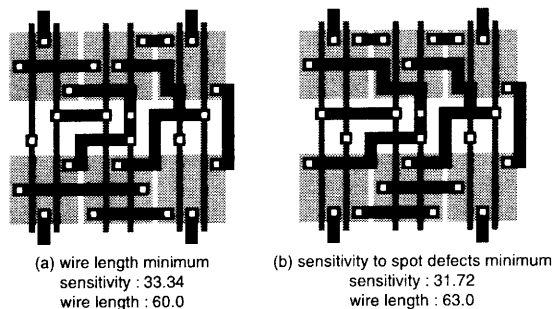


図5 “mux2” 回路レイアウト (a) 配線長最小 (b) Sensitivity 最小
Fig. 5 The optimum layouts of “mux2” generated by our method and selected by (a) wire length and (b) sensitivity to spot defects.

れば最適解の選出を可能とすることができる。

謝 辞

本研究で御協力いただいた東京大学大規模集積システム設計教育研究センター (VDEC) 及び関係者の皆様に感謝致します。

文 献

- [1] 飯塚 哲也, 池田 誠, 浅田 邦博, “充足可能性判定を用いたセル生成手法,” 情報処理学会 DA シンポジウム 2003 論文集, pp. 139-144, 2003 年.
- [2] C. J. Poirier, “Excellerator: Custom CMOS Leaf Cell Layout Generator,” *IEEE Trans. on Computer-Aided Design*, vol. 8, No. 7, pp. 744-755, 1989.
- [3] M. Guruswamy, R. L. Maziasz, D. Dulitz, S. Raman, V. Chiluvuri, A. Fernandez, and L. G. Jones, “Cellerity: A Fully Automatic Layout Synthesis System for Standard Cell Libraries,” in *Proc. ACM/IEEE 34th Design Automation Conference*, pp. 327-332, 1997.
- [4] T. Uehara and W. M. vanCleemput, “Optimal Layout of CMOS Functional Arrays,” *IEEE Trans. on Computers*, vol. C-30, No. 5, pp. 305-312, May 1981.
- [5] R. L. Maziasz and J. P. Hayes, “Exact Width and Height Minimization of CMOS Cells,” in *Proc. ACM/IEEE 28th Design Automation Conference*, pp. 487-493, 1991.
- [6] E. P. Huijbregt, H. Xue, and J. A. G. Jess, “Routing for Reliable Manufacturing,” *IEEE Trans. on Semiconductor Manufacturing*, vol. 8, No. 2, pp. 188-194, May 1995.
- [7] C. H. Stapper, “Modeling of Defects in Integrated Circuit Photolithographic Patterns,” *IBM J. Res. Develop.*, vol. 28, No. 4, pp. 461-475, 1984.
- [8] T. Iizuka and K. Asada, “An Exact Algorithm for Practical Routing Problems,” in *Proc. IEEE AP-ASIC*, pp. 343-346, 2002.