

FPGA による Divergence 専用演算器の実装と検証

青木 すみえ[†] 溝口 大介[‡] 荒木 健悟[‡] 石橋 政一[‡] 佐々木 徹[‡] 棚橋 隆彦[‡]

[†] 慶應義塾大学大学院理工学研究科 〒223-8522 横浜市港北区日吉 3-14-1

[‡] (株)アプリアリ・マイクロシステムズ 〒223-8522 横浜市港北区日吉 3-14-1

E-mail: [†] suikoa@mmm-keio.net, taka@tana.mech.keio.ac.jp [‡] {mizo, araki, ishibashi, sasaki}@a-priori.co.jp

あらまし 本論文は数値流体解析手法の1つである GSMAC-FEM の専用計算機について述べる。筆者らは GSMAC-FEM においては Poisson 方程式の Divergence 演算が専用回路化に適した演算であると考え、その専用回路を設計し FPGA 上に実装した。さらに FPGA と汎用 CPU を搭載したボード上において、専用回路を利用した GSMAC-FEM システムを実装し、その計算結果の検証を行った。

キーワード FPGA, GSMAC-FEM, Divergence

Implementation and Evaluation of the Dedicated Circuit for Divergence Calculation Using FPGA

Sumie AOKI[†] Daisuke MIZOGUCHI[‡] Kengo ARAKI[‡] Masaichi ISHIBASHI[‡] Tohru SASAKI[‡] and Takahiko TANAHASHI[†]

[†] Graduate School of Science and Technology, Keio University 3-14-1 Hiyoshi, Kohoku-ku, Yokohama-shi, 223-8522 Japan

[‡] A Priori Microsystems, Inc. 3-14-1, Hiyoshi, Kohoku-ku, Yokohama, 223-8522, JAPAN

E-mail: [†] suikoa@mmm-keio.net, [‡] info@a-priori.co.jp

Abstract In this paper, we discuss acceleration GSMAC-FEM, which is one of the computational analysis methods, by a special-purpose computer. The specific patterns of calculation frequently constitute the majority of calculation time in scientific simulations. We have designed the dedicated computer for GSMAC-FEM as the calculation of divergence is processed by special circuits. We developed the special hardware for the calculation of divergence and its IO circuits and implemented GSMAC-FEM on the EHPC platform chassis, which consists of FPGA boards. We also discuss the method for the acceleration of data transfer.

Keyword FPGA, GSMAC-FEM, Divergence

1. 緒言

科学技術計算においては、ある特定のパターンの演算が実行時間の大半を占めている事が多い。そのような演算を専用回路化する事により高速化を達成した成功例として GRAPE⁽¹⁾がある。本論文では、流体解析手法の1つである GSMAC-FEM⁽²⁾の専用計算機⁽³⁾について述べる。GSMAC-FEM に適した専用計算機を設計し、EHPC(Embedded High Performance Computing)プロジェクトにより開発されたシステム上に実装し、評価を行った。

2. GSMAC-FEM のアルゴリズム

GSMAC-FEM は非圧縮性流体の解析手法の1つである。GSMAC-FEM の基本アルゴリズムは Fig.1 に示すように、予測ステップで速度の予測子を求め、速度の発散が0に近づくように速度の修正子とベルヌーイ関数を同時緩和法により求める。

3. GSMAC-FEM に適した専用計算機

GSMAC-FEM 専用計算機を開発するに当たり、以下に述べる条件を考慮し専用回路化する箇所を選定した。まず「(1) 全計算時間の中で多くの割合を占有している箇所であること」、次に「(2) 外部メモリ参照よりも演算に要する時間が支配的な箇所であること」、の2点である。(1)の条件に適合しない部分を高速化しても全体の処理速度に対する寄与が小さいため、これは必須な条件となる。(2)の条件

については、汎用プロセッサに対する専用回路の主な利点の一つが、処理に必要とされる演算器を大量に並置することが可能な点であることから、演算が支配的であるほど専用回路による高速化の効果が大きいのである。これら2点の条件を考慮して GSMAC-FEM について専用回路化の検討を行った。

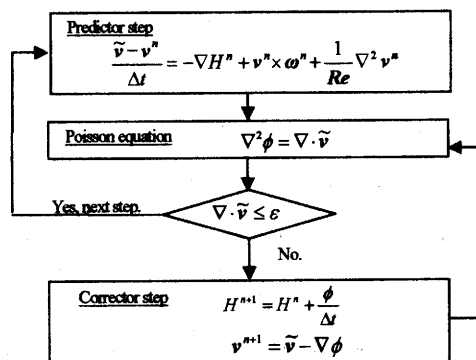


Fig.1 The algorithm of GSMAC-FEM.

(1) 計算時間占有割合の高い箇所

全計算時間に対する各部分の占有割合を調べる為、例題として3次元正方キャビティ内強制対流問題を計算した。計算条件はレイノ

ルズ数 1000, 時間刻み 1.0×10^2 , 要素数 32^3 , Poisson 方程式の収束計算における打ち切り条件となる無次元 Divergence の最大値は 1.0×10^3 とした。計算は無次元時間 10(1000 ステップ)まで実行した。計算機は, Pentium II 400MHz, SDRAM 100MHz を使用した。その結果, GSMAC-FEM はプログラム中に突出して計算時間占有割合の高い部分があるアプリケーションではなく, 全体に平均的に計算時間の分散したフラットプロファイルであることが分かった。その中でも, 比較的計算時間占有割合の高い個所として, Poisson 方程式中の Divergence 計算以外(約 30%), 及び Divergence 計算(約 25%)が挙げられる。つまり Poisson 方程式の計算が全体の約半分強の計算時間を占有している。

(2) メモリアクセスよりも演算が支配的である個所

ここでは, (1)で計算時間占有率の高かった以下の2項目についてデータ量と演算量について述べる。

① Poisson 方程式中の Divergence 以外の計算

② Divergence 計算

出来るだけ少ないデータに対して多くの演算を実行する箇所が専用回路化に向いている為, それぞれ1要素の計算に必要な入力データ数, 出力データ数, 演算回数を Table.1 に示す。Table.1 よりデータ入力数のオーダーを N とすると演算数のオーダーは N である。①, ②を比較すると, 入力データ数に関して差はないが, 出力データ数は②の方が少なく, さらに演算回数も②の方が多いため, したがって, Divergence 計算がより少ないデータに多くの演算を実行するため, 比較的演算が支配的な個所であるといえる。これらの考察の結果, 本研究では Poisson 方程式中の Divergence 計算を専用回路化する個所として選定した。

Table.1. Number of data and operations.

	① Poisson (not including divergence)	② Divergence
Number of input data	34	34
Number of output data	25	1
Number of operations	30	95

本研究では Divergence 計算を専用化する部分に決定したが, 同時に GSMAC-FEM は計算時間に偏りのないこと, また外部メモリ参照が多いアプリケーションであることが分かった。ある一つのサブルーチンが全計算時間の 90%以上を占有し, かつデータ転送量が少ない問題では, そのサブルーチンを専用回路にオフロードした場合に, 専用回路と汎用 CPU との間に入出力コストが計算コストに比べて無視できるため, 比較的低速なチップ外部のバスを経由した疎な結合でも大きな問題とはならない。一方, GSMAC-FEM のように突出したサブルーチンが存在せず, 演算に対するデータ参照のオーダーがほぼ同程度の場合は専用回路に対する入出力のコストが無視できない。そのため, このようなアプリケーションでは専用回路と汎用 CPU が密に結合されていることが望ましい。従って, 1つのチップ内に汎用プロセッサとユーザ定義可能な専用ロジックが密に結合された SOC(System on a Chip)型のアーキテクチャが GSMAC-FEM に適した専用計算機の形態であると考えられる。本研究では実際に SOC 技術を利用することはできないが, EHPC により開発された FPGA ボードを利用して専用回路を実装し検証する。本研究において FPGA ボードを用いて行った専用回路の開発成果, 及び得られた知見は将来的に SOC アーキテクチャに容易に適用可能であると考えられる。本研究においては, FPGA 上に Poisson 方程式の Divergence 計算を実装し, 汎用 CPU に柔軟性が必要で複雑な操作を伴う運動方程式の計算や Divergence 計算を除く Poisson 方程式の処理を割り当てた。

4. EHPC システムについて

ここでは実装に用いた EHPC システムについて説明する。Fig.2 にシステムの概略図を示す。EHPC システムはホストコンピュータとしての PC ボードと FPGA ボードから成る。本論文では GSMAC-FEM 専用計算機の検証のため FPGA ボード, PC ボードをそれぞれ1枚ずつ使用する。Fig.3 に FPGA ボードのブロック図を示す。ルネサステクノロジーの SH7750S(200MHz)と Xilinx の XC2V3000 用いた CompactPCI 規格のボードである。GSMAC-FEM 専用計算機は, FPGA 上に実装した Divergence 専用演算器で Divergence 演算を実行し, それ以外の計算は SH4 上でソフトウェアにより実行する。詳細については次章で述べる。

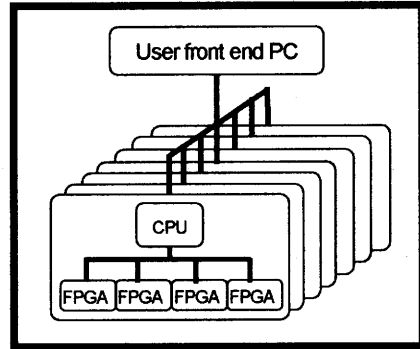


Fig.2 EHPC system

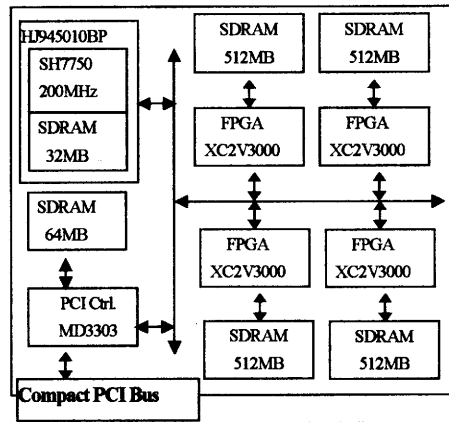


Fig.3 EHPC FPGA board block diagram.

5. GSMAC-FEM 専用計算機の実装

ここでは FPGA 上に実装した Divergence 専用演算器及びそのデータ入出力回路, 汎用 CPU である SH4 上で動作する GSMAC-FEM のプログラムについて述べ, その計算結果の検証を行う。

5.1. Divergence 専用演算器

6 面体の Divergence の計算方法について述べる。GSMAC-FEM では Divergence は離散ナブラ演算子 ∇_v ⁽⁴⁾ を利用して計算される。1 要素の Divergence 計算に必要な入力データは, 余因子ベクトル A が 9 データ, 速度ベクトル v が各頂点 3 方向で 24 データ, 体積の逆数が 1 データ必要になる。これらのデータと余因子ベクトルより計算

されるこの配ベクトル C_i を用いて、Divergence は次式のように表示される。

$$\nabla \cdot \mathbf{v} = \nabla_a \cdot \mathbf{v}_a = \frac{1}{\Omega_a} C_a \cdot \mathbf{v}_a \quad (1)$$

以下では実際に、FPGA 上に実装する Divergence 計算方法の検討を行う。

計算方法 A

余因子ベクトルからこの配ベクトルを計算し、この配ベクトルと速度ベクトルから Divergence を計算する。

- ① この配ベクトルを生成

$$\begin{aligned} C_{xi} &= A^{ix} \xi_i + A^{ix} \eta_i + A^{ix} \zeta_i \\ C_{yi} &= A^{iy} \xi_i + A^{iy} \eta_i + A^{iy} \zeta_i \quad (i=1 \sim 8) \\ C_{zi} &= A^{iz} \xi_i + A^{iz} \eta_i + A^{iz} \zeta_i \end{aligned} \quad (2)$$

- ② この配ベクトルから Divergence を計算。

$$\nabla \cdot \mathbf{v} = \frac{\sum_i (C_{xi} \Delta u_i + C_{yi} \Delta v_i + C_{zi} \Delta w_i)}{\Omega_a} \quad (i=1 \sim 8) \quad (3)$$

計算方法 B

6 面体要素の対称性を利用し、この配ベクトルを半分生成する。さらに原点に対して点対称な位置にある速度ベクトルの差を取る。これらより Divergence を計算する。

- ① この配ベクトルを対称性により半分生成

$$\begin{aligned} C_{xi} &= A^{ix} \xi_i + A^{ix} \eta_i + A^{ix} \zeta_i \\ C_{yi} &= A^{iy} \xi_i + A^{iy} \eta_i + A^{iy} \zeta_i \quad (i=1 \sim 4) \\ C_{zi} &= A^{iz} \xi_i + A^{iz} \eta_i + A^{iz} \zeta_i \end{aligned} \quad (4)$$

- ② 中心に対して点対称な位置の速度の差を計算。

$$\begin{aligned} \Delta u_1 &= u_5 - u_3 \\ \Delta u_2 &= u_6 - u_4 \\ \Delta u_3 &= u_7 - u_1 \\ \Delta u_4 &= u_8 - u_2 \end{aligned} \quad (5)$$

- ③ この配ベクトルから Divergence を計算。

$$\nabla \cdot \mathbf{v} = \frac{\sum_i (C_{xi} \Delta u_i + C_{yi} \Delta v_i + C_{zi} \Delta w_i)}{\Omega_a} \quad (i=1 \sim 4) \quad (6)$$

この2つの計算方法について浮動小数点演算回数を比較した結果、計算方法 A は加算 71 回、乗算 24 回の合計 95 回、計算方法 B は加算 41 回、乗算 13 回の合計 54 回で、計算方法 B の方が演算回数は少ない。したがって、FPGA 上に実装する計算方法は対称性を利用した計算方法 B とした。

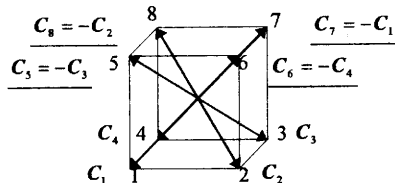


Fig.4 Symmetry of gradient vector based on hexahedron element.

VHDL にて記述し、FPGA 上に実装した Divergence 専用演算器のブロック図を Fig.5 に示す。動作周波数は 50MHz で、10cycle 毎に 1

要素の Divergence 演算結果が得られる。Latency は 42cycle である。前述の計算方法を用いると 1 要素当たりの Divergence 計算には 54 回の浮動小数点演算が実行されるため、演算性能は 270MFlops とする。これは、ある 1 サイクルにおける Peak Performance では無く、演算に必要なデータが途切れることなく与えられた場合の Sustained Performance であり、それに必要となる入力データレートは 680MB/sec となり、その際の実出力データレートは 20MB/sec となる。

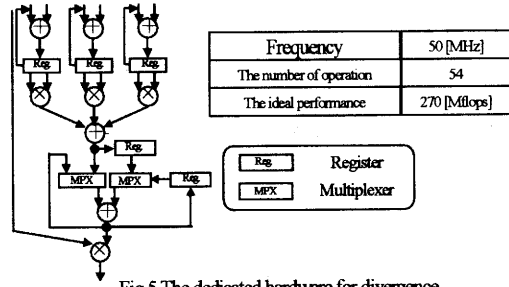


Fig.5 The dedicated hardware for divergence

5.2. 浮動小数点演算器

Divergence 専用演算器内で使用する浮動小数点は 32 ビットでそのフォーマットを Fig.6 に示す。IEEE754 で定められた表現形式の内、正規表現、非正規表現、正または負の無限、正または負のゼロをサポートしている。

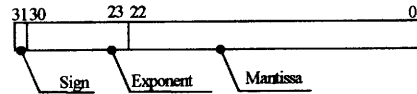


Fig.6 Floating-point data format.

GSMAC-FEM では厳密に Poisson 方程式を解くのではなく、同時緩和法により解いており、 $\nabla \cdot \mathbf{v}$ はある程度の打ち切り誤差を含みながら計算している為、Divergence 専用演算器では、IEEE754 に完璧には準拠する必要はないとして実装を行った。2 入力加算、3 入力加算、乗算の各浮動小数点演算器内では丸めの為、23 ビットの仮数部の他にさらに 2 ビット (Guard bit, Sticky bit を実装、Round bit を省略) 多く保持している。丸めに関しては、基本的には IEEE754 の近傍への丸めのみを実装した。ここで言う近傍への丸めとは無限精度で計算した結果により近いほうに丸める方法で、それがちょうど中間にある場合は LSB が 0 になる方に丸める方法である。

5.3. データ入出力回路

Divergence 専用演算器-SH4 間のデータ入出力の同期を取る為、それを管理する入出力回路 (Fig.7) を作成した。同期は制御フラグにより管理される。

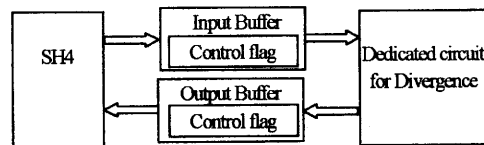


Fig.7 Data transfer between SH4 and dedicated circuit.

5.4. GSMAC-FEM ソフトウェア

GSMAC-FEM 専用計算機では Divergence 演算を前述の専用演算器で実行し、それ以外の計算を SH4 で実行する。SH4-Divergence 専用演算器間のデータ受け渡しは 5.3 に述べた入出力回路を介して行われる。これらを利用し SH4 上で動作する GSMAC-FEM プログ

ラムを作成した。信頼性のある計算結果と SH4 での計算結果を比較してソフトウェアの検証をするべきであるが、メモリ容量の関係から Pentium4 にそのプログラムを移植して検証を行った。計算機は Pentium4CPU3.06GHz, DDR-SDRAM2.0GBを用いた。3次元正方キャビティ内強制対流問題(Fig.8)を、レイノルズ数1000、時間刻み 1.0×10^{-3} 、要素数 30^3 、Poisson 方程式の収束計算における打ち切り条件となる無次元Divergenceの最大値を 1.0×10^{-3} として計算した。計算結果をKuらの結果⁹⁾と比較した(Fig.9)。これより計算結果の妥当性が確認された。

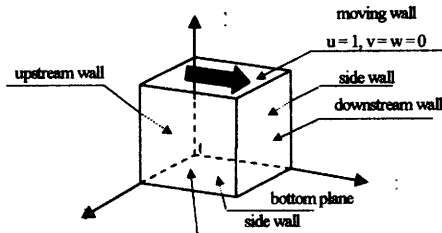


Fig.8 Driven cavity flow model.

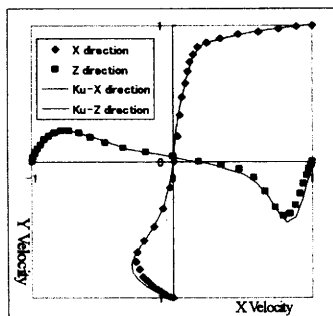


Fig.9 Velocity profile on the center axes(Re=1000,t=100)

6. GSMAC-FEM 専用計算機の検証

6.1. Divergence 専用演算器の計算精度

6.1.1. SH4 及び Pentium4 との比較

Divergence 専用演算器の精度検証の為、Divergence 演算を①Pentium4, ②SH4, ③Divergence 専用演算器の3種類で計算した結果を比較する。計算は3次元正方キャビティ内強制対流問題をレイノルズ数100、時間刻み 1.0×10^{-3} 、要素数 10^3 の条件で実行し、最初のDivergence結果を比較する。この場合、Fig.10中のLayer1,Layer2の要素のDivergenceが0でない値となる。まず、差分の傾向を捉えるため、この上部2層の要素について、3者で計算したDivergence結果から、各々の差分の絶対値の平均値と、相対差分の平均値をTable.2に示した。さらに細かく検証するために、Fig.10中のLayer1のある一列のDivergenceの値における、専用演算器とその他の相対差分をFig.11に、参考のためSH4とPentium4の相対差分をFig.12に示す。因みにPentium4は単精度のデータであっても内部の浮動小数点用レジスタでは80ビットの拡張倍精度型として扱われ、SH4はIEEE754準拠の演算器を使用している。Pentium4,SH4の丸めは近傍への丸め⁶⁾を指定して計算を行った。

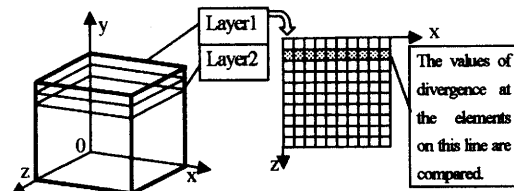


Fig.10 The elements compared in Table.3 and Fig.15.

Table.2 Absolute and relative difference of divergence.

	Absolute difference	Relative difference
Pentium4-Dedicated circuit ^{*1}	1.11×10^{-7}	1.20×10^{-5}
SH4-Dedicated circuit ^{*2}	1.89×10^{-7}	1.30×10^{-5}
Pentium4-SH4 ^{*3}	1.21×10^{-7}	1.23×10^{-5}

*1: The base value of relative difference is Pentium4.

*2: The base value of relative difference is SH4.

*3: The base value of relative difference is Pentium4.

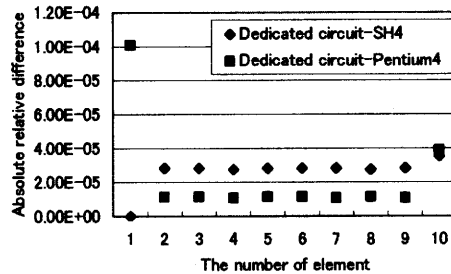


Fig.11 Comparison of the absolute relative differences.

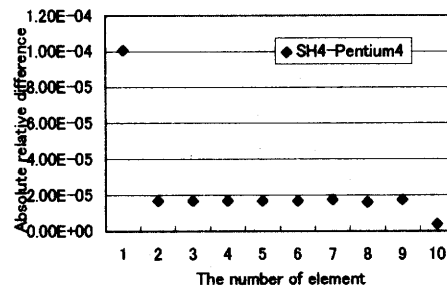


Fig.12 The relative difference between SH4 and Pentium4.

Table.2の結果からDivergence専用演算器と他者の差分がSH4とPentium4との差分と同じオーダーであることが分かる。また32ビット浮動小数点演算では仮数部が23ビット、けち表現が1ビットである事から、1回の浮動小数点演算にはおよそ 2^{-24} 程度の丸めによる誤差が仮数部に含まれる。さらにTable.2の結果はPentium4の内部保持データが80ビットの拡張倍精度である事と考え合わせると、Divergence専用演算器による結果はある程度の誤差範囲内に収まっている。さらに細かく検証するため、Fig.11より、10番目の要素において専用演算器による値とSH4による値の相対差分が、他の要素のそれよりも若干大きくなっていることに注目し、次節で検証する。

6.2. 差分の検証

専用演算器とSH4の差の原因を調べるため、ソフトウェアで専用演算器エミュレータを作成し、Divergenceが計算されるまでの中間結果をSH4と専用演算器とで比較した。最初に差が生じている演算について、浮動小数点表示も含めFig.13に示す。

Input data	
A^{12}	10110001000110011001100110011010 (-2.235174e-09)
$d3$	001110110010000111101011100001001 (2.500000e-03)
Result: $A^{12} - d3$	
SH4	
	001110110010000111101011011111111 (2.499997e-03)
Dedicated circuit	
	001110110010000111101011100000000 (2.499998e-03)

Fig.13 Input and output data of calculation.

Fig.13 からSH4と専用演算器の結果の違いは仮数部に表れており、その差は 2^{23} であることから、丸めによる誤差であることが分かる。専用演算器では内部で丸めのため仮数部23ビットの他にGuard bit, Sticky bitを保持している。Guard bitとは仮数部が桁落ちする際により多くのビットを保持しておくためビットであり、Sticky bitは「最近値への丸め」を実装する際に、中間値であるかを判断するため、それまでに桁落ちしたビットに1があったか否かを保持しておくビットである。IEEE754では減算の場合にはこの2ビットに加え、Guard bitと同じ役割を果たすRound bitを使用する。したがってここで生じた差はSH4と専用演算器の丸めの実装方法が異なることに起因するものであると考えられる。

6.3. GSMAC-FEM 専用計算機の計算精度

6.1にて検証したDivergence専用演算器を用いて、3次元正方形キャピティ内強制対流問題(Fig.12)をレイノルズ数100、時間刻み 1.0×10^{-3} 、要素数20(不等分割)の条件で無次元時間10(10000ステップ)まで、①Divergence専用回路とSH4、②Pentium4のみ、③SH4のみを使用して実行した。Fig.14によると3者で計算した結果に有意な差は確認されずこれらより前節で確認された丸めによる誤差は計算結果には大きな影響を及ぼさない。さらに、100ステップまでの計算時間の比較をTable.3に示す。SH4のみとSH4と専用回路で計算した場合を比較すると、専用回路を用いた方がより多くの計算時間がかかっている。これはデータバンド幅が十分ではないためSH4から専用回路にデータを転送するのに時間がかかってしまい、演算器に対するデータ供給が十分でないことに起因する。

Table.3 Comparison of calculation time

	Total calculation time (Poisson eq.)
Dedicated circuit+SH4	5244718 [ms] (5044644 [ms])
Pentium4	244283 [ms] (239407 [ms])
SH4	4740039 [ms] (4539946 [ms])

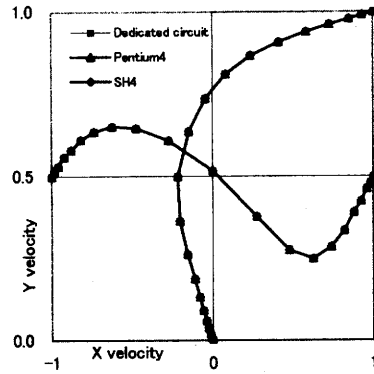


Fig.14 Velocity profile on the center axes.

7. GSMAC-FEM 専用計算機の展望

7.1. Divergence 専用演算器のデータ転送について

GSMAC-FEMは時間にかかる外部メモリアクセスが非常に多いアプリケーションである。ここではDivergence専用演算器のデータ転送について考察し、GSMAC-FEM専用計算機の高速化に向けた展望を示す。

Divergence専用演算器の動作が常に途切れず、10サイクルごとにDivergenceが得られる状態が最も理想的である。この状態を実現するためには十分な速度で入力に必要な34データをSH4がメモリからロードし、さらにDivergence専用演算器に渡す必要がある。以下ではデータ転送バンド幅を増やす方法について考察する。Divergence演算に必要な入力データはTable.4に示すように2種類存在する。Divergenceは要素単位で計算されるので、節点に定義されているデータをロードするためにはメモリに対してランダムアクセスをすることになり、負荷が高い。一方、要素で定義されているデータについては、連続的にメモリに配置されているため、節点で定義されているデータよりロードする際の負荷が低い。

Table.4 The number of data for calculation of divergence.

	The number of data
Data which defined at a node	24
Data which defined at an element	10

したがって、Fig.15に示すように、容易にアクセスできる要素定義のデータを別系統のメモリに配置し、ランダムアクセスが必要な節点定義のデータに関しては、複雑な処理が必要なため汎用CPUが管理するメモリに配置することで、効率的にデータバンド幅を増やすことが出来る。

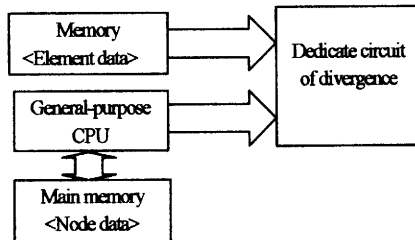


Fig.15 Memory for nodes data and elements data.

7.2. 予測子フェーズの専用回路

GSMAC-FEM は前述のようにフラットプロファイルなアプリケーションである上に、計算が定常状態に近づくほど Poisson 方程式の繰り返し回数が少なくなり、結果的に予測子フェーズの計算時間割合が増加してくる。したがって予測子フェーズの計算についてもハードウェア化を検討する余地がある。さらに各ステップの予測子フェーズ、修正子フェーズそれぞれの回路を動的に再構成することで両フェーズの専用回路を実装することも可能である。

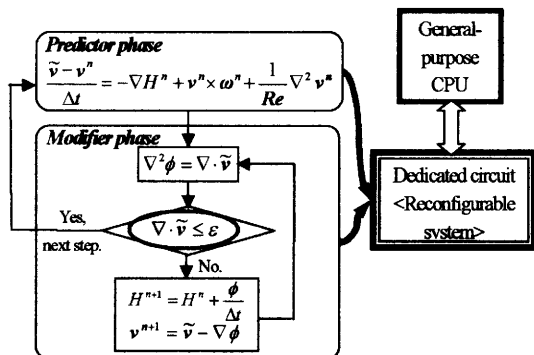


Fig.16 GSMAC-FEM using dynamic reconfigurable system.

8. 結言

GSMAC-FEM 専用計算機の検討を行い、ハードウェア化に適した部分である Divergence 演算の専用回路を設計した。また、設計した専用回路を FPGA 上に実装した。さらに FPGA と汎用 CPU を搭載したボード上において、専用回路を利用した GSMAC-FEM システムを実装し、その計算結果の検証を行った。また、高速化の障害となるメモリバンド幅の制約を緩和する方法として、要素データと節点データを別系統のメモリシステムに配置する方法を提案した。さらにリコンフィギュラブルシステムを利用する GSMAC-FEM 専用計算機の展望について示した。

参考文献

- (1) Sugimoto, D. et al., "A Special Purpose Computer for Gravitational Many-body Problems", *Nature*, 345, (1990) pp.33-35.
- (2) Tsuyoshi Hamada, Toshiyuki Fukushige, Atsushi Kawai, Junichiro Makino, "PROGRAPE-1: A Programmable, Multi-Purpose Computer for Many-Body Simulations", *Publications of Astronomical Society of Japan*, 52, 5, (2000) pp.943-954.
- (3) 棚橋隆彦, "流れの有限要素法解析", 朝倉書店
- (4) 青木すみえ, 荒木健悟, 溝口大介, 石橋政一, 佐々木徹, 棚橋隆彦, "GSMAC-FEM 専用計算機の研究開発 <Divergence 専用回路の FPGA による実装>", 第 16 回数値流体力学シンポジウム, D29-2, (2002)
- (5) Hwar C. Ku, Richard S. Hirsh, and Thomas D. Taylor, "A pseudospectral method for solution of the three-dimensional incompressible Navier-Stokes equations", *Journal of Computational Physics*, 70, (1986), pp.439-462.
- (6) IA-32 IntelR Architecture Software Developer's Manual, Volume1: Basic Architecture, Intel, 4.8.4, (2003)
- (7) 日立 SuperH™ RISC engine SH7750 シリーズハードウェアマニュアル, 株式会社 日立製作所, 6.4, (2002)