

## FPGA を用いたオープンプラットフォーム対応 IP 検証環境

三部 健<sup>†</sup> 中込 宏<sup>†</sup> 稲坂 朋義<sup>†</sup> 今井 正紀<sup>‡</sup>

<sup>†</sup>三菱電機株式会社 情報技術総合研究所 〒247-8501 神奈川県鎌倉市大船 5-1-1  
<sup>‡</sup>株式会社 半導体理工学研究センター 〒222-0033 神奈川県横浜市港北区新横浜 3-17-2  
E-mail: <sup>†</sup> {sanbu, nakakomi, inasaka}@isl.melco.co.jp, <sup>‡</sup> imai@starc.or.jp

あらまし IP の使用を検討する段階で IP の機能・品質・性能を実機で検証できる IP 検証環境について報告する。IP 検証環境は、T-Engine/ $\mu$ T-Engine とその拡張バスに接続する FPGA ボードで構成している。試作した IP 検証環境は検証対象の IP を FPGA ボードに実装し、 $\mu$ T-Engine 上で IP 検証用のミドルウェアと評価プログラムを実行することで 1) オープンな検証環境、2) ハードウェアとソフトウェアを併せて検証できる検証環境、3) IP 流通の促進を実現する。ここでは IP 検証環境の構成と FPGA ボードに IP を実装し、評価プログラムを用いて IP を検証することで検証環境としての有効性を示すとともに、オープンプラットフォーム対応として 2 種類の  $\mu$ T-Engine を用いて IP 検証環境を構築する事例について説明する。

キーワード IP コア, 検証, FPGA, オープンプラットフォーム

## IP Core Verification Environment on Open Platform Using FPGA

Ken SAMBU<sup>†</sup>, Hiroshi NAKAKOMI<sup>†</sup>, Tomoyoshi INASAKA<sup>†</sup> and Masanori IMAI<sup>‡</sup>

<sup>†</sup> Mitsubishi Electric Corporation, Information Technology R&D Center,  
1-1, Ofuna 5-chome, Kamakura-shi, Kanagawa, 247-8501 Japan  
<sup>‡</sup> Semiconductor Technology Academic Research Center  
17-2, Shin Yokohama 3-chome, Kohoku-ku, Yokohama, 222-0033 Japan  
E-mail: <sup>†</sup> {sanbu, nakakomi, inasaka}@isl.melco.co.jp, <sup>‡</sup> imai@starc.or.jp

**Abstract** We propose an IP Core Verification Environment that provides verification system for IP Core in real logic at System LSI development phase. IP Core Verification Environment consists T-Engine/ $\mu$ T-Engine and FPGA board, which connects with T-Engine at external bus. In this paper, we explain a structure of IP Core Verification Environment, usage of Hardware and Software Co-Verification Environment and example of building technique using two  $\mu$ T-Engines for open platform feature.

**Keyword** IP Core, Verification, FPGA, Open Platform

### 1. はじめに

半導体のプロセス技術が進み、1チップに多様な機能を搭載するシステム LSI が登場している。システム LSI を用いて 1チップ化することは高性能、小型、高品質などにメリットが大きい。

その一方で、システム LSI は開発期間や開発費が増大するため、製品サイクル短期化や開発コスト低減といった市場の要求に対して、対応できない状況が発生している。大規模化したシステム LSI を効率よく低コストで開発するためには、第三者が設計した設計資産 IP (Intellectual Property) を活用することが不可欠である。しかしながらシステム LSI に IP を活用するには、IP の機能、品質、性能等を事前に評価することが必要である。システム LSI に IP の使用を検討する段階で、その機能、品質、性能を事前に評価できることを目的

に IP 検証環境を試作した。

IP 検証環境は検証対象の IP を FPGA ボードに実装し、 $\mu$ T-Engine 上で IP 検証用のミドルウェアと評価プログラムを実行することで 1) オープンな検証環境、2) ハードウェアとソフトウェアを併せて検証できる検証環境、3) IP 流通の促進するといった特徴を実現している。

本論文では、IP 検証環境の構成について述べた後、実際に FPGA に IP を実装し、評価プログラムを用いて IP を検証することで検証環境としての有効性を示すとともに、オープンプラットフォーム対応として 2 種類の  $\mu$ T-Engine を用いて IP 検証環境を構築した事例について説明する。

### 2. IP 検証環境概要

IP の機能、品質、性能を事前に評価するためには以

下が重要である。

- 1) IP 単体としての完成度(不具合の少なさ)
- 2) IP ユーザが保有している論理と組み合わせて使用した時の動作
- 3) システム LSI に組み込んだ時の動作・性能  
従って IP 検証環境には以下の機能を実現した。
- 1) IP ユーザは、使用を検討している IP を RTL だけではなくネットリスト IP や ROM データのように FPGA に実装可能な形態で入手すれば、目的とするシステム LSI 環境あるいはそれに近い環境を実現できる。
- 2) IP ユーザが持つソフトウェアあるいはそれに近いソフトウェアが実行可能とし、ハードウェアとソフトウェアを併せて検証可能な環境を提供する。

IP 検証環境は以下の 3 つの要素から構成される。

- 1) プラットフォーム：IP 検証環境のオープン性とコンパクト性を考慮して、T-Engine あるいは  $\mu$  T-Engine とする。使用する OS は T-Engine/ $\mu$  T-Engine 上で動作する T-Kernel とする。
- 2) FPGA ボード：提供する IP を RTL ソースコードではなく、ネットリスト IP でも FPGA に実装できるようにする。そのため、IP 接続バスを規定した。IP 検証環境では STARC 推奨の IP インターフェースである PVCI バス、OCP バスとする。
- 3) デバイスドライバ：T-Kernel 下で動作するデバイスドライバを提供する。

## 2.1. ハードウェア構成

IP 検証環境のハードウェア構成を図 1 に示す。IP 検証環境全体の写真を図 2 に示す。

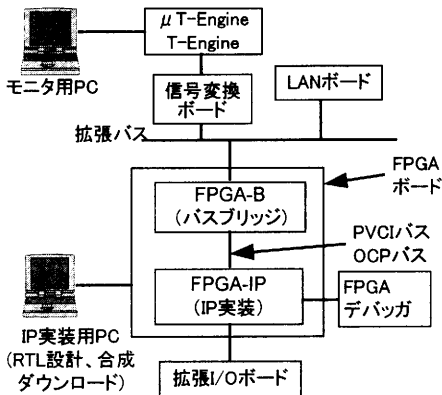


図 1 IP 検証環境ハードウェア構成

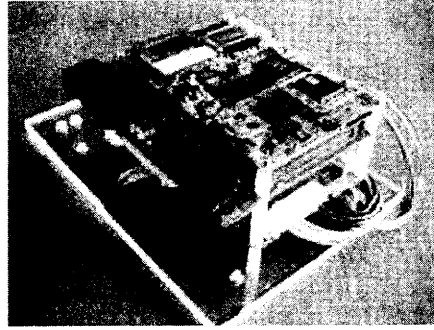


図 2 IP 検証環境の全体写真

IP 検証環境のプラットフォームは T-Engine/ $\mu$  T-Engine である。モニター用 PC は T-Engine/ $\mu$  T-Engine のシリアルインターフェースに接続している。モニター用 PC は IP 検証環境ソフトウェアの開発と、T-Engine/ $\mu$  T-Engine へのダウンロードを行う。IP 実装用 PC は実装 IP の論理設計、実装設計を行う。IP 検証環境とは FPGA 用ダウンロードケーブルで接続されている。

T-Engine/ $\mu$  T-Engine の拡張バスには IP を実装する FPGA ボードと LAN ボード(オプション) T-Engine/ $\mu$  T-Engine 仕様のコネクタを介して接続する。

T-Engine/ $\mu$  T-Engine の拡張バス信号と FPGA-B のユーザー I/O は直接接続し、FPGA-B には拡張バスに合わせた論理を実装できるようにしてある。今回の FPGA ボードの拡張バス仕様はルネサステクノロジ社製の M32104  $\mu$  T-Engine の仕様を元に作成した。T-Engine/ $\mu$  T-Engine の拡張バスで用いているコネクタは各開発キット形状が異なり、さらに信号線、電源、GND の位置も異なっている。

バス変換ボードはこのコネクタや信号アサイン仕様の差異を吸収するためにコネクタの変換と信号線、電源、GND 位置変換を行う。そのためバス変換ボードは T-Engine/ $\mu$  T-Engine 毎に用意する必要がある。IP 検証環境のプラットフォームに M32104  $\mu$  T-Engine 以外の T-Engine/ $\mu$  T-Engine を選択するときは選択したプラットフォームに対応したバス変換ボードを用いて FPGA ボードと接続する。

## 2.2. FPGA ボード

検証対象の IP を実装する FPGA ボードのブロック図を図 3 に示す。開発した FPGA ボードの写真を図 4 に示す。

- FPGA ボードの諸元を以下に示す。
- ボードサイズ：75mm×100mm
  - FPGA-IP：XC2V1000-FG456-4
  - FPGA-B：XC2V1000-FG456-4 と

XC2V2000-FG676-4 のどちらかを選択

PROM : XC18V04x3(IP 用 x1, B 用 x2)

SDRAM : 128Mb(4Mx32Bit)

Flash ROM: 8Mb

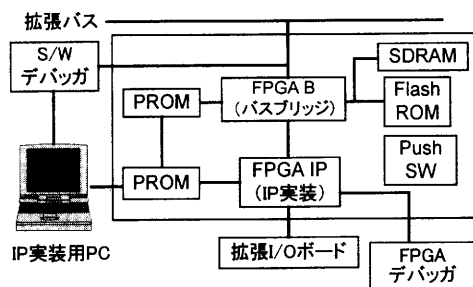


図 3 FPGA ボードブロック図

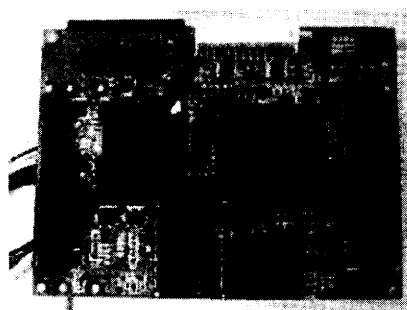


図 4 開発した FPGA ボード写真

FPGA ボードには FPBA-B と FPGA-IP の 2 石の FPGA を搭載した。FPGA-B は  $\mu$ T-Engine 拡張バスと IP 接続バスのバスブリッジである。FPGA-B はエンディアン変換、バス幅、アドレス幅によりエンディアン変換機能と IP 接続バス構成の変更機能を持つ。FPGA-IP は検証する IP を実装する FPGA である。FPGA 間は IP 接続バス(今回は PPCI バス, OCP バス)で接続している。

3 石の PROM は FPGA ボード上で JTAG チェーンにより接続されており,それぞれ IP 実装用 PC から FPGA ダウンロードケーブルを用いて書き込みが可能となっている。検証対象の IP を実装する時は PROM にあらかじめ FPGA データを書き込む。

SDRAM, Flash ROM はそれぞれ IP 検証用のテストデータ, プログラムを格納するために用意している。 $\mu$ T-Engine/ $\mu$ T-Engine から外部メモリとして直接アクセスすることでテストデータ, テストプログラムを書き込む。

Push SW は FPGA ボード全体のリセットボタンと FPGA 内部リセットの 2 種類を用意した。 $\mu$ T-Engine/ $\mu$

T-Engine にはリセットを発生せずに, FPGA ボードにリセットを発生させるときに使用する。PROM に IP 設計データをダウンロードした後に, FPGA ボード全体のリセットボタンを使用すると,  $\mu$ T-Engine/ $\mu$ T-Engine をリセットせずに実装する IP の変更が可能である。

FPGA ボードには USB や PCI などの標準バスインターフェース IP を実装する場合や IP ユーザ作成の外部回路を実装する場合を想定して IP ユーザ作成の拡張 I/O ボードを接続できるコネクタを用意する。

実装する IP のデバッグ用として三菱電機株式会社製の FPGA デバッガ ISTS に対応するコネクタを実装している。FPGA デバッガ ISTS を用いて実装する IP の内部信号, インターフェース信号を観測することが可能である。観測した信号波形データは IP 実装用 PC で GUI を用いて表示する。

拡張 I/O ボード用のコネクタと FPGA デバッガ用のコネクタはともに FPGA-IP のユーザ I/O に接続されている。

### 2.3. ソフトウェア構成

IP 検証環境のソフトウェア構成を図 5 に示す。

IP 検証環境は T-kernel 下で動作する FPGA ボード用デバイスドライバを提供する。FPGA ボード用デバイスドライバは T-Engine/ $\mu$ T-Engine 毎にエンディアンの違いやメモリマップ上での FPGA ボードの物理アドレスの差異等を吸収する。IP 対応ミドルウェアのアプリケーションインターフェースが T-Engine/ $\mu$ T-Engine 間で互換性を保つように, 各 T-Engine/ $\mu$ T-Engine 向けの FPGA ボード用デバイスドライバはドライバインターフェース, コマンドを統一した。

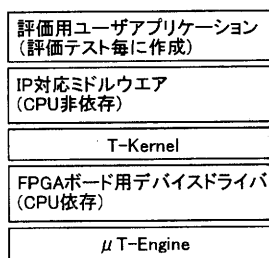


図 5 IP 検証環境ソフトウェア構成

IP 対応ミドルウェアは IP 検証環境に実装する IP に毎に作成する。IP 接続バス上でのアドレス定義や, 実装 IP のエンディアン, バス幅等の実装情報を FPGA ボード用デバイスドライバに通知する。を制御するソフトウェアである。実装する IP 毎に IP 提供者が提供する。IP 対応ミドルウェアは各 T-Engine/ $\mu$ T-Engine 間でソースレベル互換であり, 再コンパイルにより FPGA

ボード用デバイスドライバを共通に使用できる。

評価用ユーザアプリケーションは IP ユーザが作成する IP 検証用プログラムである。

### 3. IP 検証環境による IP の検証

IP 検証環境を用いた IP の検証は以下のように行う。IP ユーザは使用を検討する IP をハードウェアとソフトウェアを併せた環境で検証することができる。

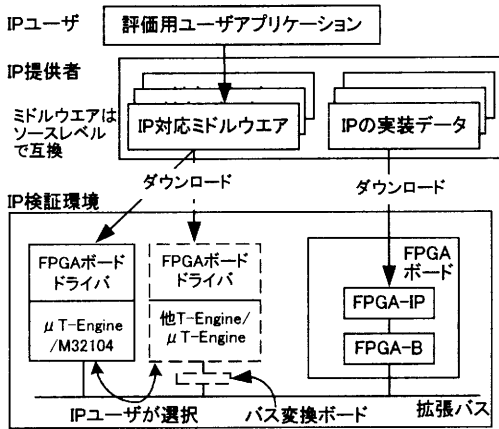


図 6 IP 検証環境を用いた IP 検証

- 1) IP データの入手  
IP ユーザは IP の使用を検討する IP の設計データとして FPGA ROM データと、それに対応する IP 対応ミドルウェアを IP 提供者から入手する。
- 2) IP の実装  
IP ユーザは IP 検証用の T-Engine/ $\mu$ T-Engine を選択し、FPGA-IP に検証する IP を実装する。
- 3) 評価用ユーザアプリケーションの作成  
IP ユーザは IP 対応ミドルウェアインターフェースを用いて、IP 評価用ユーザアプリケーションを作成する。T-Engine/ $\mu$ T-Engine に評価用ユーザアプリケーション、IP 対応ミドルウェア、FPGA ボードドライバをロードする。
- 4) IP 検証  
評価用ユーザアプリケーションを実行して、検証を行う。

## 4. IP 検証環境を用いた実装例

### 4.1. IP 実装評価

IP 検証環境に実際に IP を実装し、検証を行う事例を紹介する(図 7)。

実装評価実験ではプラットフォームに M32104  $\mu$ T-Engine 開発環境を使用し、FPGA ボード上の IP 接続パスは PVCI バスを用いた。

FPGA-IP に実装する IP は PCI ホストブリッジと LED 点灯制御回路を用意し、それぞれの IP に PVCI ラッパーを付加して FPGA-IP に実装した。

実装する IP に対し、PCI ホストブリッジ用ミドルウェアと PCI 評価用アプリケーション、LED 転送制御用ミドルウェアと LED 点灯評価用アプリケーションを作成した。

FPGA-IP に実装する IP にあわせて、IP 用ミドルウェア、評価用アプリケーションのみを変更することで、IP の評価を行えることを確認した。

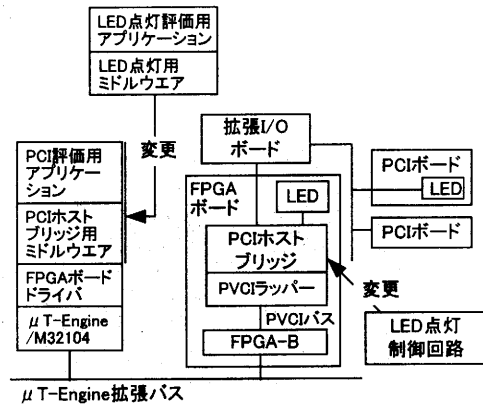


図 7 IP 実装評価実験

### 4.2. オープンプラットフォーム対応開発

前節では、プラットフォームに M32104  $\mu$ T-Engine を用いた。IP 検証環境のオープンプラットフォーム対応開発として、VR4131  $\mu$ T-Engine を用いて IP 検証環境を構築した。FPGA ボードと VR4131  $\mu$ T-Engine は図 8 に示す信号変換ボードを作成して接続した。

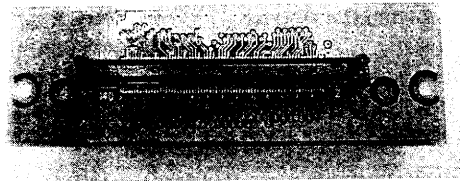


図 8 VR4131  $\mu$ T-Engine 用信号変換ボード

オープンプラットフォーム対応開発は以下の点を考慮して構築した(図 9)。このことで IP 提供者、IP 開発者はプラットフォームにかかわらず共通に IP の実装データ、IP 対応ミドルウェア、評価用ユーザアプリ

ケーションを使用することが可能となる。

- 1)  $\mu$  T-Engine 拡張バス仕様の差異  
M32104  $\mu$  T-Engine と VR4131  $\mu$  T-Engine で拡張バス使用が異なるため、FPGA-B に実装するバスブリッジを VR4131  $\mu$  T-Engine 用に開発した。
- 2)  $\mu$  T-Engine 間のメモリマップの相違  
メモリマップの差異は FPGA ボードドライバで吸収し、VR4131  $\mu$  T-Engine 用の FPGA ボードドライバを開発した。
- 3) エンディアンの差異  
実装する IP とプラットフォーム CPU のエンディアンが異なる場合、FPGA ボードドライバとブリッジ FPGA でエンディアン変換機能を有効にする。

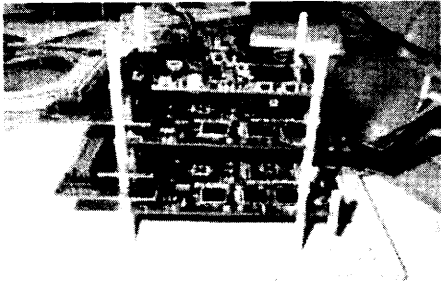


図 9 VR4131  $\mu$  T-Engine を用いた IP 検証環境

## 5. まとめ

IP の使用を検討する段階で、その機能・性能・品質に関してソフトウェア、ハードウェアを併せて検証できる IP 検証環境について解説した。IP 検証環境は実装する IP とそれに対応する IP 用ミドルウェア、評価プログラムとともに検証できる環境を実現した。

また、オープンプラットフォーム対応では T-Engine/ $\mu$  T-Engine 拡張バスの信号アサイン仕様の差異は信号変換ボードで、拡張バスプロトコル仕様の差異は FPGA-B で、メモリマップの相違は FPGA ボードドライバで、吸収することで、IP 使用者、IP 提供者はプラットフォームにかかわらず共通に IP の実装データ、IP 対応ミドルウェア、評価用ユーザアプリケーションを使用することが可能となる。

この IP 検証環境は、IP の検証だけではなく、IP の論理設計、ドライバ開発の教材としても活用する。さらに、 $\mu$  T-Engine を用いて IP 検証環境をミニハードウェアエミュレータとしても活用を図っていく。

## 文 献

- [1] “T-Engine/ $\mu$  T-Engine”, “<http://www.t-engine.org/>”
- [2] 佐藤浩一, “ハードウェア開発も T-Engine で”, TRONWARE Vol.84, pp.42-46. Nov.2003