

## フルデジタル等化方式 PRML リードチャネルを搭載した 0.13 $\mu$ m CMOS 超小型 DVD 用 SoC

山本 明<sup>†</sup> 永野 孝一<sup>†</sup> 岡本 好史<sup>†</sup> 毛利 浩喜<sup>†</sup> 河邊 章<sup>†</sup>  
森江 隆史<sup>†</sup> 中平 博幸<sup>†</sup> 落合 稔<sup>†</sup> 小倉 洋一<sup>†</sup> 高橋 利彦<sup>†</sup>  
書上 透<sup>†</sup> 滝口 雅夫<sup>†</sup> 山元 隆<sup>†</sup> 神山 祐史<sup>†</sup> 片部 豊<sup>†</sup>

<sup>†</sup>松下電器産業株式会社 半導体社 〒570-8501 大阪府守口市八雲中町 3-1-1

<sup>‡</sup>松下寿電子工業株式会社 〒793-8510 愛媛県西条市福武字持田甲 247 番地

E-mail: yamamoto.akira001@jp.panasonic.com

あらまし 0.13  $\mu$  m CMOS プロセスを用いた超小型 DVD 用 SoC を開発した。システムアーキテクチャとインプリメンテーション方法を最適化することにより、同世代のプロセスを用いたにもかかわらず、性能と機能を維持したまま面積を 64mm<sup>2</sup> から 34mm<sup>2</sup> に削減することに成功した。本 SoC の主な特長は新規 PRML リードチャネルであり、オーバーサンプリングフルデジタル等化方式を用いることで、再生性能を維持したままシステムの安定性向上を実現した。

キーワード DVD, CMOS, SoC, PRML, リードチャネル, 等化, フルデジタル

## A 0.13 $\mu$ m CMOS Ultra-compact DVD SoC employing a Full Digital Equalizing PRML Read Channel

Akira YAMAMOTO<sup>†</sup> Kouichi NAGANO<sup>†</sup> Koji OKAMOTO<sup>†</sup> Hiroki MOURI<sup>†</sup>  
Akira KAWABE<sup>†</sup> Takashi MORIE<sup>†</sup> Hiroyuki NAKAHIRA<sup>†</sup> Minoru OCHIAI<sup>†</sup>  
Youichi OGURA<sup>†</sup> Toshihiko TAKAHASHI<sup>†</sup> Toru KAKIAGE<sup>†</sup> Masao TAKIGUCHI<sup>†</sup>  
Takashi YAMAMOTO<sup>†</sup> Hiroshi KAMIYAMA<sup>†</sup> and Yutaka KATABE<sup>†</sup>

<sup>†</sup> Matsushita Electric Industrial Co., Ltd. 3-1-1 Yagumo-naka-machi, Moriguchi City, Osaka 570-8501, Japan

<sup>‡</sup> Matsushita Kotobuki Electronics Industries, Ltd. 247 Mochida-ko, Fukutake, Saijo City, Ehime 793-8510, Japan

E-mail: yamamoto.akira001@jp.panasonic.com

**Abstract** A 0.13 $\mu$ m CMOS DVD SoC has been developed reducing the die size from previous 64mm<sup>2</sup> to this 34mm<sup>2</sup> without degrading its performance and functionality by optimizing chip architecture and implementation scheme in the same generation process technology. The presented SoC features a novel PRML Read channel employing full digital equalizers with oversample method to improve system stability with keeping channel quality.

**Keyword** DVD, CMOS, SoC, PRML, Read Channel, Equalize, Full digital

### 1. はじめに

DVD プレーヤ用のシステム・オン・チップ(SoC)は、プロセスの微細化とともに、全ての機能を統合する方向に進んでいる。また、再生性能を維持したまま、チップを省面積化することと、回路の安定性を高めることも強く望まれている。すでに我々は、0.13  $\mu$  m CMOS プロセスを用いた第 1 世代 DVD プレーヤ用 SoC の開発に成功している[1]。この SoC は、DVD プレーヤシステムの信号処理に必要なとされる全てのアナログおよびデジタル機能を 1 チップ化している。また、高性能なアナログフロントエンド(AFE)と Partial Response

Maximum Likelihood(PRML)信号処理によって、高い再生性能も実現している。しかし、チップのさらなる省面積化と、微細化プロセスではより複雑かつセンシティブになるアナログ回路(例えば AFE の等化器)の安定性向上という重要な課題があった。

本論文では、0.13  $\mu$  m CMOS プロセスを用いたミックスドシグナルの超小型第 2 世代 DVD プレーヤ用 SoC について、特にフルデジタル等化方式 PRML リードチャネルという新規信号処理技術に関して報告する。

## 2. 第2世代 DVD プレーヤ用 SoC

図1に、今回新たに開発した第2世代 DVD プレーヤ用 SoC のブロック図を示す。第1世代と同様に、フロントエンド(FE)、バックエンド(BE)、システムコントローラから構成されている。第1世代 DVD プレーヤ用 SoC での課題を解決するために、FE でフルデジタル等化方式 PRML を、BE で2個の専用プロセッサ構成を採用した。

第2世代 DVD プレーヤ用 SoC は、第1世代と同じく、6層銅配線の0.13 $\mu$ m CMOS プロセスで設計されており、必要な全ての機能を1チップ化している。FE は、32ビット CPU(CPU2)、光ディスクフォーマット(FMT)、サーボ DSP、エラー訂正コード(ECC)ブロック、アナログフロントエンド(AFE)を含む新規 PRML リードチャンネルから構成される。音声・映像(AV)信号を復号するための BE は、2つの専用処理プロセッサを有している。従来のピクセル処理プロセッサは、本 SoC ではマイクロコードに置き換わっているため、プロセッサの数は3つから2つに削減された。システムコントローラは32ビット CPU(CPU1)を持つ。

FE は、光ピックアップ(OPU)からのアナログ信号を受け取り、サーボ DSP で OPU 位置制御のためのフォーカス誤差とトラッキング誤差を計算し、PRML リードチャンネルで記録されているデータとそれに同期したクロックを抽出する。FMT で PRML リードチャンネルからのデータを復調し、ECC で復調データのエラーを訂正し、BE へと出力する。CPU2 は FE を制御する。

BE は、ストリームを解析する IO プロセッサと、AV 信号を復号する AV 復号プロセッサを有する。これらのプロセッサを協調動作させることで、BE はソフトウェア制御の柔軟性を活かした様々なメディア処理に対応できる。

システムコントローラは、本 SoC の全体を制御する。

本 SoC の外部に配置されている SDRAM は、FE と BE が共用する。FE から SDRAM へのアクセスは、統合メモリアクセスコントローラ(UMAC)を通じて行う。

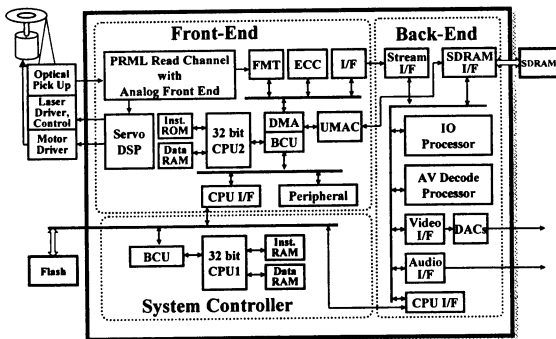


図1 DVD プレーヤ用 SoC のブロック図

## 3. 新規 PRML リードチャンネル

### 3.1. フルデジタル方式 PRML リードチャンネル

図2に本 SoC の PRML リードチャンネルのブロック図を示す。本 PRML リードチャンネルは、ゲイン可変増幅器(VGA)、オフセット調整器、3次 Gm-C アナログローパスフィルタ(ALPF)、7ビット精度のアナログ-デジタル変換器(ADC)[2]、デジタルイコライザ(DEQ)、Least Mean Square (LMS)アルゴリズムによる適応デジタル等化器(ADEQ)、ビタビ復号器(VIT)[3]、Phase Locked Loop(PLL)から構成される。様々な再生信号に対応するために、読み出し処理の最初のステップとして、ゲイン調整とオフセット調整を行う。アンチエイリアス処理は3次 Gm-C ALPF で行う。ALPF のカットオフ周波数は、様々なデータレートに対応できるように、デジタル的に制御される。雑音が除去された信号は ADC に入力され、デジタルデータに変換される。その後、DEQ と ADEQ で前等化処理と後等化処理される。DEQ の周波数特性はタップ係数の値で制御される。ADEQ は残留等化誤差を適応的に補正する。等化されたデータは VIT に入力され、ビタビアルゴリズムに基づいて最尤復号される。そして、最尤復号されたデータが後段のブロックへと出力される。また、DEQ の出力は、同期クロックを抽出するために PLL へと入力される。PLL には周波数制御と位相制御の2つのフィードバックループがある。

本 PRML リードチャンネルは、PR(3,4,4,3)等化方式と、オーバーサンプル方式を採用している。

今回のオーバーサンプル方式において、PLL の構成要素である ADC、DEQ、位相比較器(PC)は、基本的には4倍オーバーサンプルクロックで動作するが、8倍オーバーサンプルに設定することも可能である。これらのブロックの最大動作周波数は324MHzである。

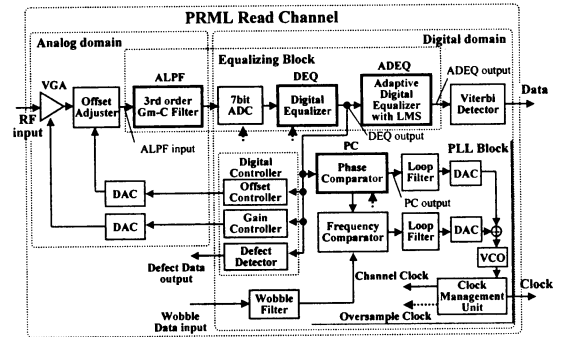


図2 PRML リードチャンネルのブロック図

### 3.2. ALPFとDEQ

第1世代で用いた5次Gm-Cアナログイコライザは、微細化プロセスでのプロセスばらつきの影響を受けやすいためにその開発が困難であり、回路設計やチップレイアウトにも熟考を要した。

そこで本SoCでは、ADC入力におけるアンチエイリアス機能を除いた全てのアナログ等化機能を、デジタル領域に移動した。したがって、本SoCでの等化機能はALPFとDEQから構成されることになり、センシティブなアナログ領域のトランジスタを大幅に削減できた。このため、微細化プロセスにおいても高い安定性を実現できた。また、低次数のALPFを使うことによる雑音の増加と、DEQを付加することによるクロック遅延の増大に対応するため、オーバーサンプル方式を導入した。

図3にPRMLリードチャネルのALPFとDEQのブロック図を示す。ALPFの構造は3次の梯子型Gm-Cフィルタで、そのカットオフ周波数はデジタル的に制御される。DEQは、シフトレジスタと係数部とレート変換部とデータパス部から構成される。データパス部は、部分積生成器とWallace Tree Compressorから構成される。オーバーサンプルクロックのレートによって、DEQのタップ数を変えることができ、4倍オーバーサンプル時には17タップ、8倍オーバーサンプル時には33タップとなる。

17タップ分のハードウェアで33タップFIRを実現するため、データパス部は2倍の速度、すなわち8倍オーバーサンプル時には16倍オーバーサンプルのクロックで動作させる。データ入出力を制御するレート変換部により、データパス部には一切の面積ペナルティは生じない。

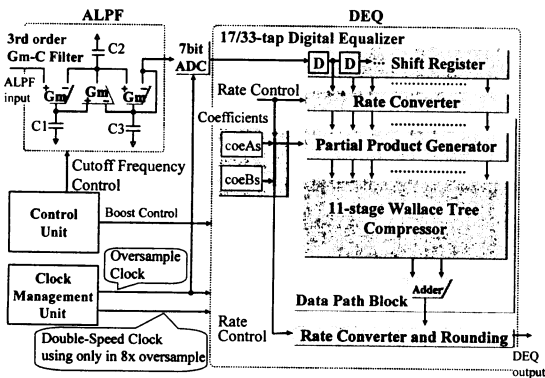


図3 ALPFとDEQのブロック図

図4に本PRMLリードチャネルのAFEとDEQのレイアウトを示し、従来のAFEと比較する。従来の前等化処理はセンシティブなアナログ回路で実現していた

ため、AFEは複雑なブースト制御機能を持った高精度の5次Gm-Cフィルタが必要であった。しかし、本PRMLリードチャネルではデジタル領域で前等化処理を実現しているため、ALPFは簡単な構成であり、等化システム全体も微細化プロセスにおいて高い安定性を実現した。

さらに、提案する等化方式はアナログフィルタ部の面積を80%以上も削減できており、AFE全体でも70%以上も削減できた。

結果として、本PRMLリードチャネルは、等化回路の安定性を向上させるとともに、従来と同じ世代の0.13μm CMOSプロセスを用いたにもかかわらず、その面積を62%も削減できた。このPRMLリードチャネルを搭載した第2世代DVDプレーヤ用SoCの開発に成功し、十分高い性能を得た。

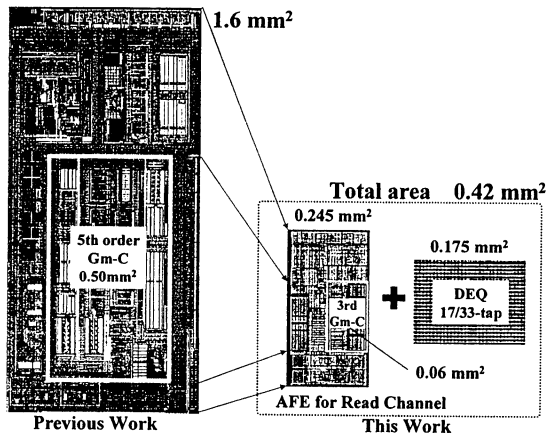


図4 レイアウト比較

以上述べたことから、提案手法は、微細化プロセスで、DVDプレーヤ用SoCのように省面積、高性能が要求されるミックスドシグナルSoCの実現に非常に効果的な手法であるといえる。

### 3.3. 位相比較器

DEQがADCの後段に接続されているため、従来のPLLを本システムにそのまま適用すると、同期クロック抽出のためのPLLにおけるクロック遅延の増大を招く。クロック遅延の増加は、特に位相制御ループにおけるクロック抽出の精度と安定性を劣化させる。そこで、位相制御ループでのクロック遅延の増加を抑制するために、PLLにもオーバーサンプル方式を導入した。図5に今回開発した位相比較器(PC)を示す。位相誤差を算出するためのクロック遅延は、従来のPCが6チャンネルクロックであったのに対して、本PCはわずか2チャンネルクロック相当である。このように大幅に削減

できた要因は次の2点である。まず1点目は、オーバーサンプルされたデータを直接用いることより、余分な演算処理を削減できたことである。これにより、ゼロクロス検出アルゴリズムを簡略化できた。2点目は、PCの出力段におけるダウンサンプルタイミングを最適化したことである。

したがって、本PCをインプリしたPLLの全クロック遅延は、DEQを搭載したにもかかわらず、大幅に減少した。さらに、オーバーサンプルデータを直接用いることにより、より高精度な位相比較が可能となった。

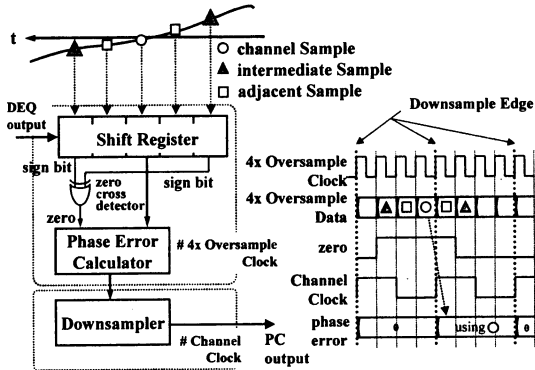


図5 4倍オーバーサンプル時の位相比較器

#### 4. バックエンド

BEはIOプロセッサとAV復号プロセッサを有しており、それぞれはストリーム解析と、AVデータ生成のためのAV信号復号処理を行う。

従来、拡大縮小処理や高画質化処理(ノイズ除去処理・プログレッシブ変換処理)はピクセル処理プロセッサで行われていた。本SoCでは、BEの面積を削減するために、ピクセル処理機能をマイクロコードに置き換えた。さらに、レイアウトを最適化した。これらにより、BEの面積は従来の約60%にまで削減できた。

#### 5. 測定結果

DVDの媒体に欠陥があるときの、PRMLリードチャネルのADEQ出力での等化データ測定結果を図6に示す。DVD再生時のPR(3,4,4,3)等化方式では、再生データは5値に等化される。媒体の欠陥部を読み終えたあと、データの欠損を起こすことなく、数100チャネルクロック以内で、PLL、AGC、LMS等のフィードバックループが通常状態に回復した。この回復性能は従来と同程度に高速である。

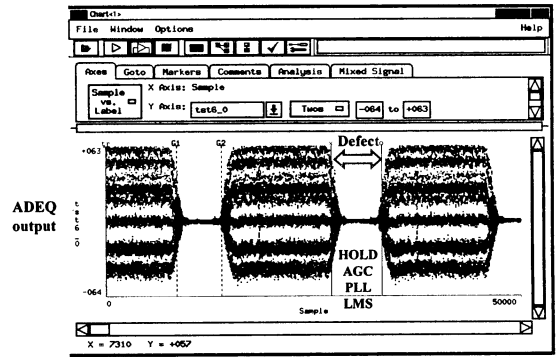


図6 ディスク欠陥検出時の回復状況

DVD-RWを等倍速で再生したときのジッタ特性の測定結果を図7に示す。最小ジッタ値10.2%は、ALPFのカットオフ周波数が13.46MHz、DEQのブースト値が7dBのときに得られた。この最小ジッタ値10.2%をビットエラーレート(BER)に換算すると $10^{-6}$ 相当となる。最小ジッタ値は従来と比べて約0.1%改善されており、ジッタ性能の劣化はない。

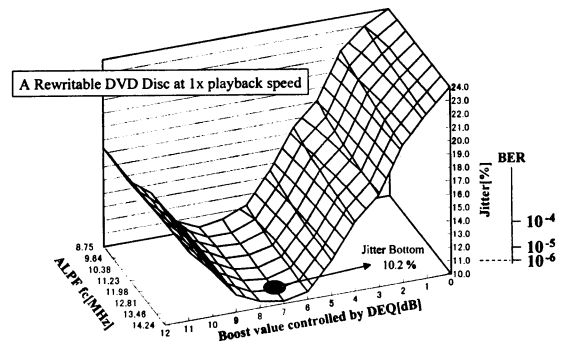


図7 ジッタ特性

#### 6. チップ写真

新規PRMLリードチャネルを組み込んだ、第2世代DVDプレーヤ用SoCのチップ写真を図8に示す。

表1 諸元

	DVD Player SoC in the Previous Work	DVD Player SoC in This Work
Package	256 pin LQFP	256 pin LQFP
Process Technology	0.13um 1PS6M CMOS	0.13um 1PS6M CMOS
Power Supply	3.3V (Analog) 1.5V (Digital)	3.3V (Analog) 1.2V (Digital)
Die Size	63.87mm <sup>2</sup> (10.09mm x 6.33mm)	34.43mm <sup>2</sup> (5.69mm x 6.05mm)
Number of Transistors	24 Million Transistors	18.3 Million Transistors
Power Consumption	1.5W(@DVD 1.5x playback)	1.2W(@DVD 1.5x playback)
PRML Read Channel Occupied Area	4.2mm <sup>2</sup>	1.6mm <sup>2</sup>
PRML Read Channel Power Consumption	93mW at DVD 1.5x playback	56mW in 4x oversample mode at DVD 1.5x playback
PRML Read Channel Pre-Equalizing System	Analog Method (5th order Gm-C Equalizer)	Digital Method (3rd order ALPF + Digital Equalizer)

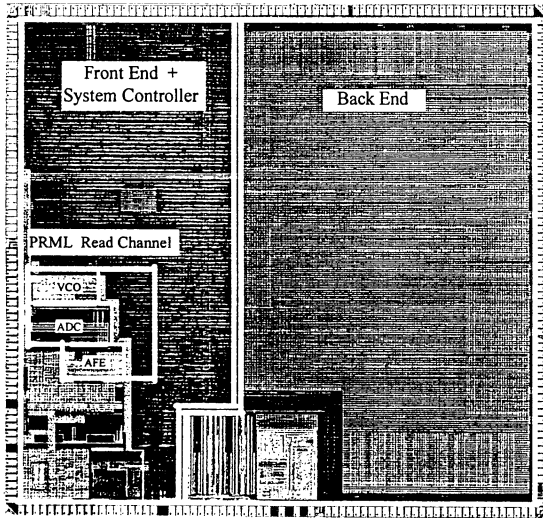


図8 チップ写真

本 SoC は、0.13 μm 1PS 6 層銅配線の CMOS プロセスで製造されており、34.43mm<sup>2</sup> のチップの中に 1830 万個のトランジスタが集積されている。また、従来と同様に、FE、BE、システムコントローラが 1 チップ化されている。回路の削減と、システム全体性能の最適化によるリードチャンネルと BE の占有面積の削減と、SoC におけるレイアウト最適化の効果により、大幅なチップ面積削減を達成した。本 SoC の PRML リードチャンネルは、システムの安定性向上だけではなく、SoC の面積削減にも貢献している。

図 9 に本 SoC と従来の SoC との比較を示す。同じ世代の 0.13 μm CMOS プロセスを用いているにもかかわらず、チップ面積を 63.87mm<sup>2</sup> から 34.43mm<sup>2</sup> へと大幅に削減できた。PRML リードチャンネルの面積は、従来は 4.2mm<sup>2</sup> であったが、それをわずか 1.6mm<sup>2</sup> にまで削減できており、削減率は 62% に及ぶ。さらに、システムの安定性は従来よりも向上している。

表 1 に諸元を示す。

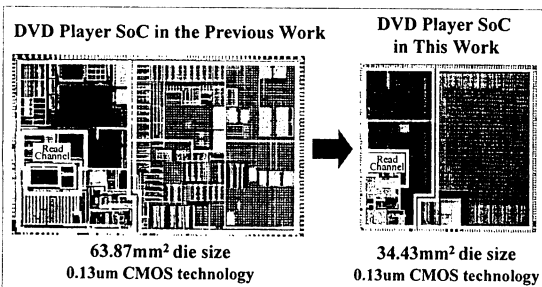


図9 SoC 比較

## 7. まとめ

フルデジタル等化方式 PRML リードチャンネルを搭載した DVD プレーヤ用の第 2 世代超小型 SoC の開発に成功した。本 SoC は、従来と同じく、0.13 μm CMOS プロセスを用いており、アナログとデジタルの全ての機能を 1 チップ化している。チップ面積は 34.43mm<sup>2</sup>、トランジスタ数は 1830 万個、DVD 1.5 倍速再生時の消費電力はわずか 1.2W である。従来と同じ世代のプロセスを用いているにもかかわらず、性能と機能を維持したまま、その面積を 46% も削減できた。

また、開発が困難であり、かつ雑音等の様々な要因に対して影響を受けやすいアナログ回路のかわりに、フルデジタル等化方式を採用し、それによって、安定性が高く、かつ面積が小さい PRML リードチャンネルが実現できた。PRML リードチャンネルの消費電力は、DVD 1.5 倍速再生、4 倍オーバーサンプルモードでわずか 56mW であった。

## 謝辞

本 SoC の開発に関しご尽力をいただいた、松澤氏、清家氏、川上氏、水谷氏、河嶋氏、西嶋氏、古池氏に感謝いたします。

## 文 献

- [1] K. Okamoto, *et al.*, "A Fully-Integrated 0.13um CMOS Mixed-Signal SoC for DVD Player Applications," IEEE J. Solid-State Circuits, vol.38, pp.1981-1991, Nov. 2003.
- [2] K. Sushihara, *et al.*, "A 7b 450Msamples/s 50mW CMOS ADC in 0.3mm<sup>2</sup>," ISSCC Dig. Tech. Papers, pp. 170-171, Feb. 2002.
- [3] A. Yamamoto, *et al.*, "A 500MHz 50mW Viterbi Detector for DVD Systems using Simplified ACS and New Path Memory Architecture," Symposium on VLSI Circuits Dig. Tech. Papers, pp.256-259, Jun. 2002.