

## 高コード効率と低レイテンシ処理を実現した自動車制御・民生・産業 機器向けコントローラ用 CPU コアの開発

勝 康夫<sup>†</sup> 竹内 誠二<sup>‡</sup> 安部 雄一<sup>††</sup> 山田 弘道<sup>††</sup> 平柳 和也<sup>‡</sup> 富田 明彦<sup>‡</sup>  
萩原 今朝巳<sup>‡</sup> 片岡 健<sup>‡</sup> 志村 隆則<sup>†</sup>

<sup>†</sup> 株式会社 日立製作所 中央研究所 〒185-8601 東京都国分寺市東恋ヶ窪 1-280

<sup>‡</sup> 株式会社 ルネサステクノロジ 〒187-8588 東京都小平市上水本町 5-20-1

<sup>††</sup> 株式会社 日立製作所 日立研究所 〒319-1292 茨城県日立市大みか町 7-1-1

E-mail: <sup>†</sup> {y-sugure, shimura}@crl.hitachi.co.jp,

<sup>‡</sup> {takeuchi.seiji, hirayanagi.kazuya, tomita.akhiko, hagiwara.kesami, kataoka.takeshi}@renesas.com,

<sup>††</sup> {abeabe, hyamada}@gm.hrl.hitachi.co.jp

あらまし 高コード効率と低レイテンシの命令及び割込み処理を実現した、自動車制御・民生・産業機器向け 32 ビット組込み RISC コントローラ CPU コアを開発した。本コアは、200MHz 動作時に 360MIPS, 400MFLOPS の性能を達成した。高コード効率の実現のため、新規命令の追加と C コンパイラ改善により、コード効率が従来の約 75% に改善した。また、低レイテンシの命令処理のために、パイプラインの段数を 5 段あるいは最小 3 段に抑えた 2 並列 スーパスカラ方式などを採用することで、サイクル性能が従来の約 1.8 倍向上した。更に、レジスタバンクとスーパスカラ構造に最適化したレジスタ読み出しバスを利用することで、割込み例外処理とレジスタ退避処理の並列実行が可能となった。その結果、割込み応答時間が従来の 37 サイクルから 6 サイクルまで大幅に短縮できた。

キーワード コントローラ、RISC、高コード効率、低レイテンシ、割込み応答時間

## Small-Code-Size and Low-Latency Microcontroller Core for Automotive, Industrial, and PC-Peripheral Applications

Yasuo SUGURE<sup>†</sup> Seiji TAKEUCHI<sup>‡</sup> Yuichi ABE<sup>††</sup> Hiromichi YAMADA<sup>††</sup>

Kazuya HIRAYANAGI<sup>‡</sup> Akihiko TOMITA<sup>‡</sup> Kesami HAGIWARA<sup>‡</sup>

Takeshi KATAOKA<sup>‡</sup> and Takanori SHIMURA<sup>†</sup>

<sup>†</sup> Central Research Laboratory, Hitachi Ltd. 1-280 Higashi-koigakubo, Kokubunji-shi, Tokyo, 185-8601 Japan

<sup>‡</sup> Renesas Technology Corp. 5-20-1 Jyousuichon-cho, Kodaira-shi, Tokyo, 187-8588 Japan

<sup>††</sup> Hitachi Research Laboratory, Hitachi Ltd. 7-1-1 Omika-cho, Hitachi-shi, Ibaraki, 319-1292 Japan

E-mail: <sup>†</sup> {y-sugure, shimura}@crl.hitachi.co.jp,

<sup>‡</sup> {takeuchi.seiji, hirayanagi.kazuya, tomita.akhiko, hagiwara.kesami, kataoka.takeshi}@renesas.com,

<sup>††</sup> {abeabe, hyamada}@gm.hrl.hitachi.co.jp

**Abstract** A 32-bit embedded RISC microcontroller core targeted for automotive, industrial, and PC-peripheral applications has been developed to offer the smaller code size, lower-latency instruction and interrupt processing. The core achieved 360MIPS and 400MFLOPS at 200MHz measured using Dhrystone 1.1. For smaller code size, new instructions have been added to the instruction set. These new instructions, as well as an enhanced C compiler, produce object files about 25% smaller than those for a previous designed core. A dual-issue superscalar structure consisting of three- or five-stage pipelines provides instruction processing with low latency. The cycle performance is an average of 1.8 times faster than the previous designed core. The superscalar structure and the register bank are used to save CPU registers to the register bank in parallel when executing interrupt processing. This structure significantly improves interrupt response time from 37 cycles to 6 cycles.

**Keyword** Microcontroller, RISC, Smaller code size, Low-latency, Interrupt response time

## 1. はじめに

近年、自動車制御・民生・産業機器分野での制御高度化に伴い、組込み制御用コントローラマイコンに対する高性能化・高機能化の要求が大きくなっている。自動車制御分野でのエンジン制御では、年々燃費・排ガスに関する法規制が厳しくなる中、更なる燃費向上と排ガス対策を図るため、電子制御の対象箇所の増加に対応できる処理の高速化と、制御内容の複雑化に伴い爆発的に増大したプログラムのコードサイズ削減が要求されている。また、プリンタなどの民生機器では、例えばスキャナからの画像データを高速に演算しつつ印字制御と連携するなどの、システム機能レベルでの複合化が拡大しており、AC サーボなどの産業機器でも、システムの高精度化が進んでいる。このため、民生・産業機器分野においても、処理の高速化が要求されている。

制御用コントローラマイコンの特長は、内蔵フラッシュメモリや外付け ROM に格納している制御プログラムにもとづき処理を実行することと、リアルタイム性能を要求する機器に対応することである。

特に内蔵フラッシュメモリを搭載したマイコンでは、爆発的に増大した制御プログラムを格納するために、内蔵フラッシュメモリの大容量化を図ってきている。しかし、内蔵フラッシュメモリ容量の増大はコスト増加に直結するため、プログラムのコードサイズを削減することによるメモリ容量ひいてはチップコストの低減が期待される。

また、処理の高速化の観点から見ると、例えばマルチメディア向け組込みプロセッサ[1][2]では、膨大なデータ量を演算するためスループットが高いことが重視されるが、制御用コントローラマイコンでは、決まったプログラムをいかに早く実行するか、そしてリアルタイム制御をいかに確実に実行するかが要求されているため、命令実行時及び割り込み時において、レイテンシの低い処理が重視される。

このような背景のもと、我々は組込みコントローラ向け 32 ビット SuperH RISC マイコンの CPU コアである「SH-2A」を開発した[3]。本稿では、SH-2A の高コード効率と命令及び割り込みの低レイテンシ処理方式について述べる。

## 2. 高コード効率

### 2.1. 命令セット

高コード効率の実現のため、C コンパイラ改善に加え、SH-2 の命令セットに高機能な 16 ビット長あるいは 32 ビット長の新規命令を追加した。表 1 に SH-2A で追加した新規命令をまとめた。コードサイズの削減

については、従来、複数命令必要であった処理を、新規命令の追加により 1~3 命令に置き換えることで実現している。16 ビット長の新規命令として、ダイナミックシフト命令、32 ビット÷32 ビットの除算命令、遅延スロットなし分岐命令、汎用レジスタ書き戻し乗算命令、複数レジスタ退避/復帰命令、等々がある。また、SH-2A では、従来の 16 ビット固定長命令の命令セットに 32 ビット長の新規命令を追加した。32 ビット長の新規命令として、20 ビットの即値や 12 ビットのディスプレイースメントを有する転送命令、ビット操作命令がある。図 1 に、20 ビットの即値と 12 ビットのディスプレイースメントを有する 32 ビット命令の命令フォーマットを示す。従来の SH-2 では、命令コードに配置できる即値やディスプレイースメントが 8 ビット以下であったため、8 ビットを超える値については、ROM のプログラムエリアの定数として配置され、主にプログラムカウンタ (PC) 相対命令を用いてその定数にアクセスしていた。SH-2A では、20 ビットの即値及び 12 ビットのディスプレイースメントを有する命令を追加することで、コードサイズの削減を図るだけでなく、メモリアクセスの頻度減少による性能向上も図った。

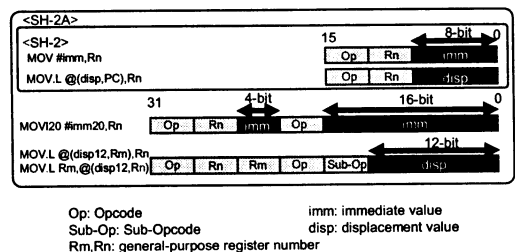


図1 32ビット命令の命令フォーマット

表1 SH-2Aの新規命令

命令長	動作内容	命令
16bit	ダイナミックシフト	SHAD,SHLD
	除算	DIVS,DIVU
	遅延スロットなし分岐	JSR/N,RTS/N,RTV/N
	Rnに結果を格納する乗算	MULR
	複数レジスタの退避/復帰	MOVML,MOVMLL
	飽和演算	CLIPS,B/W,CLIPU,B/W
	ビット処理演算	BCLR,BSET,BST,BLD
	Tビット操作	MOVRT,MOVVT
	逆スタック転送	MOV,B/W/L
	転送	LDC,STC
	レジスタバンク関連	RESBANK,STBANK,LDBANK
キャッシュ関連	PREF	
32bit	即値転送	MOV120,MOV120S
	拡張ディスプレイースメント転送	MOV,B/W/L,MOVU,B/W/L FMOV,S/D
	ビット操作	BAND,B, BOR,B, BCLR,B, BSET,B, BST,B, BLD,B, BXOR,B, BANDNOT,B, BORNOT,B, BLDNOT,B

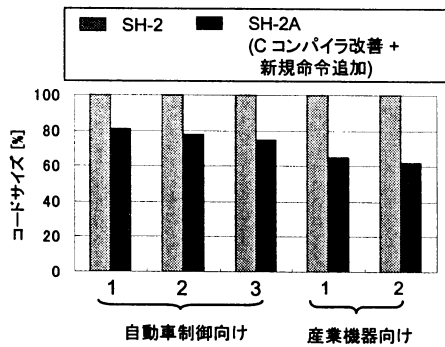
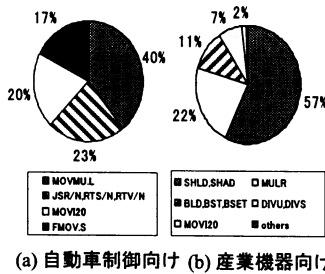


図2 SH-2Aのコードサイズ削減



(a) 自動車制御向け (b) 産業機器向け

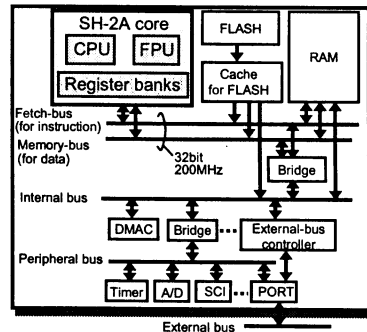
図3 SH-2Aの新規命令によるコードサイズ削減要因内訳

## 2.2. コードサイズ削減結果

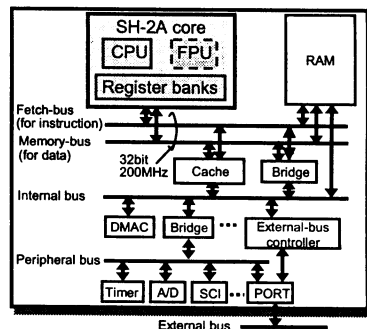
図2に自動車エンジン制御向け及び産業モータ制御向けのアプリケーションによるコードサイズ削減効果を示す。新規命令とCコンパイラの改善により、SH-2コアと比較して平均25%のコードサイズを削減することができた。そのうち、新規命令によるコードサイズ削減効果は5-15%となった。

図3に、各自動車制御向けと産業機器向けアプリケーションでの新規命令によるコードサイズ削減要因の内訳を示す。なお、新規命令によるコードサイズ削減分全体を100%とした。図3の結果から、以下のことが明らかになった。

- (1) 産業機器向けアプリケーションでは、ダイナミックシフト命令(57%)、汎用レジスタ書き戻し乗算命令(22%)、ビット操作命令(11%)、除算命令(7%)がコードサイズ削減に効果があった。
- (2) 自動車制御向けアプリケーションでは、複数レジスタ退避/復帰命令(40%)と、遅延スロットなし分岐命令(23%)がコードサイズ削減に効果があった。
- (3) 各アプリケーションでコードサイズ削減に効果のある新規命令が異なることから、SH-2Aで追



(a) 内蔵ROM (自動車制御・産業機器向け)



(b) 外付けROM (民生向け)

図4 SH-2A ブロック図

加した新規命令が、種々のアプリケーションに幅広く対応していることが確認できた。

## 3. 低レイテンシ命令処理

### 3.1. コア構成

図4に、SH-2Aコアを用いたマイクロコントローラのブロック図を示す。それぞれ、図4(a)が自動車制御や産業機器向けに使用される内蔵ROM(フラッシュメモリ)搭載品、図4(b)が民生向けに使用される外付けROM搭載品のブロック図である。SH-2Aコアは、CPU、FPU、レジスタバンクから構成されており、それらは0.13もしくは0.15 $\mu$ m CMOSテクノロジーを使用し200MHzで動作する。また、SH-2Aコアはハーバードアーキテクチャを採用しており、命令フェッチバスとデータ転送用メモリバスを独立に備えている。各バス幅は、32ビットである。図4(a)に示すとおり、内蔵フラッシュメモリ搭載品では、バスと内蔵フラッシュメモリの間にフラッシュメモリ専用のキャッシュを備えることで、CPUとフラッシュメモリの速度差による性能低下を抑えている。

### 3.2. パイプライン構造

図5に、SH-2Aコアのパイプライン構造を示す。低

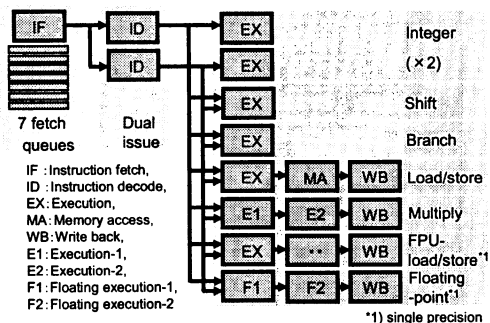


図5 SH-2Aのパイプライン構造

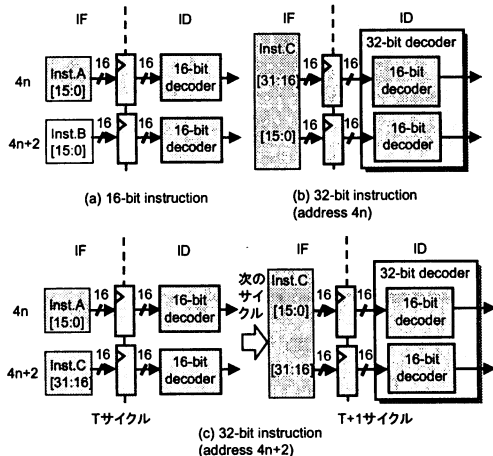


図6 SH-2Aの16/32ビット命令デコードの概要

レイテンシの命令処理を実現するために、SH-2A コアのパイプライン段数を5段もしくは3段とした。SH-2A では、整数演算とシフトと分岐のパイプライン段数を3段とし、レジスタへのライトバックはEX段で行うため、バイパス論理が簡素化できた。パイプライン段数が3段で構成可能な理由は、マイクロコントローラはプロセッサとは異なり例外の検出をしさえすればよいので、MA や WB 段でのメモリアクセスでの例外により命令の実行を止める必要がないからである。

次に、命令処理フローについて述べる。SH-2A は2並列スーパースカラ方式であるため、最初に、IF段でフェッチされた命令が7つの命令キューのいずれかに格納される。そして、その命令キューから供給される最大2つの命令をID段でデコードする。なお、7つの命令キューについては、サイクル性能評価により命令キュー数の最適化を行った。ID段でデコードした情報をもとに、次のステージで2本の整数演算と1本のシフト演算、分岐、ロード/ストア、乗算、FPUに関するロード/ストア、FPU演算の合計8本のパイプラインの中から最大2つのパイプラインに命令を発行する。

以上説明した2命令同時発行のスーパースカラ方式の

採用により、SH-2A コアでは、200MHz 動作時において Dhrystone 1.1 で 360MIPS、400MFLOPS を達成した。

### 3.3. 命令デコード部

図6に、16ビット命令と32ビット命令が混在した命令セットを有するSH-2Aでの、CPU制御部の命令デコード部の概要を示す。各図に関して、上段が4n番地を、下段が4n+2番地を先頭に命令を配置した場合を示す。SH-2Aでは、2並列のスーパースカラ構造であるため、16ビットデコーダを2つ備える必要があった。そのデコーダ構成により、16ビットと32ビットが混在した命令の実行を容易に実現することが可能となった。図6(a)のように、16ビット命令実行時では、16ビットの2つのデコーダを用いて最大2つの命令を発行する。一方、図6(b)(c)のように、32ビット命令のデコードでは、上位16ビットと下位16ビットに分割された命令コードが、IF段とID段間の2つの16ビットのF/Fを経由して、各16ビットデコーダに入力される。また、2つの16ビットデコーダを備えることにより、32ビット命令の先頭番地が4nと4n+2の両パターンでのデコードに関する対応も可能とした。

よって、SH-2A コアでは、2つの16ビットのデコーダと2つの16ビットのF/Fを備えるだけで、16ビット命令と32ビット命令が混在した命令処理が容易に実現でき、命令デコード部の論理段数を少なくすることができた。

### 3.4. サイクル性能向上結果

図7に、単位サイクル当たりの性能向上結果を示す。コードサイズ削減結果と同様のアプリケーションプログラムを用いて評価を行った。その結果、SH-2Aでは、従来のシングルスカラー方式であるSH-2コアと比較して、平均1.8倍のサイクル性能向上を達成した。

図8に、各自動車制御向けと産業機器向けアプリケーションごとにサイクル性能向上の要因内訳を示す。なお、SH-2からのサイクル性能向上分を100%とした。図8の結果、以下のことが明らかになった。

- (1) スーパースカラとハーバードバスによる性能向上要因が60%を越え、特に自動車制御向けアプリケーションでは71%に達した。このことから、スーパースカラとハーバードバスがサイクル性能向上に大きく寄与していることが明らかとなった。
- (2) 即値を拡張した32ビット命令であるMOVI20命令の追加に伴うメモリアクセス不要が、自動車制御向けでは12%、産業機器向けでは8%の性能向上に寄与した。

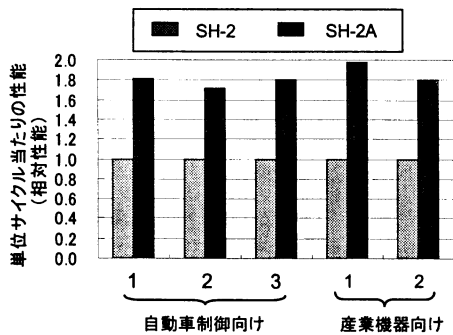
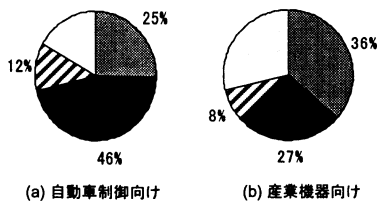


図7 SH-2Aのサイクル性能向上



(a) 自動車制御向け

(b) 産業機器向け

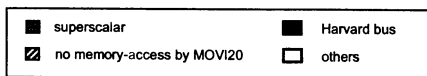
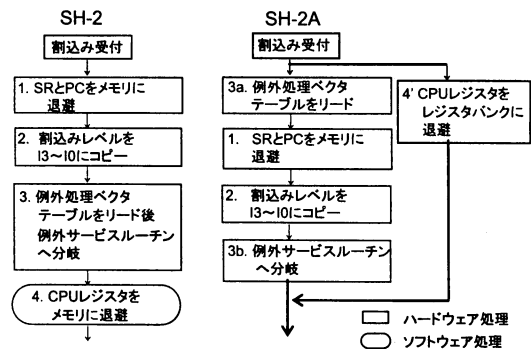
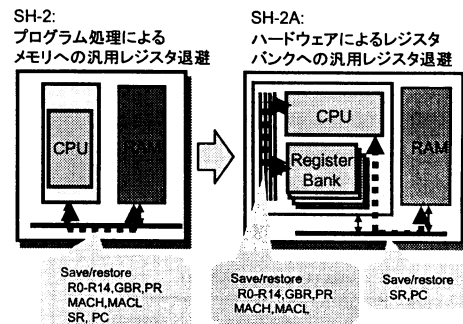


図8 SH-2Aのサイクル性能向上の要因内訳



(a) 割り込み動作フロー



(b) SH-2Aのレジスタバンク概要図

## 4. 低レイテンシ割り込み処理

### 4.1. 割り込み処理の概要

SH-2A では、割り込み応答時間を短縮することで、リアルタイム性能向上を実現した。まずは、割り込み処理の概要について述べる。図 9(a)に割り込みシーケンスのフローチャートを示す。以下、従来の SH-2 コアの割り込み受け付け後の割り込みシーケンスのフローを述べる。

1. ステータスレジスタ(SR)と PC をメモリに退避する。
2. 受け付けた割り込みの優先レベルを SR の割り込みマスクレベルビット(I3-I0)にコピーする。
3. CPU が受け付けた割り込みに対応した例外処理ベクタテーブルから例外サービスルーチンのアドレスをリードし、そのアドレスに分岐する。
4. 19本のCPUレジスタ(汎用レジスタ R0-R14, コントロールレジスタ GBR,PR, 乗算結果格納レジスタ MACH,MACL)をプログラム処理によりスタックへ退避する。

割り込み処理を大別すると、上記 1~3 の割り込み例外処理と上記 4 のレジスタ退避処理に分けられる。SH-2A コアでは、大別した 2 つのそれぞれの処理に関して、割り込み応答時間の短縮を図っている。割り込み例外処理に関しては、上記 3 の例外処理ベクタテーブルリード

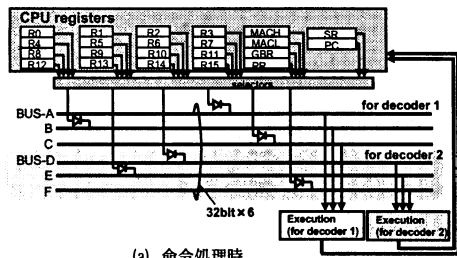
動作の順番を割り込み例外処理の先頭に移すことで、リード動作待ち時に上記 1,2 の例外処理を実行することが可能となる。

一方、レジスタ退避処理に関しては、各 15 の割り込みレベルに対応した CPU レジスタ退避専用のレジスタバンクを内蔵したのに加え、スーパースカラ構造向けに最適化したレジスタ読み出しバスを利用することで、1 サイクルに最大 4 レジスタの退避と、割り込み例外処理との並列実行を可能とした。次節で、その詳細構成を述べる。

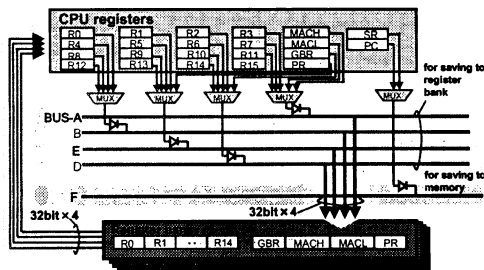
### 4.2. 内部構成

図 10(a)に命令実行時、図 10(b)に割り込み処理時の SH-2A の内部バス構成図の概要を示す。SH-2A コアでは 2 並列スーパースカラ構造採用に伴い CPU レジスタの読み出しバス(32 ビット幅)を 6 本とした。そのうちの BUS-A,B,C の 3 本がデコーダ 1 用に、BUS-D,E,F の 3 本がデコーダ 2 用にそれぞれ割り当てられており、命令実行時に、最大 2 つの命令が実行できるようなバス構成となっている。

一方、割り込み処理時では、内部バス 6 本のうち 4 本を、レジスタバンクへの 19 本の CPU レジスタの退避



(a) 命令処理時



(b) 割込み処理時

図10 内部バス構造

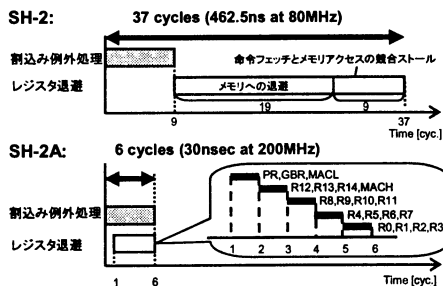


図11 SH-2Aの割込み応答時間短縮

用に、残りの1本を、SRとPCのメモリへの退避用にそれぞれ割り当てている。その結果、1サイクルで最大4つのCPUレジスタの退避と、割込み例外処理とレジスタの退避を並行に処理することが可能となった。なお、レジスタバンクからのレジスタへの復帰に関しても、1サイクルで4レジスタが復帰できるように、各32ビット幅の専用バス4本を備えた。

### 4.3. 割込み応答時間短縮結果

図11に、SH-2Aでの割込み応答時間の短縮結果を示す。従来のSH-2の割込み応答時間は、割込み例外処理が9サイクル、19本のCPUレジスタのメモリへの退避が19サイクルかかるのに加えて、命令フェッチとメモリアクセスの競合によるストールが9サイクル入り、合計37サイクル(462.5ns, 80MHz)かかっていた。一方、SH-2Aコアでは、レジスタ退避処理に関して、内蔵レジスタバンクとスーパスカラ構造に伴い最適化

したレジスタ読み出し内部バスを最大限利用することで、19本のCPUレジスタの退避が5サイクルで実行が完了し、かつ割込み例外処理とレジスタ退避が並列に実行することが可能となった。更に、前述の割込み例外処理フローの入れ替えによって、割込み例外処理時間が6サイクルに短縮した。

以上の結果より、SH-2Aでは割込み応答時間が6サイクル(30ns, 200MHz)に短縮することができ、SH-2Aコアでの低レイテンシの割込み処理を実現することができた。

## 5. まとめ

高コード効率と低レイテンシの命令及び割込み処理を実現した、自動車制御・民生・産業機器向け32ビット組込みRISCコントローラCPUコアを開発した。本コアは、200MHz動作により、360MIPS, 400MFLOPSを達成した。本コアの特徴は以下の3点である。

- (1) コード効率向上を目的として追加した新規命令とCコンパイラの改善により、従来比25%のコードサイズを削減することができた。
- (2) パイプライン段数を5段あるいは最小3段で構成した2並列スーパスカラ構造とハーバードアーキテクチャ方式の採用により、単位サイクル当たりの処理性能が従来比平均1.8倍向上した。
- (3) レジスタバンクとスーパスカラ構造向けに最適化したレジスタ読み出し内部バスを利用することで、割込み例外処理とレジスタ退避が並列に実行でき、かつレジスタバンクへ同時に4本のレジスタを退避することが可能となった。その結果、割込み応答時間が、従来の37サイクルから6サイクル、実時間に換算すると、463nsから30nsの短縮を実現することができた。

## 謝辞

本CPUコアの開発に関し、株式会社ルネサステクノロジ 岩田氏、永山氏、山崎氏、株式会社日立製作所 内山氏、荒川氏、荒氏、森島氏、及び関係各位に感謝いたします。

## 文献

- [1] T.Yamada, et al., "A 133MHz 170mW 10A Standby Application Processor for 3G Cellular Phones," IEEE International Solid-State Circuits Conference, pp.370-371, 474, Feb.2002.
- [2] F.Arakawa, et al., "An Embedded Processor Core for Consumer Appliances with 2.8GFLOPS and 36M Polygons/s FPU," IEEE International Solid-State Circuits Conference, pp.334-335, 531, Feb.2004.
- [3] Y.Sugure, et al., "A Very-Low-Latency Superscalar Microcontroller for Automotive, Industrial, and PC-Peripheral Applications," COOL Chips VII, pp.329-338, Apr. 2004.