

低消費電力 DSP を用いた H.264 ビデオデコーダの開発

五嶋 健治[†] 青木 啓史[†] 幡生 敦史[†] 松原 岳次[‡] 山田 慎一[‡] 宮崎 孝[†]

[†] 日本電気株式会社 メディア情報研究所 〒211-8666 神奈川県川崎市中原区下沼部 1753
[‡] NEC マイクロシステム株式会社 システム事業部 〒211-0063 神奈川県川崎市中原区小杉町 1-403-53

E-mail: [†] {k-goto@da, hao@bu, a-hatabu@bc, miyazaki@cw}.jp.nec.com

[‡] { taketsugu.matsubara, shinichi.yamada}@nms.necel.com

あらまし 携帯端末向け低消費電力 DSP (NEC uPD77050, 250MHz 動作)を用いた QVGA サイズ対応の H.264 Baseline Profile (BP)準拠のリアルタイムビデオデコーダを開発した。本デコーダは、DSP とフレームメモリとして利用する外部メモリでデコード処理を実行する。プログラムの最適化、データ配置の工夫、DMA を使ったデータ転送の効率化などにより、QVGA サイズ、15fps の H.264 BP ビデオストリームを 100Mbytes/sec でデコードできた。地上波デジタル 1 セグ放送のビデオ、オーディオフォーマットに採用されている H.264 と MPEG-4 AAC のデコードが、1 個の DSP でできることを確認した。

キーワード H.264, 低消費電力 DSP, 地上波デジタル 1 セグ放送

Development of H.264 Decoder Using Low Power DSP

Kenji GOTO[†] Hirofumi AOKI[†] Atsushi HATABU[†] Taketsugu MATSUBARA[‡]
Shinichi YAMADA[‡] and Takashi MIYAZAKI[†]

[†] Media and Information Research Laboratories, NEC Corporation

1753, Shimonumabe, Nakahara-Ku, Kawasaki, Kanagawa, 211-8666 Japan

[‡] System Division, NEC Micro Systems, Ltd.

403-53, Kosugi-Cho 1-Chome, Nakahara-Ku, Kawasaki, Kanagawa, 211-0063, Japan

E-mail: [†] {k-goto@da, hao@bu, a-hatabu@bc, miyazaki@cw}.jp.nec.com

[‡] { taketsugu.matsubara, shinichi.yamada}@nms.necel.com

Abstract This paper describes a QVGA resolution H.264 video decoder using a low-power and general-purpose DSP (NEC uPD77050, 250MHz). The decoder can decode H.264 Baseline Profile bitstream using one low power DSP, and one external memory used for frame memories. To optimize the program, reduce the data access, and plan the schedule of DMA requests, this decoder operates QVGA, 15fps, H.264 bitstream and MPEG-4 AAC bitstream standardized for digital terrestrial TV broadcasts aimed at mobile receivers such as cellular phones.

Keyword H.264, Low Power DSP, Digital Terrestrial Television

1. はじめに

2005 年度に放送開始予定の地上波デジタル 1 セグ放送 [1] や、地上デジタルラジオ放送 [2] の簡易動画フォーマットに H.264/MPEG-4 AVC [3] が採用された。本サービスは QVGA (320x240 画素) サイズ、15fps で行う予定である。現在、携帯電話では TV 電話やビデオコンテンツサービスに MPEG-4 Simple Profile (SP) を採用しており、ビットレート 64kbps で、QCIF (176x144 画素) サイズの映像と音声でサービスを行っている。近年の携帯端末のディスプレイの高解像度化などにより、QVGA サイズの映像による高品質なサービスが実現可能となり、MPEG-4 SP に比べ、低ビットレートで高画

質を実現できる H.264 に期待が集まっている。

ビデオコーデック処理は、大量の信号処理演算を必要とする。携帯端末向けのデバイスは、小型かつ低消費電力であることが強く求められる。このため、携帯端末向けではビデオコーデック処理の実現は難しい。従来、最新の LSI 技術を用いた低消費電力の AV コーデック専用 LSI や、ビデオ処理に特化した DSP を開発、実用化してきた。しかし、H.264 BP は MPEG-4 SP に比べ符号化/復号化に 2~3 倍の演算量を必要とし、実現が困難であった。

本発表では、携帯端末向け低消費電力汎用 DSP (NEC uPD77050, 250MHz 動作) [4] を用いた H.264 BP 準拠の

ビデオデコーダを開発したので報告する。本デコーダは H.264 デコード処理を実行する DSP とフレームメモリとして利用する外部メモリで構成される。QVGA サイズ、15fps の H.264 ビデオストリームを 100Mcycles/sec でデコード処理できる性能がある。地上波デジタル 1 セグ放送で採用された H.264 と MPEG-4 AAC のデコードを、1 個の DSP でできることを確認した。

2. H.264 デコーダの開発

2.1. ミドルウェアの機能

ビデオデコーダの仕様は、表 1 に示すように地上波デジタル 1 セグ放送をカバーする H.264 BP Level 1.2 である。目標性能は QVGA サイズ、15fps の H.264 ビデオとオーディオ(MPEG-4 AAC)のデコード処理を 1 個の DSP で同時処理することである。

デコーダに使う DSP は、携帯端末に搭載可能な低消費電力 16 ビット固定小数点 DSP(uPD77050)である。表 2 に DSP の緒元を示す。DSP コアは最大 250MHz で動作する。DSP は最大 4 命令同時発行できる。2 並列処理を行える SIMD 命令は、2 命令同時発行でき、最大 4 並列処理が可能である。内蔵の命令メモリ、データメモリはそれぞれ 64KB、命令キャッシュは 16KB、さらにオンチップメモリ(SRAM)は 256KB である。内蔵の命令メモリ、データメモリ、命令キャッシュは DSP から 0 ウェイトでアクセス可能であるが、SRAM へのアクセスは 7~8 ウェイトサイクル必要である。周辺機能として SDRAM I/F を内蔵し、外部に SDRAM を接続できる。1 次元 DMA と 2 次元 DMA をサポートした DMA コントローラを搭載している。2 次元 DMA を利用することによりビデオコーデック処理で必要となる画像のブロック転送が可能となる。

表 1 H.264 ビデオデコーダミドルウェアの機能と目標性能

項目	対応
符号化方式	ITU-T Rec. H.264 (ISO/IEC 14496-2 Part-10)
プロファイル	Baseline Profile
レベル	~ 1.2
対応画像サイズ	~ CIF(352x288 画素)
対応ビットレート	~ 384kbps
フレームレート	~ 15fps
入力フォーマット	H.264 Baseline Profile Elementary Stream
動作プラットフォーム	NEC uPD77050

表 2 uPD77050 の主要緒元

基本仕様	16 bit 固定小数点 DSP
動作クロック	最大 250MHz
消費電力	最大 250mW
内蔵メモリ 命令 RAM 命令 Cache RAM データ RAM SRAM	64KB 16KB 64KB 256KB
機能	最大 4 命令同時発行 SIMD 命令の搭載 (2 命令同時発行可能)
周辺機能	SDRAM I/F DMAC

2.2. システム構成

図 1 に示すように、本 H.264 デコーダはデコード処理を行う DSP(uPD77050)とフレームメモリとして使用する外部 SDRAM で構成される。SRAM には命令コードや、データの一部を配置し、外部 SDRAM はフレームメモリや入力ストリームの供給場所として利用する。

入力ストリームは外部バス(Ex. Bus)を通じて SDRAM に DMA 転送される。DSP は入力ストリームを読み込み、デコード処理を行い、デコード画像を SDRAM に書き込む。デコード画像は SDRAM からビデオ出力部へ DMA 転送される。

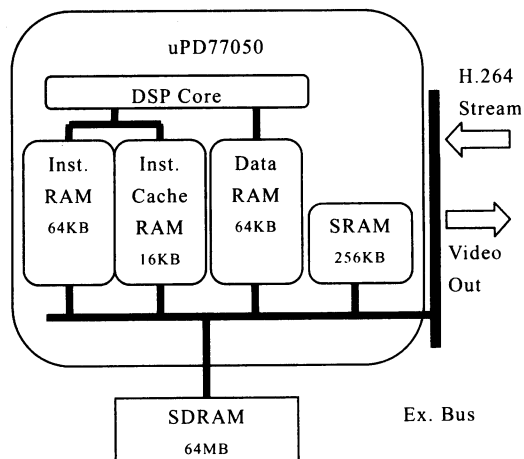


図 1 H.264 デコーダシステム構成

2.3. デコーダの高速化

ミドルウェア開発に際し、まず C 言語でデコードプログラムを記述し、そこから高速化を行った。この C

言語版ではメモリウエイト 0 の理想的な条件下でも QVGA サイズ、15fps のデコードで 220Mcycles/sec 程度の性能を要し、目標には遠く及ばない性能であった。そこで以下のような手法を用い、デコーダの高速化を図った。

命令メモリ配置の最適化

内蔵命令メモリに収まらない命令コードは SRAM 上に配置した。内蔵命令メモリは 0 ウエイトでアクセスできる。しかし、SRAM 上の命令コードは一度命令キャッシュへ転送されてから、実行される。この命令キャッシュへの転送は 200 サイクル以上かかる。

そこで実行頻度の高い命令コードを命令メモリに配置し、SRAM 上の命令コードもプログラム実行順に配置した。これにより、命令のキャッシュミス回数を抑え、キャッシュミスペナルティの削減ができた。

データメモリアクセスの効率化

動きベクトル、Q 値などのマクロブロック(MB)に関する情報は MB 毎に 1 画面分必要である。データサイズが大きいため、内蔵データメモリ上へ配置することができず、アクセス速度が低速な SRAM 上に配置した。このデータに対する情報はアクセスが頻繁に行われるために、デコード処理性能の劣化要因となる。そこで、複数の情報を 32 ビットないしは 16 ビットでまとめ、一度のアクセスで複数の情報を取得できるようにした。これにより SRAM へのアクセス数を削減し、データメモリアクセスのオーバーヘッドを大きく減らすことができた。またデコード処理中に繰り返し利用されるデータを SRAM から内蔵データ RAM 上にコピーすることによっても SRAM へのアクセス数の削減した。

並列処理による高速化

ビデオコーデック処理では並列処理が多い。利用した DSP (uPD77050) は、SIMD 命令を搭載し、同時に 2 命令発行可能である。これを利用し、動き補償、ループフィルタ、イントラ予測で 2 並列処理ないし 4 並列処理を行い、高速化をした。動き補償、ループフィルタは C 言語時に比べ、3~4 倍の高速化となった。

また、逆量子化、逆整数変換では積和演算命令を 2 並列実行し、高速化を行った。これらも C 言語時に比べ 3~4 倍の高速化となった。

DMA によるデータ転送の効率化

本デコーダでは、外部 SDRAM をフレームメモリとして利用している。SDRAM へのアクセスは長いウエイトサイクルが発生し、デコード処理のボトルネックとなる。特に H.264 では最小で 4x4 ブロック単位での

処理が必要となる動き補償処理やループフィルタ処理があるため、データ転送量も MPEG-4 SP と比べて数倍となる。

2 次元 DMA 機能を用いると、内外メモリ間の画像データのブロック転送を、デコード処理のバックグラウンドで行え、データ転送によるオーバーヘッドによるデコード処理性能の劣化を抑えることができる。データ転送をバックグラウンドで実行するためには、デコード処理する MB の入力データの DMA 転送を前の MB の処理中に実行し、出力データの DMA 転送は後の MB の処理中に実行しなければならない。実際には、1 個の MB で複数の DMA 転送が必要である。このため、DMA 要求の発行タイミングを決定するのは難しい。

この問題を解決するため、DMA キューイング機構をソフトウェアで実装した。キューイングを行うことにより現在実行されている DMA 転送の終了を待つことなく、次の DMA を先行して要求し、現在実行されている DMA 転送終了後に次の DMA 転送を開始できる。この結果、DMA の利用効率が向上し、低速な外部メモリへのアクセスにより生じる DMA 転送の終了待ち時間の削減ができた。キューの個数は 1 つの MB 処理に必要な最大 DMA 要求数(33 個)を待たせることなく処理することができる 64 個となるようにした。

また、DMA 転送の終了待ち時間を減らすためには、DMA 要求の発行から、DMA 転送されたデータを扱う処理を行うまでの時間を長く取ればよい。そこで、動き補償では動きベクトルが決定し、必要となる画像領域が決定しだい DMA 要求を行うなど、デコード処理の一部を入れ替えることにより DMA 転送の最適化を図った。処理の入れ替えにより、デコードコア処理自体の性能は若干落ちるが、この性能劣化以上にデータ転送の効率化が行うことができ、性能が向上した。

3. 性能評価

3.1. シミュレータ上での評価

シミュレータ上でサイクル数内訳の測定を行った。動作条件を表 3 に示す。DSP の動作周波数は 192MHz、バスクロックは 96MHz、SDRAM 動作周波数は 133MHz で動作させた。ただし、DMA キューイング機構の設定処理、DMA 転送の終了待ち時間などの評価は行わず、デコードコア処理のみの性能評価を行った。メモリウエイトは 0 とした。評価に用いたストリームを表 4 に示す。Mobile & Calendar, Foreman と Table の 3 つを用い、それぞれを QVGAx15fps, 192kbps, 256kbps でエンコードしたものを利用した。

ビットレート別、処理ごとのサイクル数内訳の評価結果を図 2 に示す。処理の略称はそれぞれ VLD:VLD 処理, IPred:イントラ予測, MC:動き補償, BP:デコー

ド処理, LF:ループフィルタ, Misc:その他, である. 192kbps と 256kbps とで総サイクル数の平均はそれぞれ 63.2Mcycles/sec, 69.0Mcycles/sec となった. 動き補償やループフィルタでそれぞれ約 20Mcycles/sec がかかっていることが分かる. つまり, この2つの処理だけでデコード処理の半分を占めており, これらの効率化を進めることが出来ればさらなる高速化が期待できる.

表 3 動作条件

DSP 動作周波数	192MHz
バスクロック	96MHz
SDRAM 動作周波数	133MHz

表 4 評価に用いた入カストリーム

入力シーケンス	Mobile & Calendar Foreman Table
符号化条件	QVGAx15fps 192kbps, 256kbps
Iピクチャ周期	30
複数フレーム予測	なし
Intra 予測	16x16, 4x4
Inter 予測	16x16~4x4
ループフィルタ	使用

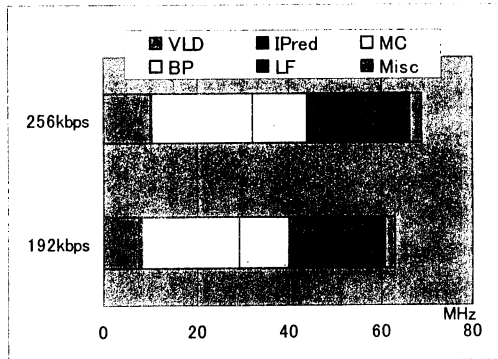


図 2 シミュレーション評価時のサイクル数内訳

3.2. DSP を使用した評価

DPS(uPD77050)を搭載した AV 評価ボード上で動作確認と性能測定を行った. 性能測定は, デコード処理のサイクル数をデータの入出力や外部要因も含めて行った. 動作条件, 評価に用いたストリームは表 3 と表 4 に示すようにシミュレーション上での評価と同じである.

図 3 にビットレート別, サイクル数内訳の測定結

果を示す. DMA-Setting とは DMA のキューイング機構の設定処理, DMA-Wait とは DMA 転送の終了待ち時間でこの時 DSP はウエイト状態にある. DMA 転送のうち大部分がバックグラウンドで行われているが, 若干の DMA 転送が終わらなかったものがこの部分となる. Others はこれ以外の処理であり, 割り込み処理やストリームの供給処理などである.

192kbps と 256kbps とで総サイクル数の平均はそれぞれ 92.4Mcycles/sec, 99.6Mcycles/sec となり 100Mcycles/sec 以下でデコード処理が可能となった. 表 5 にミドルウェアの仕様を示す.

さらに H.264 デコードと MPEG-4 AAC デコードとを合わせてデコードできることを確認した. これにより DSP 1 個で地上波デジタル 1 セグ放送の映像再生が行うことができる. 図 4 に性能測定に用いた AV 評価ボード動作時の様子を示す.

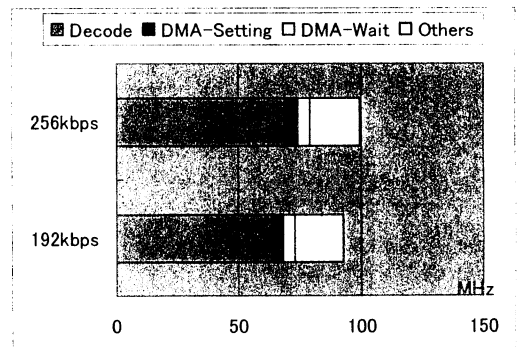


図 3 実機評価時のサイクル数内訳

表 5 H.264 ビデオデコーダ
ミドルウェアの仕様

動作 DSP	uPD77050	
対応符号化方式	H.264/MPEG-4 AVC Baseline Profile Level 1.2	
画像サイズ	最大 CIF(352x288 画素)	
必要メモリ量 (QVGA 時)	命令 RAM	28KB
	データ RAM	32KB
	SRAM	230KB
	SDRAM	1100KB
演算量	QVGAx15fps 192kbps 時:92.4Mcycles/sec 256kbps 時:99.6Mcycles/sec	

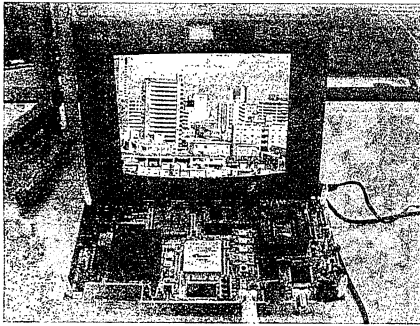


図 4 AV 評価ボード動作時の様子

4. おわりに

低消費電力汎用 DSP(uPD77050,250MHz 動作)を用い、QVGA サイズ対応の H.264 Baseline Profile 準拠のビデオデコーダを開発した。本デコーダは、DSP と外部メモリでデコード処理を実行する。DSP ミドルウェアの高速化のために、計算アルゴリズム改良や、DMA を用いたデータ転送の効率化などを行った。DSP を搭載した評価ボードを開発し、性能測定を行い、192kbps あるいは 256kbps、QVGA、15fps デコード処理が 100Mcycles/sec で可能なことを確認した。さらに H.264 と MPEG-4 AAC のデコードを合わせて動作させ、リアルタイム動作できることを確認した。これにより地上波デジタル 1 セグ放送の映像再生を DSP 1 個で行うことが可能となる。

文 献

- [1] “ARIB TR-B14, 地上デジタルテレビジョン放送運用規定技術資料,” 電波産業会, 2004.
- [2] “ARIB TR-B13, 地上デジタル音声放送運用規定技術資料,” 電波産業会, 2004.
- [3] “Draft ITU-T Recommendation and Final Draft International Standard of Joint Video Specification,” in Joint Video Team of ISO/IEC MPEG and ITU-T VCEG, 2003.
- [4] T. Kumura et al, “AV Codec Prototype System Using A Low-Power SPXK55C DSP CORE,” IEEE Workshop on Signal Processing Systems, 2003, pp.69-74, Aug 2003.