

レイアウト情報を用いた故障候補エリアの抽出

藤本 佳照[†] 四柳 浩之[†] 橋爪 正樹[†] 為貞 建臣[†]

[†] 徳島大学工学部 〒770-8506 徳島県徳島市南常三島町 2-1
E-mail: †{fujimo-y, yanagi4, tume, tamesada}@ee.tokushima-u.ac.jp

あらまし 本論文では、CADによるレイアウト情報を用いた故障候補エリアの抽出について述べる。集積度の高い回路においては、ブリッジ故障が2線間のみならず複数信号線に影響をもたらす可能性がある。本研究では、2信号線間のブリッジ故障と3信号線間のブリッジ故障を仮定し、その故障候補エリアの抽出法を提案する。本手法では、信号線間の距離が、ある一定間隔内である信号線の組をブリッジ故障候補とし、その間隔内に存在する3つの信号線の組を複数信号線間ブリッジ故障候補として抽出する。CADツールより得られるレイアウト情報から、2信号線間および、3信号線間のブリッジ故障候補エリアの抽出を行う手法について提案し、ベンチマーク回路に対するブリッジ故障候補エリア抽出実験から得られた故障候補エリア数とゲートレベルにて仮定される2線間のブリッジ故障数との比較結果を示す。

キーワード ブリッジ故障, レイアウト情報, CAD, 多重ブリッジ

Extraction of Fault Candidate Areas with Layout Information

Yoshiteru FUJIMOTO[†], Hiroyuki YOTSUYANAGI[†], Masaki HASHIZUME[†], and Takeomi

TAMESADA[†]

[†] Faculty of Engineering, Univ. of Tokushima Minami-Josanjima 2-1, Tokushima, 770-8506 Japan
E-mail: †{fujimo-y, yanagi4, tume, tamesada}@ee.tokushima-u.ac.jp

Abstract In this paper, we present a method for extracting fault candidate areas using layout information obtained by CAD. In highly-integrated circuits, a bridging fault may affect not only between two signal lines, but also among multiple signal lines. In this work, we propose a procedure for extracting fault candidate areas of bridging faults between two lines and bridging faults among three lines. The procedure extracts pairs of signal lines whose distance is within the given distance and identifies them as the fault candidate of a bridging fault, and also extracts groups of three signal lines within the given distance and identifies them as the fault candidate of a multinode bridging fault. The procedure that utilizes a layout information obtained from CAD tools to extract fault candidate areas of bridging faults among two or three lines is shown. The experimental results for benchmark circuits are shown for the comparison between the number of the fault candidate areas obtained by the proposed method and the number of the bridging faults between two lines assumed from gate-level.

Key words bridging faults, layout information, CAD, multi-node bridge

1. ま え が き

近年、半導体技術の進歩により微細加工が可能となり、論理回路の小型化が進み、IC内に複雑で大規模な論理回路を実現可能になった。しかし、IC製造のメタルの配線工程はICの小型化に強く依存しており、大規模集積化に伴い、その配線間隔が狭くなる傾向にある。それゆえ、物理的要因により、オープン故障や、ブリッジ故障が多数発生する[1][2][3]。また、集積

度の高い回路においては、ブリッジ故障が発生した場合、単一ブリッジ故障はもとより、多重ブリッジ故障が起こる可能性も高くなるという問題がある[4]。また、多重ブリッジ故障もIC内の複数箇所発生するものと、1箇所における複数信号線間で起こるブリッジ故障がある。1箇所における複数信号線間のブリッジは同一故障要因によるものであり、ブリッジ故障の要因となる異物の粒径が大きい場合等は後者が起こる可能性が高くなる。

従来、ゲートレベルでブリッジ故障を考える場合、任意の2線間での故障を仮定するため、大規模回路になるほど対象故障数が多くなる。したがって、多量のテストベクトルとそれに対する出力ベクトルのデータが膨大なものとなり、テストにかかるコストも高くなる。

最近では、レイアウト情報を用いて、より精度の高い故障検出を行う手法の重要性が高まってきている [5] [6]。文献 [5] では、IC レイアウト情報を用いて、ブリッジ故障が発生する可能性が高い箇所をあらかじめ推定し、対象となる故障箇所のシミュレーションや重みづけなどを行い、テストに利用する手法が提案されている。また、レイアウト情報を利用して故障候補箇所を特定するためにいくつかのツールが開発されている [7] [8] [9] [10]。文献 [7] [9] [10] の故障候補箇所を特定するアルゴリズムは IFA (Inductive Fault Analysis) にもとづいている。IFA とは、ブリッジ故障が起り得る有力なエリアをレイアウトデータを分析することにより特定し、そのエリアに重みづけを行い、ブリッジ故障の発生確率の高いクリティカルエリアを抽出する手法である [11]。これらの手法は各信号線の故障候補エリアの重複箇所から2線間のブリッジや複数信号線間のブリッジ故障を特定することが可能である。

配線密度の高い設計においては、信号線間距離よりも広い範囲でのブリッジ故障が発生する可能性があるが、それらの故障については、従来考慮されていない。

本研究では既存 CAD を用い、レイアウト情報を利用した同一故障要因による3信号線間多重ブリッジ故障候補エリアを特定する手法を提案する。提案手法においては、得られたブリッジ故障エリアについて信号線間のブリッジと、VDD や VSS とのブリッジ箇所を分類して抽出を行う。

本論文の構成を以下に示す。第2章では、複数信号線間におけるブリッジ故障について、第3章では、抽出するブリッジ故障の候補について、第4章では、実験手順について、第5章で結果を、第6章では、本研究のまとめを述べる。

2. 3線信号線間におけるブリッジ故障

2.1 複数信号線でのブリッジ

IC 内におけるトランジスタの集積度が高くなると、ゲート間の信号線密度も高くなり、その配線間隔も狭くなる。それにより、配線間でのブリッジも、その異物粒径が大きいく左右され、配線間隔が短く、異物粒径が大きい等の条件が重なると、2つ以上の信号線間においてブリッジする。例として、図1で、レイアウト中のブリッジ故障箇所を拡大した Area : (a) のように、そのブリッジの原因となる異物粒径が小さい場合、ブリッジも2線間で起こるが、Area : (b) のように、異物粒径が大きい場合は、ブリッジの範囲が3信号線間に及ぶ可能性がある。このように、異物の粒径が大きいとき、大規模回路においては複数信号線間でブリッジする可能性が高くなる。そのため、レイアウトでブリッジ故障を考慮する場合は、2信号線間のブリッジだけではなく、複数信号線間のブリッジ故障も考慮する必要がある。

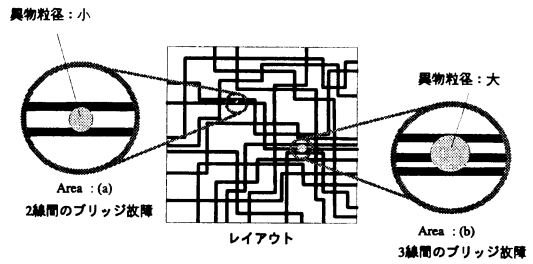


図1 物理的欠陥による3線間でのブリッジ故障

2.2 ゲートレベル及びレイアウトでのブリッジ故障

従来、ゲートレベルで2線間のブリッジを考える場合、その信号線間隔は考慮することなく、全信号線から任意の2つの信号線の組合せを考える。しかし、実回路においては信号線間隔や、異物の粒径、そして異物の位置などの要因により、ブリッジ故障が2信号線にのみ影響する場合と、3線以上の信号線間に影響する場合は考えられる。

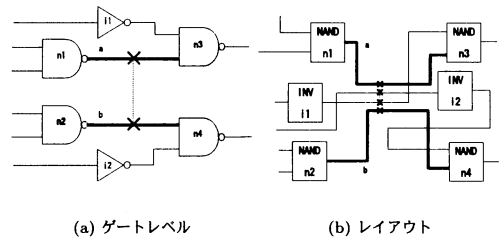


図2 ゲートレベル及びレイアウトでのブリッジ

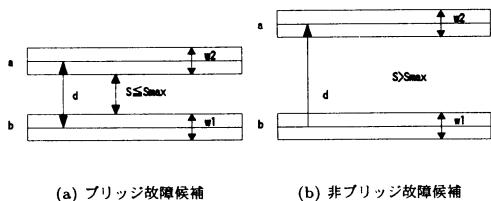
図2(a)のゲートや信号線が、レイアウト上で図2(b)のように配置されているとすると、図2(b)では、ブリッジ候補の信号線 a-b 間に他の信号線が配置されており、信号線 a-b のみのブリッジは起り得ず、信号線 a-b を含んだ複数信号線でのブリッジ故障となる。つまり、ゲートレベルでの2信号線ブリッジ故障はレイアウトにおいて、2信号線間のブリッジとは限らず、複数信号線間でのブリッジとなる場合がある。そのため、実回路においてブリッジ故障を考慮する場合は信号線の位置関係を調査する必要がある。さらに、ゲートレベルで考えるブリッジ対象の2信号線がレイアウトでは複数信号線間のブリッジであるか否かを確認することが重要である。これにより、ゲートレベルにおける対象ブリッジ故障候補の削減が可能となる。

3. 2信号線および3信号線でのブリッジ

3.1 2信号線間でのブリッジ故障候補

図3に隣接している2つの信号線をブリッジ故障候補とするときの2信号線の例を示す。s は信号線間隔、d は信号線中心座標間隔、 w_1 , w_2 は信号線幅をそれぞれ表す。s は信号線中心座標間隔から信号線幅の値を引くことで求められ、 $s = d - (\frac{w_1}{2} + \frac{w_2}{2})$ で表される。本研究では、信号線間のブリッジ候補を抽出するために、隣接する信号線の間隔が、ある

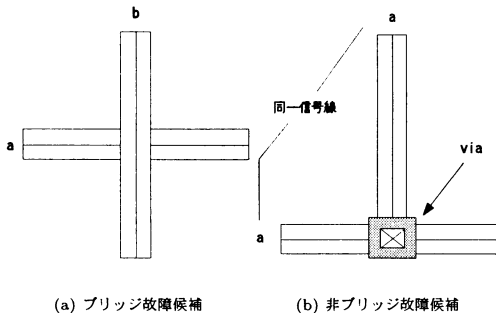
一定距離内であるときをブリッジ故障候補とする。ブリッジ候補の基準となる値を s_{max} とすると、隣接する2信号線の間隔が $s \leq s_{max}$ の条件を満たす場合をブリッジ故障候補として特定する。例として、図3(a)はブリッジ故障候補、図3(b)はブリッジ故障候補としないことを示している。また、隣接する2信号線がブリッジ故障候補であるとき、その2信号線を隣接対と呼ぶ。



(a) ブリッジ故障候補 (b) 非ブリッジ故障候補

図3 同一レイヤにおける2線間ブリッジ故障候補

本研究では、異なるレイヤ間での2信号線間のブリッジ故障候補も特定する。異なるレイヤ間でのブリッジの例を図4に示す。図4(a)のように信号線aと信号線bが交叉している2信号線をブリッジ故障候補とし、交叉対と呼ぶ。しかし、図4(b)では、2つの信号線が交叉しているが、交叉部分がビアで接続されているため、このような信号線はブリッジ故障候補の対象から除く。隣接対と交叉対の合計を2信号線間におけるブリッジ故障候補数とし、対象となる2信号線を配線対と呼ぶ。



(a) ブリッジ故障候補 (b) 非ブリッジ故障候補

図4 異なるレイヤ間のブリッジ故障候補

3.2 3信号線間でのブリッジ故障候補

3.1節で信号線の間隔が s_{max} 以下のときをブリッジ故障候補としたが、 s_{max} の値を大きく設定した場合には、その範囲内に複数の信号線が存在するかどうかを調べる必要がある。ここでは、3つの信号線がブリッジ故障の候補になる条件について述べる。まず、2信号線間のブリッジ候補を特定する場合と同様に、信号線の間隔によって対象となる信号線をブリッジ故障候補とするか否かを決定する。図5において、隣接する信号線の間隔を s 、ブリッジ候補の判定値とする値を s_{max} とするとき、信号線aとbの間隔は $s \leq s_{max}$ となっているため、信号線a-bを配線対とする。このとき、信号線a-b間に他の信号線

が存在するかどうかを判定し、もしあればその信号線を含む3つの信号線をブリッジ故障候補とし、これを配線組と呼ぶ。また、信号線a-b間に他の信号線が存在しない場合は、そのままその2信号線を隣接対として特定する。図5は、信号線a-b間に信号線xが存在しているため、この信号線a-x-bの組合せを配線組とすることを示している。

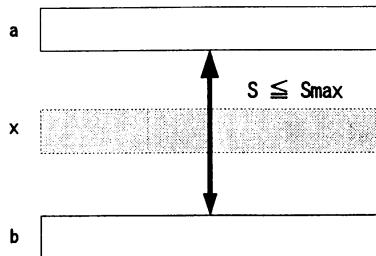
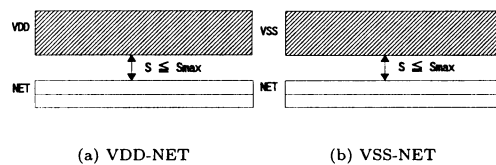


図5 3信号線間でのブリッジ故障候補

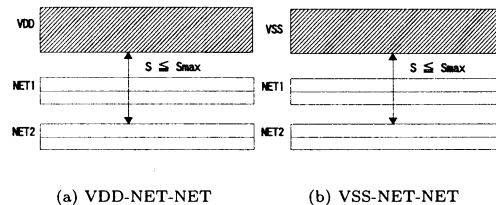
3.3 VDD及びVSSとのブリッジ候補

信号線間に発生するブリッジ故障の中でも、VDDやVSSとゲート間の信号線とのブリッジは0縮退故障や、1縮退故障のみを考えると考えられる。この故障候補は縮退故障用のテストパターンで検出可能であるため、3線間の故障シミュレーションは不要である。そこで、本研究ではVDDやVSSとのブリッジ候補についても特定する。また、VDD、VSSと信号線とのブリッジが生じる組合せを配線対の中からVDD(VSS)-NET、配線組の中からVDD(VSS)-NET-NET、NET-VDD(VSS)-NETのケースに分けて抽出する。ここで、NETはVDD、VSS以外のゲートの入出力信号線を表す。抽出するVDD、VSSと他の信号線との組合せを図6、7、8に示す。



(a) VDD-NET (b) VSS-NET

図6 VDD(VSS)-NET



(a) VDD-NET-NET (b) VSS-NET-NET

図7 VDD(VSS)-NET-NET

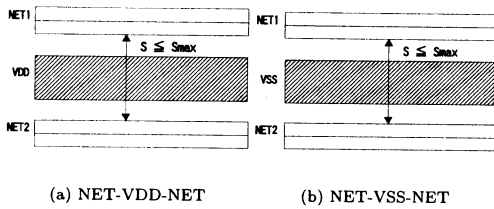


図 8 NET-VDD(VSS)-NET

4. 実験手順

4.1 レイアウトデータ抽出

ベンチマーク回路のレイアウトデータから、与えられたブリッジ故障判定基準値 s_{max} 内に存在する隣接対、配線組を求める実験を行った。レイアウトデータの抽出手順を以下に示す。

ベンチマーク回路の Verilog ネットリストを Synopsys 社の DesignCompiler を用いて論理合成し、Cadence 社の SiliconEnsemble を用いて DEF(Design Exchange Format) ファイルを作成する。DEF ファイルとは回路ブロック名と信号線名、および回路ブロック間の信号線の接続情報を記したファイルであり、その構成例を図 9 に示す。図 9(a) のような回路のゲートセルと信号線の接続関係をテキストデータで表現したものが DEF ファイルである。DEF ファイル内の COMPONENTS ブロックは、セル(ゲートを定義したもの)のインスタンス名と種類を示し、NETS ブロックはゲート間の信号線名と各入出力ゲートへの接続関係を表している。図 9 の例では、信号線 N98 はセル U35 の Y(出力) とセル U36 の B(入力) との接続信号線であり、U35 と U36 のセルは、それぞれ 2 入力の NAND ゲート、NOR ゲートであることを示している。

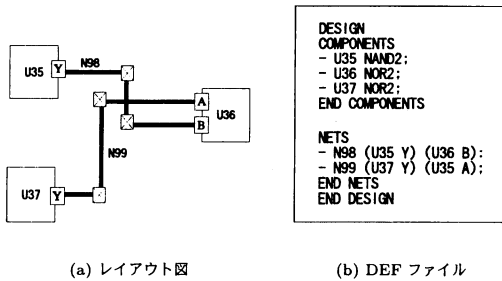


図 9 配線接続情報

次に、得られた論理合成後の Verilog ネットリストと DEF ファイルから、ブリッジ故障候補エリアの抽出に用いるレイアウトデータを生成する。レイアウト作成には、Avant!社の Milkyway と Apollo を用いた。DEF ファイルに記述された配線の接続情報をもとに、図 10 に示す信号線情報を取り出す Apollo 用スクリプトを作成し、レイアウト生成時に信号線情報が出力されるようにする。抽出する信号線情報は、信号線名 (NETNAME) と ID、方向成分 (TYPE)、信号線長 (L)、信

号線幅 (W)、レイヤ (LAYER)、信号線の配置座標 (START-POINT) である。この操作により得られたレイアウトデータを図 11 に示す。抽出された各パラメータを利用してブリッジ故障候補の特定を行う。

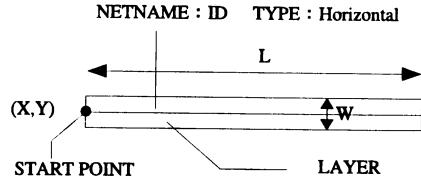


図 10 信号線情報

| | |
|----------------|-------------------------|
| HorizontalWire | ID:14741 { |
| netid | = 2824 |
| layer | = 8 |
| regionNumber | = 0 |
| startPoint | = 3172.000 |
| length | = 2717.000 |
| } | |
| OBJECT TYPE | : WIRE [ID 0x3995] |
| LAYER | : M1 (8) |
| WIRE WIDTH | : 4.0000 |
| START POINT | : (3172.0000 5845.0000) |
| WIRE LENGTH | : 2717.0000 |
| NET ID | : 0xb08 |
| NET NAME | : N99 |

図 11 レイアウトデータファイル

4.2 ブリッジ故障候補抽出

4.1 節の手順で得られるレイアウトデータをもとに、ブリッジ故障候補を特定する。与えられる距離 s_{max} に対して、2 信号線間のブリッジ故障候補、3 信号線間のブリッジ故障候補および、VDD、VSS とのブリッジ故障候補を特定する。ブリッジ故障候補の抽出手順を以下に示す。

- (1) 全信号線の集合を L とする
- (2) L の中から 1 つの信号線を選び基準信号線 l_1 とする。
- (3) 基準信号線 l_1 から s_{max} 内の距離に存在する信号線数 n を求める。
- (4) 信号線 $l_i, l_j (i = 1, 2, \dots, n) (j = i + 1, i + 2, \dots, n)$ 間に、他の信号線が存在する場合は、その信号線を含めた複数信号線を配線組 L_j として抽出し、他の信号線が存在しない場合は、その 2 信号線を隣接対 $\{l_i, l_j\}$ として抽出する。
- (5) 集合 L から配線組、隣接対に含まれる信号線を全て除去する
- (6) L が空ならば (2) へ。
- (7) 隣接対と 3 信号線の配線組のみを抽出する。
- (8) (6) で抽出した隣接対と配線組の中から VDD(VSS)-NET, VDD(VSS)-NET-NET, NET-VDD(VSS)-NET の組合せをさらに抜き出す。

5. 実験結果

既存 CAD を用いて作成したレイアウトのデータ情報を利用して、ITC99, ISCAS89 ベンチマーク回路を対象にブリッジ故障候補抽出実験を行った。なお、レイアウト上の最短線間距離は 6λ 、信号線の最小幅は 4λ とした。表 1 に、信号線間隔 s_{max} の値を $16\lambda, 26\lambda, 56\lambda$ に設定して得られた故障候補エリアの結果を示す。隣接対の欄は 2 信号線間ブリッジ故障候補エリアの数を表し、配線対の欄は 3 信号線間ブリッジ故障候補エリアの数を表している。

s_{max} が同じ距離間隔のときの配線対と配線組の数を比較することで、同一条件での 2 信号線間ブリッジ故障と 3 信号線間ブリッジ故障の発生しやすさが比較できる。b03 や s526 のように他の回路より大きい回路は、レイアウトではその配線が密になっているため配線対と配線組の数が他の回路に比べて多い。逆に、s27 のような小さな回路ではレイアウトにおける配線は粗なため、隣接する信号線の間隔は大きく、ブリッジ候補とする信号線間隔 s_{max} の値を大きくしても、その故障候補数の増加の割合は少ない。 $s_{max} = 16$ における各回路の値を比較すると、b03 は $s_{max} = 16$ のとき配線対数は 470、配線組数は 8 となっている。これは、一定間隔 $s_{max} = 16$ 内の信号線をブリッジ故障候補とするときの単一のブリッジ故障と多重ブリッジ故障の発生確率の比と考えられる。つまり、2 線間での故障候補を考える場合でも、そのうち $8/478$ の確率で多重ブリッジが起こる可能性を考える必要がある。また、s344 と s420 とを比較すると、s420 回路の方が回路規模が大きく、 s_{max} が 16λ の場合 s420 の方が故障候補数は多い。しかし、 s_{max} の値が大きくなるにつれて、その故障候補数は s344 回路の方が多くなる。これは、回路レイアウト時に s344 が s420 に比べて密に配線されたためと考えられる。

表 2 に、VDD, VSS と NET 間のブリッジ故障候補エリア数を示す。VDD, VSS と NET との信号線間距離を $s \leq 60$ 、VDD, VSS を含んだ 3 信号線間の最端信号線間距離が $s \leq 60$ の場合における対象信号線をブリッジ故障候補とする。表 2 で、s27 や b06 回路の故障候補数が少ないのは回路規模が小さいためである。また、VDD-NET-NET と NET-VDD-NET とを比較すると、ほぼ全ての回路において、NET-VDD-NET の数が少ないことが分かる。これは、VDD や VSS の信号線幅が NET の信号線幅よりも 10 倍ほど大きいため、VDD を挟む最端信号線間距離も大きくなるためである。よって $s \leq 60$ の条件下では、他の状況に比べて 3 線間でのブリッジ故障が発生しにくいことを示している。また、NET-NET-NET と他の組合せとを比較すると、VDD や VSS とのブリッジ候補が NET-NET-NET の場合よりも多い。VDD や VSS は全てのゲートセルに接続されており、複数存在するため配線が密になると VDD や VSS と隣接する確率が高くなるためである。

表 3 に、ゲートレベルおよび、レイアウト情報を用いた場合のブリッジ故障候補数の抽出結果を示す。表 3 の回路内の全信号線数は、ゲート間接続信号線および、入出力信号線の数を示し、ゲートレベルにおける故障候補数の欄には、2 信号線間で

のブリッジ故障候補数を示している。また、レイアウトによる故障候補数の欄には、5 章の手順で抽出された配線対数、配線組数および、配線対と配線組の合計を示している。ゲートレベルにおけるブリッジ故障候補数は、2 線間でのブリッジ故障を考慮し、全配線数を N として、 ${}_N C_2$ で求めた。また、レイアウトによる故障候補は、 $s \leq 60$ の条件の下で特定した。表 3 から、7 回路中 6 回路において故障候補数が削減されているが、b03 回路は故障候補数がゲートレベルでは 5151 なのに対し、レイアウトでは 5305 とレイアウトの方が多い。これは、レイアウトにおいて信号線が密になっている箇所が他の回路と比べ多く、そのため配線対と配線組が増えたと思われる。このことから、ブリッジ故障候補数は回路の規模とレイアウトにおけるゲートセル、信号線の配置、配線状況が大きく作用していることがわかる。

6. まとめ

本論文では、既存 CAD によるレイアウト情報を用いた故障候補エリアの抽出方法について述べた。実験は、ゲートレベル 2 信号線間ブリッジ故障候補のレイアウトにおけるブリッジ故障候補との関係と、複数信号線間でのブリッジ故障を考慮に入れた故障候補数の抽出を行うものであった。ITC99, ISCAS89 ベンチマーク回路に対する実験結果では、3 線信号線間でのブリッジ故障候補を考えた場合においてもレイアウトによるブリッジ故障候補数は、ゲートレベルでのブリッジ故障候補数より削減することができた。しかし、この結果はブリッジ故障の候補とする信号線間隔を限定したものであった。今後は、3 線以上の複数信号線を考慮に入れたブリッジ故障候補の特定と、抽出した故障候補に対するシミュレーションによる評価が課題となる。

謝 辞

本研究は、東京大学大規模集積システム設計教育研究センターを通し、シノプシス、ケイデンス株式会社の協力で行われたものである。

文 献

- [1] H.Konuk,F.J.Ferguson, "Oscillation and Sequential Behavior Caused by Opens in the Routing in Digital COMS Circuits," IEEE Trans. Computer-Aided Design, vol. 17, no. 11, Nov., 1998.
- [2] V.H.Champac,A.Rubio,J.Figueras, "Electrical Model of the Floating Gate Defect in CMOS IC's:Implications on I_{DDQ} Testing," IEEE Trans. Computer-Aided Design, vol. 13, pp.359-369, Mar., 1994.
- [3] M.Renovell and G.Cambon, "Electrical Anlysis and Modeling of Floating-Gate Fault," IEEE Trans. Computer-Aided Design, vol. 11,no. 11, pp.1450-1458, Nov., 1992.
- [4] F.Lombardi,N.Park, S.Horiguchi, "On the Multiple Bridge Fault Diagnosis of Baseline Multistage Interconnection Networks," IEICE Trans. Fundamentals, vol. E79-D no. 8, pp.1168-1179, Aug., 1996.
- [5] M.Sanada, "Layout-Based Detection Technique of Line Pairs with Bridging Fault Using I_{ddq} ," IEICE Trans. Inf.& Syst, vol.E87-D, no.3, pp.557-563, Mar., 2004.
- [6] K.Okada,H.Onodera,K.Tamaru, "Layout Dependent Matching Anlysis of CMOS Circuits," IEICE Trans. Fundamen-

tals, vol. E82-A, pp.348-355, Feb., 1999.

- [7] J.S.Rogenski, "Extracton of Breaks in Rectilinear Layouts by Plane Sweeps," UCSC-CRL-94-21 Apr., 1995.
- [8] My.Blyzniuk, "Development of the Special Software Tools for the Defect/Fault Analysis in the Complex Gates from Standard Cell Library," IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, pp.375-383, Oct., 2001.
- [9] S.T.Zachriah, S.Cakravarty, "A Novel Algorithm for Multi-Node Bridge Analysis of Large VLSI Circuits," IEEE Trans. Computer-Aided Design, pp.333-338, Jan., 2001.
- [10] S.T.Zachriah, S.Cakravarty, "Extraction of Two-Node Bridges From Large Industrial Circuits," IEEE Trans. Computer-Aided Design, vol.23, no.3, Mar., 2004.
- [11] F.J.Ferguson and J.P.Shen, "Extraction and Simulation of Realistic CMOS Faults using," International Test Conference, pp. 475-484, Sep., 1988.

表 1 各信号線間距離における隣接対と配線組

| 回路名 | 隣接対 | | | 配線組 | | |
|------|-------------|-------------|-------------|-------------|-------------|-------------|
| | $s \leq 16$ | $s \leq 36$ | $s \leq 56$ | $s \leq 16$ | $s \leq 36$ | $s \leq 56$ |
| b03 | 470 | 1705 | 2899 | 8 | 130 | 423 |
| b06 | 53 | 234 | 446 | 1 | 14 | 56 |
| s27 | 8 | 33 | 60 | 1 | 1 | 4 |
| s208 | 108 | 431 | 752 | 3 | 30 | 106 |
| s344 | 291 | 1048 | 1769 | 2 | 67 | 248 |
| s420 | 302 | 1000 | 1692 | 4 | 79 | 239 |
| s526 | 573 | 2284 | 3894 | 5 | 162 | 505 |

表 2 VDD(VSS) と NET のブリッジ故障候補数

| 回路名 | VDD | VSS | VDD | VSS | NET | NET | NET |
|------|-----|-----|-----|-----|-----|-----|-----|
| | NET | NET | NET | NET | VDD | VSS | NET |
| b03 | 234 | 287 | 66 | 80 | 4 | 4 | 55 |
| b06 | 64 | 66 | 10 | 9 | 0 | 1 | 7 |
| s27 | 11 | 14 | 0 | 3 | 0 | 0 | 0 |
| s208 | 88 | 104 | 15 | 23 | 0 | 2 | 22 |
| s344 | 203 | 165 | 54 | 35 | 2 | 2 | 31 |
| s420 | 162 | 193 | 40 | 41 | 1 | 0 | 34 |
| s526 | 306 | 312 | 88 | 72 | 2 | 1 | 71 |

表 3 ゲートレベル及びレイアウトを考慮したブリッジ故障候補数

| 回路名 | 信号線数 | ゲートレベルに | | レイアウトによる故障候補数 | | |
|------|------|----------|------|---------------|-----|------|
| | | おける故障候補数 | 隣接対 | 交叉対 | 配線組 | 計 |
| b03 | 102 | 5151 | 3430 | 1285 | 590 | 5305 |
| b06 | 50 | 1225 | 503 | 347 | 73 | 923 |
| s27 | 39 | 741 | 78 | 109 | 9 | 196 |
| s208 | 77 | 2926 | 883 | 715 | 147 | 1745 |
| s344 | 111 | 6105 | 2055 | 1195 | 344 | 3584 |
| s420 | 137 | 9316 | 2003 | 1123 | 342 | 3468 |
| s526 | 215 | 23005 | 4643 | 1966 | 728 | 7337 |