

多ネット等長チャンネル配線におけるチャンネル高さ最小化手法

久保ゆき子[†] 宮下 弘[†] 梶谷 洋司[†]

[†] 北九州市立大学国際環境工学部 〒 808-0135 北九州市若松区ひびきの 1-1
E-mail: †{kubo,miyashita,kajitani}@env.kitakyu-u.ac.jp

あらまし 高速な同期で信号を伝送する VLSI 配線システムでは複数の出力信号を同じタイミングで指定した端子へ伝送する等遅延配線が要求される。遅延は複雑な環境で決まるが、配線長が大略等しい（等長配線）条件が充たされなければ等遅延配線実現は容易ではない。このような要求に対しいくつかの提案がなされているが、筆者らはチャンネル配線問題を解く組織的なアルゴリズムを提案している。更にその方式における経路選択の多様性を利用して総長最小化問題を解いている。しかしながらそこではチャンネルの高さについての考慮がなく、ソースからシンクまでの長さが延びてしまう欠点をもつ。本稿はこれに続く研究であり、総長最小性を保ったままチャンネルの高さを小さくすることを目的とする。しかし厳密解は従来のチャンネル高さ最小化問題を包含する難問なのでここでは経路修正によりチャンネル高さの減少をはかる探索的アルゴリズムを提案する。はじめに上述のチャンネル等長配線かつ総長最小化を実現する方式を紹介する。次にその手法により得られる配線結果を初期解とし、配線経路を繰り返し修正することによりチャンネル高さを減少させる手続きを提案する。経路の修正はシミュレーテッドアニーリングを用いて制御する。このアルゴリズムをプログラム実装し、アルゴリズムの性能を検定するためランダムデータを生成し適用したところ、初期解の高さを概ね 30%削減するという結果を得た。

キーワード チャンネル等長配線, 水平線分, 垂直制約, トラック割り当て, 探索的手法, SA

Stochastic Equi-Length Channel Routing with Channel Height Minimization

Yukiko KUBO[†], Hiroshi MIYASHITA[†], and Yoji KAJITANI[†]

[†] Faculty of Environmental Engineering, The University of Kitakyushu
1-1 Hibikino, Wakamatsu-ku, Kitakyushu, Tokyo, 808-0135 Japan
E-mail: †{kubo,miyashita,kajitani}@env.kitakyu-u.ac.jp

Abstract In VLSI system, a set of signals is often required to be propagated within a tolerable skew of delays. Though the delay of a signal on a wire is determined by a complex electrical environment, it is hard to attain this requirement unless all the nets are routed within a certain skew of length from the source to sinks. There exists some equi-length algorithms to solve such a problem and we also propose a constructive algorithm for channel routing. But the length from a source to sinks of the routes obtained by the algorithm becomes long because it does not consider the height of the channel. In this paper, the algorithm that solves the channel height problem keeping the total length minimum is presented. Because our problem includes the difficulty of the original channel routing problem, it is difficult to obtain the best solution exactly. Therefore we propose a stochastic algorithm to modify parts of the routes iteratively. First, a basic algorithm of equidistance channel routing is introduced. Then the routes obtained by it is given as an initial solution and apply modifications iteratively. This modification process is controlled by Simulated Annealing. The proposed algorithm is implemented and applied to random data. The experimental result shows that the algorithm reduces the height of the channel about 30%.

Key words Channel equi-length routing, Horizontal segments, Vertical constraints, Simulated Annealing, Track Assignment

1. はじめに

高速な同期で信号を伝送する VLSI 配線システムでは多数の入力信号を同じタイミングで指定した端子へ伝送する等遅延配線が要求される。遅延は複雑な環境で決まるが、配線長が大略等しい(等長配線)条件が充たされなければ等遅延配線実現は容易ではない。特に高速動作する LSI の配線において多ビットデータはほぼ同時刻に転送されることが要求されることがあり、特に遅延の差が生じやすいプリント基板やパッケージの設計の際には意図的に迂回が挿入される場合がある。また、半導体にかわるデバイスとして注目されている超伝導 LSI の設計においても高速なクロック周波数が実現可能である一方タイミングのずれが回路動作に影響を及ぼすため、デバイスによるタイミングの調整に頼るだけではなく配線設計時に信号伝播遅延を考慮した配線を行わねばならない。

これに対応する手法として [1] が提案されている。この手法により複数のネットに対し全てのソース・シンク間の長さがほぼ一定になる配線経路を生成することが可能である。しかし、[1] では配線長をそろえるための細かい迂回が多く生じており、これは予期しないインダクタンスの原因となり得る。また、我々は複数多端子ネットに対する等長配線手法を提案した [2]。この手法により得られる配線経路はユークリッド幾何上で定義した斜め対称格子上に存在するため(図 1 参照)、配線経路を実装することを考慮すると、これを直交経路に変換する必要がある。特にチャンネル等長配線に関して、斜め格子上の配線経路を元に水平線分とそれに対する垂直制約を抽出しチャンネル配線の技術を用いて直交化を行っている。

チャンネル等長配線を実現するときの主要な目標として (1) 総配線長最小化、(2) ソース・シンク間パス長最小化、(3) 面積最小化、(4) ビア数最小化、に絞られるであろう。[2] では動的計画法によるアプローチにより (1) を解決している。(4) に関して本稿ではソース・シンク間パス上のビアによる遅延が大きいことを考慮し、全てのソース・シンク間パス上に存在するビアの数を一定、すなわち (4) を一定とする。チャンネル配線において (2) と (3) はチャンネル高さ最小化と同義であり、本稿ではこれを最適化目標とする。

チャンネル配線に関する手法は、[3]~[6] など 20 年近く前には盛んに行われており、その多くは全てのネットを結線するのみならず、チャンネルの高さを下げることが目標としている。さらに [7], [8] では与えられたチャンネル配線に対し、配線をビア移動や経路自体のシフトによりチャンネルの高さを下げる手法が提案されている。これら従来のチャンネル配線において各ネットの水平線分に折れ曲がりや許容した場合のチャンネル高さ最小化問題は NP 困難であることが知られている。

チャンネル配線における等長配線においても同じ従来のチャンネル配線問題を含むため、チャンネル高さ最小化問題に対する厳密解を求めることは困難である。本稿では、チャンネル等長配線においてチャンネル高さを最小化するアプローチとして、チャンネル配線経路を部分的に繰り返し修正することによりチャンネル高さを低くする探索的手法を提案する。

以降、本稿は以下の節から構成される。第 2 節では本稿のア

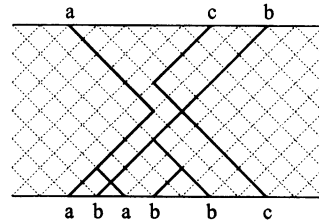


図 1 対称斜め格子とチャンネル等長配線

ルゴリズムの基礎となる [2] の対称斜め格子チャンネル等長配線アルゴリズムを紹介する。第 3 節では対称斜め格子上の配線経路を従来のチャンネル配線のアプローチに適用し直交化する方法を紹介する。これも [2] の引用である。第 4 節ではチャンネル高さ最小化アルゴリズムを提案する。[2] では全てのソース・シンク間を指定した長さで接続するのみであったが、本稿ではビアにおける遅延が配線遅延に対し大きいことを考慮し、全てのソース・シンク間にあるビア数が等しくなるようにビアが必要な経路の途中にもビアを挿入する。はじめにビア挿入方法を提案する。次に配線経路の一部を変更させる方法を提案する。次にチャンネル等長配線アルゴリズムにより得られた配線経路を初期解とし、配線経路中の隣接する 2 線分の形状を繰り返し変化させることにより、チャンネル高さが低くなるような配線経路を探索していく手法を提案する。この探索手法はシミュレーテッドアニーリング (SA) により制御する。この配線経路修正過程は斜め対称格子上で行う。最後に得られた配線経路を第 3 節の手法で直交化する。第 5 節では、本稿で提案したアルゴリズムを実装し、ランダムに生成したチャンネル問題に適用し、チャンネル高さ及び計算時間を測定した結果を示す。

2. チャンネル等長配線

本節では、 h 離れた距離にある平行な 2 直線 l_a, l_b 上に全ての端子が存在する場合の等長配線問題を扱う。各ネットは 1 つのソース s と複数個のシンク t_0, t_1, \dots が存在する。本稿ではそれぞれのネットに対しソースとシンクがそれぞれ異なる直線上に存在すると仮定する。全てのネットのソース・シンク間長さが L となるような配線を L 等長配線と呼ぶ。特に端子が平行な 2 直線上に存在する場合の等長配線をチャンネル L 等長配線と呼ぶ。[2] で提案されているチャンネル等長配線手法は、以上の条件のもとで各ネットに対し $O(n^3)$ (n :端子数) で配線長最小かつソース・シンク間等長である配線経路を出力するアルゴリズムである。

以下、チャンネル等長配線アルゴリズムを示す。

チャンネル L 等長配線アルゴリズム

- Step 1: 全てのソース・シンク間に対しユークリッド距離の最小値を L の値とする
- Step 2: 対称斜め格子の角度を $\sin\theta = h/L$ とし対称斜め格子を作成する
- Step 3: それぞれのネットに対し、以下を実行する
 - Step 3.1: シンクを全て接続する最小木の根 r の位置を求める

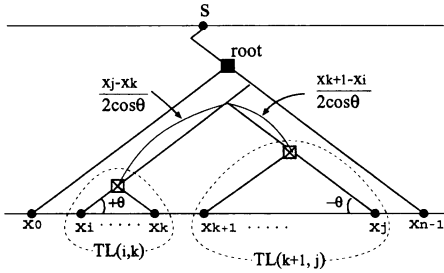


図2 端子 t_i から端子 t_j を接続する対称斜め格子上の2分木

Step 3.2: r を根としシンクを全て接続する最小木を動的計画法により求める
 Step 3.3: r とソースを接続するパスを求め、Step 3.2 で得られた最小木に加える

本方法の特徴は、根 r からソースに近づく方向に格子上を進む限り自由に経路を選んでも等長性が保たれることにある。このように配線経路に自由度が存在するため、総配線長最小化問題が生じる。この問題を解決するのが Step 3.2 であり、動的計画法の適用方法は以下の通りである。

はじめに全てのシンク端子をその x 座標の小さい方から t_0, t_1, \dots, t_n のように名前をつけなおす。このとき t_0 を通過する角度 $+\theta$ の格子線と t_n を通過する角度 $-\theta$ の格子線の交点が r となる。 r を根とする全てのシンクを斜め格子上で接続する木は図2のように2分木で表現される。このことから各ネットのシンク端子 t_i から t_j を接続する部分木 $TL(i, j)$ の長さは以下の再帰式で表すことができる。ただし、 x_i, x_j, x_k はそれぞれ t_i, t_j, t_k の x 座標の値とする。

$$TL(i, j) = \min\{TL(i, k) + TL(k+1, j) + \frac{x_j - x_k}{2\cos\theta} + \frac{x_{k+1} - x_i}{2\cos\theta} \mid k = i, \dots, j-1\}$$

この式から $TL(i, j)$ が最小となるとききの k を動的計画法で再帰的に求めることができる。与えられたネットの端子数を n とすると r を根とする最小木は $TL(0, n-1)$ を求めることにより得られる。

3. チャンネル等長配線の直交化

斜め格子上で配線を実現する際、プリント基板であれば多くの場合任意の直線が実現可能である。しかしチップ内配線などではプロセスによっては直交配線以外は実現できないことが多い。そこで斜め配線の直交変換が必要となる。そのとき全配線の等長性が保たれていなければならない。本チャンネル等長配線方式であれば、配線経路を構成する線分の傾きが等しいため全ての線分を図3に例示するように変換すれば等長性が維持される。これは線分の水平座標を保つ変換なので水平射影変換と呼ぶ。各線分毎にこの射影変換は一意である。したがって直交配線の結果は、各ネット配線をどのような線分の集合へ分解するかに影響される。ここでは、端子、分岐点、および人為的に挿

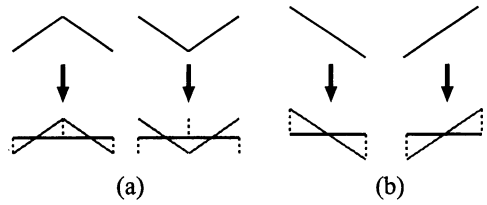


図3 水平射影変換

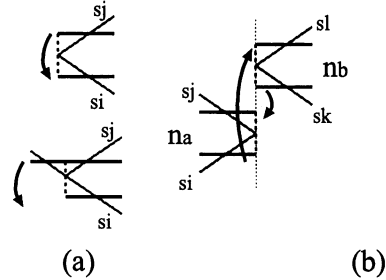


図4 垂直制約生成

入されるピアと呼ばれる点を区切りとする線分へ分解する。また、従来のチャンネル配線同様、重なりのない配線経路を得るために垂直制約を定義する。詳細は以下に記述する。

3.1 水平線分の抽出

あるネットの配線経路を構成する斜め線分の集合を $s_0, s_1, \dots, s_{\#seg}$ とする。このとき水平射影変換(図3を参照)は以下に行なわれる。

- s_i と s_j のソース側の端点と同じである場合、図3(a)のように s_i, s_j の射影2つをまとめて1つの水平線分を生成する
- 上記以外の場合、図3(b)のように、それぞれの水平射影に対し1つの水平線分を生成する

3.2 垂直制約の抽出

上記の手順で得られた水平線分をチャンネルのトラックに割り当て配線経路を生成する際、垂直線分の重なりが生じないように垂直制約を定義する必要がある。本稿では従来のチャンネル配線と異なり、複数の配線経路が x 座標が同じ位置で折れ曲がる場合が存在し、これらのネットに対しては垂直制約が必要となる。また、同じネットでも水平線分をトラックに割り当てる順序を考慮する必要がある。

ネット n_a の斜め線分 s_i に対応する水平線分を $hs^a[i]$ としたとき、本稿では配線経路の折れ曲がり位置、端子位置をもとに垂直制約を以下のように定義する。

- それぞれのネット n_a に対し、斜め線分 s_i の上側端点と s_j の下側端点が一致しているとき、 $hs^a[i]$ は $hs^a[j]$ の下(図4(a))
- 2つのネット n_a, n_b の斜め配線経路の折れ曲がり部分の x 座標が等しく図4(b)のようになっている(s_i, s_j はネット n_a の斜め線分、 s_k, s_l はネット n_b の斜め線分とする)とき、 $hs^b[l]$ は $hs^a[i]$ の下、または $hs^a[j]$ は $hs^b[k]$ の下

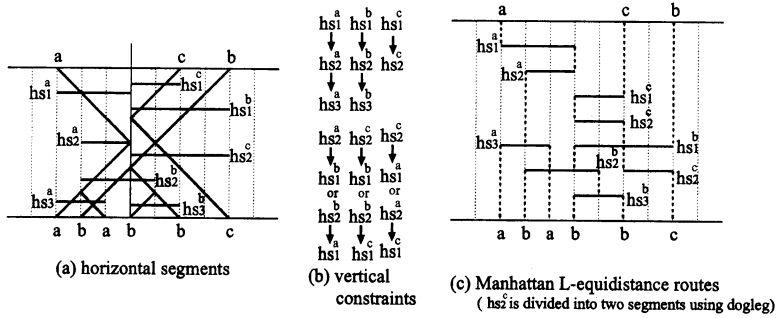


図5 チャネル等長配線の直交化

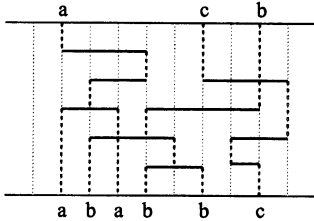


図6 図1の例題に対する最適解:チャネル高さ6

ただし、 s_j, s_k のうち一つでも端子に接続している場合は $hs^b[i]$ は $hs^a[i]$ の下、 s_i, s_l のうち一つでも端子に接続している場合は $hs^a[j]$ は $hs^b[k]$ の下

3.3 チャネル配線アルゴリズムの適用

以上の手続きにより得られた水平線分と垂直制約を用いて、[2]のチャネル配線アルゴリズムを用いて対称斜め格子上のチャネル等長配線経路を直交化することができる。Fig.1(a)を[5]のアルゴリズムを用いて直交化した後のチャネル等長配線経路をFig.5(c)に示す。

4. チャネル高さ最小化手法

本稿ではチャネル等長配線においてチャネルの高さを減少させるアルゴリズムを提案する。チャネル等長配線で扱う経路は従来のチャネル配線で扱う経路と異なり、ソース・シンク間が全て指定された長さになるように経路に迂回が挿入される。迂回パターンは多く存在するため、その結果、条件を満たす配線経路は多数存在する。例えば、図6は図1の例題に対する解の1つである。図5(c)に比べチャネル高さが2トラック分低くなっている。

本稿では[2]のチャネル等長配線手法を用いて初期解を生成し、その配線経路を繰り返し修正することによりチャネル高さ最小化を図るアルゴリズムを提案する。本稿ではビアにおける遅延の増加を考慮し、全てのシンク・ソース間を結ぶパス上に存在するビア数が一定になるようにする。

4.1 チャネル高さ最小化のための配線評価

はじめにチャネル高さの決定要因を分析する。一般にチャネル配線問題におけるチャネル高さは水平線分に新たに折れ曲がりを入れない場合、 max (垂直制約グラフの最大高さ, 同じ座

標を通過するネット本数の最大値)が下限となる[9]。本稿ではビア数を一定にするため3.1節で生成される水平線分に折れ曲がりを入れない。よって、垂直制約グラフの最大高さ及び同じ座標を通過するネット本数の最大値を小さくすればチャネル高さも低くなると考えられる。

チャネル等長配線の場合、各ネットに対し水平線分が複数存在するため、同じ座標を通過する水平線分の本数がチャネル高さを支配するといえる。本稿で扱う配線経路はビア数、パス長が一定であり配線資源の量はほとんど変わらないので、水平線分の本数の最大値はすべての列の水平線分の本数が均等化されれば減少すると考えられる。

チャネル等長配線における垂直制約グラフは3.2節により得られ、このグラフの高さの最大値がチャネル高さを支配する。特に本手法の制約グラフでは折れ曲がり箇所の重なりによる制約が多く生じている。このことを考慮し、折れ曲がり箇所の重なりによる制約数を減らせば、制約そのものの数を減らすことができ、結果として垂直制約グラフにおける最大高さが減少することが期待できる。

しかし、水平線分の最大値が下がる時、初期解で密度が小さかった場所に配線経路が移動する傾向がある。このとき配線経路が蛇行し折れ曲がりが増えることは避けられない。本稿ではこれを考慮しチャネル高さへの影響が少ない配線密度が低いところでの折れ曲がり数は許容することとする。

以上を考慮し、本手法では配線経路 \mathcal{R} において $x = i$ を通過する水平線分の本数を $\#hs[i]$ 、その最大値を $\#max_{hs}, x=i$ における折れ曲がりの数を $\#bend[i]$ としたとき、評価関数 $Eval(\mathcal{R})$ を以下のように定義する。

$$Eval(\mathcal{R}) = \sum_{i=0}^{\#column-1} (\#max_{hs} - \#hs[i])^2 + (\#hs[i] * \#bend[i]^2)$$

4.2 配線経路の修正

本手法では対称斜め格子を用いたチャネル等長配線手法により初期配線を得、これをチャネル高さが最小になるように配線経路を繰り返し修正する。チャネル高さ最小化の配線評価に用いられる配線の折れ曲がり部分、水平線分は対称斜め格子上の

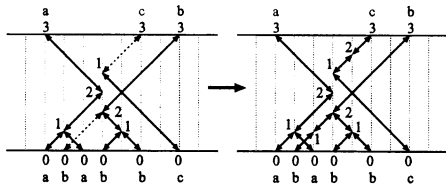


図 7 ビアの挿入

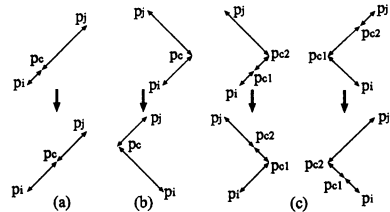


図 8 配線経路の部分修正

配線経路データから容易に得られることから、本稿では対称斜め格子上の配線経路を修正することによりチャンネル高さの最小化を行い、得られた対称斜め格子上の配線経路を2節の手順で直交化する。本稿ではビアによる遅延の増大を考慮しソース・シンク間をつなぐ全てのパス上に存在するビア数が一定になるようにする。本稿では対称斜め格子上の初期配線経路を構成する斜め線分のいくつかを分割することにより余分なビアが挿入されるようにする。

詳細なビアの挿入方法は以下の手順により行う。

Step 1: 全てのネットに対し、全ての折れ曲がり点、スタイナ点、端子に以下に記すように再帰的にラベルをつける

- シンクのラベルは全て 0
- 斜め線分 s_i, s_j のソース側の端点が等しいとき (スタイナ点)、その端点のラベルは $\max(s_i \text{ のシンク側端点のラベル}, s_j \text{ のシンク側端点のラベル}) + 1$
- 斜め線分 s_i のソース側の端点がスタイナ点でないとき、その端点のラベルは s_i のシンク側端点のラベル + 1

Step 2: 全てのネットのソースの端点のラベルの最大値 h_{max} を求める

Step 3: 全てのネットのソースのラベルを h_{max} で置き換える

Step 4: それぞれの斜め線分のシンク側端点のラベルを h_b 、ソース側端点のラベルを h_a としたとき、 $h_a > h_b + 1$ ならば、その線分を $h_a - h_b$ 個に分割する

例として図 1 にラベルをつけ斜め線分を分割した例を図 7 に示す。Step 1~3 により図 7 左のようにラベル付けされる。このとき点線両矢印によりあらわされている 2 つの斜め線分は $h_a > h_b + 1$ となっている。両方とも $h_a - h_b = 2$ なので斜め線分を 2 つに分割すると図 7 右のような斜め線分の集合が得られる。

ビア挿入後の配線経路を初期解として配線経路の修正方法を考える。チャンネル等長配線アルゴリズムにより得られる配線経路は総配線長最小で実現されているため、動的計画法により得られる r を根としシンク端子を全て接続する配線経路は修正不可能である (ただし、上記の手順でビアが挿入されている場合はそのビア位置を移動させることは可能である)。一方 r とソース端子を接続するパスは直線で結ばれていない限り経路の一部を反転することにより配線経路の一部を変更することができる。

本手法では配線経路の部分修正方法として以下の 3 パターンを提案する。

- スタイナ点でない点 p_c を端点に持つ 2 つの斜め線分 $seg[i] = (p_i, p_c)$ 、 $seg[j] = (p_c, p_j)$ に対し、
- (a) $seg[i]$ と $seg[j]$ が 1 直線上存在するとき、 p_c の位置を p_i

と p_j 結んだ線分上の点に移動させる

(b) $seg[i]$ と $seg[j]$ が p_c で折れ曲がっているとき、 p_i と p_j 結んだ線分に関して 2 つの線分を反転させる

• スタイナ点でない 2 つの点 p_{c1}, p_{c2} を端点に持つ線分 $seg[j] = (p_{c1}, p_{c2})$ と p_{c1}, p_{c2} をそれぞれ端点に持つ 2 つの線分 $seg[i] = (p_i, p_{c1})$ 、 $seg[k] = (p_{c2}, p_k)$ に対し、

(c) $seg[i], seg[j]$ が 1 直線上に存在し、 $seg[k]$ はその直線上に存在しないとき、 p_{c1} で経路が折れ曲がるよう p_{c1}, p_{c2} を図 8(c) 右のように移動する。又は、 $seg[j], seg[k]$ が 1 直線上に存在し、 $seg[i]$ はその直線上に存在しないとき、 p_{c2} で経路が折れ曲がるよう p_{c1}, p_{c2} を図 8(c) 左のように移動する

この (a), (b), (c) による配線経路の部分修正方法を図 8 に示す。これらの部分修正を繰り返し初期配線経路に適用することにより様々な配線経路を列挙し、最も配線評価のよい配線経路を出力する。

4.3 チャンネル高さ最小化手法

本稿で提案する手法は与えられた初期解を繰り返し修正することにより配線経路の最適化を行う。本稿では繰り返し修正を制御する手法として代表的な探索的手法の 1 つであるシミュレーテッドアニーリングを使用した。シミュレーテッドアニーリングにおける move(解の局所変更) として前節で提案した部分経路修正パターンのいずれかを使用する。シミュレーテッドアニーリングのアニーリングスケジュールに必要なパラメータ設定は実験的に決定される場合が多い。本手法でも数回の予備実験より以下のようなパラメータ設定を行った。

初期温度 (T_s):	100
終了温度 (T_e):	0.01
冷却係数 (C):	0.998
各温度における試行回数 ($Loop$):	1000 回

以上のアニーリングスケジュールを SA に適用させたときのチャンネル高さ最適化アルゴリズムを図 9 にまとめる。

5. 実験結果

本稿で提案したチャンネル等長配線の高さ最小化手法を実装し、ランダムに生成したデータに対し適用し実験を行った。ネット数 20, 50 の 2 種類の場合それぞれにネットの端子数 (2~5)、及び端子位置を乱数を用いて決定した。端子の x 座標の範囲は 0~60, 0~100 とした。実装は C 言語を使って行い、CPU 3GHz、メモリ 1 GB の計算機環境でプログラムを実行した。各データに対し 5 回ずつアルゴリズムを実行し、その平均を取った。表 1 に実験結果を示す。

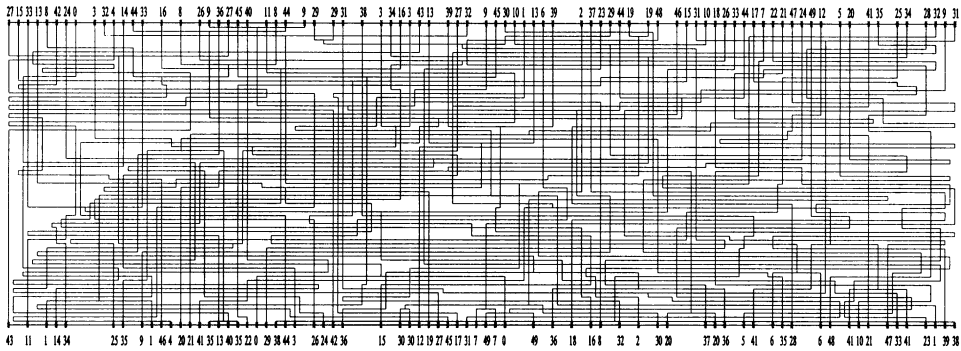


図 10 チャンネル等長配線出力 (ネット数 50,d5)

```

Rprev=初期解
for( t = 100; t > 0.01; t ** 0.998 ){
  for( i = 0; i < 1000; i++ ){
    Rprevにランダムに選んだ move を適用し
    新しい解 Rcur を生成
    gain = Eval(Rprev) - Eval(Rcur)
    [0,1]の乱数を生成し, α とする
    if( α < expgain/T )
      Rprev = Rcur // 解を更新
  }
}

```

図 9 SA によるチャンネル高さ最小化アルゴリズム

表 1 チャンネル高さ最小化アルゴリズム実験結果

#net	L _x	#via		トラック数			time	
		(path)	(total)	init	output	%		
d0	20	52	12	229	45	32.2	71.6	8.82
d1	20	52	10	189	40	29.6	74.0	8.40
d2	20	45	12	249	43	31.6	73.5	9.11
d3	20	42	10	192	42	29.0	69.0	8.52
d4	20	54	12	256	48	35.8	74.6	8.89
d5	50	91	12	595	112	77.0	68.8	12.9

全ての実験結果において 30%前後チャンネル高さを減少させることができた。一方計算時間は 20 ネットに対し約 9 秒, 50 ネットに対し約 13 秒と長くなってしまっている。これは SA により十分な回数の繰り返しが必要になるためである。探索を効率化し計算時間を減らす工夫をすることが今後の課題のひとつである。

6. おわりに

本稿ではチャンネル等長配線におけるチャンネル高さ最小化アルゴリズムを提案した。アルゴリズムの初期解として対称斜め格子を用いたチャンネル等長配線アルゴリズムにより得られた配線経路を採用した。チャンネル高さが低くなるよう配線経路を繰り返し修正することによりアルゴリズムを実現した。この繰り返し修正は SA を用いて制御した。提案アルゴリズムを実装し、ランダムデータに適用したところ、チャンネル高さを約 30%減少させることができた。

文 献

- [1] M. M. Ozdal and M. D. F. Wong, "Length-Matching Routing for High-Speed Printed Circuit Boards," in *Proc. of Intl. Conf. on Computer-Aided Design*, pp.394-400, 2003.
- [2] Y. Kubo, H. Miyashita, Y. Kajitani, and K. Tateishi, "Equidistance Routing in High-Speed VLSI Layout Design," *Integration, the VLSI Journal*, (to be appeared).
- [3] J. Reed, A. S. Vincentelli, and M. Santamauro, "A New Symbolic Channel Router: YACR2," *IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 4, No. 3, pp.208-219, 1985.
- [4] T. Yoshimura and E.S. Kuh, "Efficient Algorithms for Channel Routing," *IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 1, No. 1, pp.25-30, 1982.
- [5] D. N. Deutsch, "A Dogleg Channel Router," *Proceeding of Design Automation Conference*, pp.425-433, 1976.
- [6] R. Rivest and C. Fiduccia, "A Greedy Channel Router," *Proceeding of Design Automation Conference*, pp.418-424, 1982.
- [7] C-K. Cheng, D. N. Deutsch, C. Shohara, M. Taparaukas, and M. Bubien, "Geometric Compaction on Channel Routing," *IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 11, No. 1, pp.115-127, 1992.
- [8] Y. Cai and D. F. Wong, "Efficient Via Shifting Algorithms in Channel Compaction," *IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 12, No. 12, pp.1848-1857, 1993.
- [9] N.Sherwani, "Algorithms for VLSI Physical Design Automation," Kluwer Academic Publishers.