

システム液晶のための配線容量抽出手法

内田 好弘[†] 谷 貞宏[‡] 橋本 昌宜[†] 築山 修治^{††} 白川 功^{‡‡}

[†] 大阪大学大学院情報科学研究科 〒565-0871 大阪府吹田市山田丘 1-5

[‡] シャープ株式会社 ^{††} 中央大学 ^{‡‡} 兵庫県立大学

E-mail: [†] {uchida, hasimoto}@ist.osaka-u.ac.jp

あらまし システム液晶など配線とグランド平面の距離が遠い構造では、配線間の容量結合が大きく容量の見積もりが困難である。本稿ではグランド平面の距離と容量結合の関係を調べ、結合容量を精度よく見積もるための容量抽出手法について考察する。配線構造全体をフィールドソルバで解析するのは困難であるため、計算量、データ規模を削減する方法として 4 種類の領域分割に基づく抽出方法を評価した。システム液晶上の基本的な配線構造である格子構造に対して領域分割をおこない、分割をせずに解析した容量値と比較した結果、総容量、結合容量とも高精度に抽出できる領域分割法を明らかにした。

キーワード 容量抽出, 配線容量, システム液晶

Interconnect Capacitance Extraction for System LCD Circuits

Yoshihiro UCHIDA[†] Sadahiro TANI[‡] Masanori HASHIMOTO[†]

Shuji TSUKIYAMA^{††} and Isao SHIRAKAWA^{‡‡}

[†] Graduate School of Information Science and Technology, Osaka University

1-5 Yamadaoka, Suita, Osaka, 565-0871 Japan

[‡] SHARP Corporation ^{††} Chuo University ^{‡‡} University of Hyogo

E-mail: [†] {uchida, hasimoto}@ist.osaka-u.ac.jp

Abstract This paper discusses interconnect parasitic capacitance extraction for system LCD circuits, where coupling capacitance is much significant since a ground plane locates far away unlike LSI designs. In order to implement an accurate and efficient capacitance extraction system, interconnect structures are spatially divided into several regions considering capacitance coupling range, and analyzed in each region using 3-D field solver. In this paper, four division methods are evaluated in 3x3 lattice structure that is a basic and common structure in system LCD circuits. Experimental results reveal efficient division methods for accurate capacitance extraction.

Keyword Capacitance extraction, Interconnect capacitance, System LCD

1. はじめに

近年、ガラス基板上に回路を実装するシステム液晶技術が普及してきている。従来は液晶パネルとは別に実装していた周辺回路をガラス基盤上に集積する事により製品の小型化、低コスト化が進んでいる。現在はドライバ回路などの小規模な回路の実装が主であるが、プロセス技術の進歩に伴って CPU などの大規模な回路の実装も実現されつつある[1]。その回路設計において、配線間容量の抽出精度が問題となっている[2]。

システム液晶では厚さ数 mm のガラス基板上に回路が生成されており、明確なグランド平面が存在しない。ガラスの反対側に存在する筐体をグランド平面と見立てた場合、LSI の配線に比べると配線-グランド平面間の距離は 100~1000 倍となる。配線容量は、対グランド

容量よりも配線間容量が支配的である。配線交差部などにおける三次元的な容量結合が大きく、正確な容量抽出が困難である。

ディーブサブミクロンプロセス以前の LSI の配線容量抽出では、2 導体間の解析式を用いる手法[3]や 2 導体に対して 3 導体目の影響を補正する 2.5D 方式[4]が主流であった。しかし現在の微細プロセスでは隣接配線との影響が増大するため、配線構造の基本的なパターンを事前にフィールドソルバで解析し、レイアウトに対してパターンマッチングにより算出する手法[5]が用いられることが多い。また、注目配線全体に対して 3D フィールドソルバで容量値を計算する手法も提案されている[6]。

しかしこれらの容量抽出ツールは、LSI の配線を対

象として容量のモデル，抽出方法が設計されており，液晶構造のようにグランドが遠い構造を想定していない。システム液晶の回路に対して精度よく容量を抽出するためにはグランドが遠い場合の容量値を分析し，適切な容量モデルを作成する必要がある。

本研究では，パターンマッチングによる容量抽出法を液晶配線に適用することを想定し，液晶配線に適した空間的な領域分割方法を評価した。2章ではグランド平面が遠い場合の結合容量の振る舞いを解析する。3章では容量抽出対象とする格子構造について定義し，空間的な領域分割手法について説明する。4章では3×3の格子構造に対して領域分割を適用した結果を示し，5章でまとめと今後の課題を示す。

2. 配線 - グランド間距離と容量結合の関係

本章では，基本的な配線構造におけるグランド距離と平行配線間容量，交差配線間容量との関係を示す。

2.1. 平行配線間容量

図1は3配線が平行する構造の断面図である。配線幅 W ，配線間隔 S を全て $5\mu\text{m}$ とし，配線厚 T は $1\mu\text{m}$ ，誘電率は一様で $\epsilon=3.9$ とした。配線-グランド間距離 H を $1\sim 1000\mu\text{m}$ と変化させて容量値の変化を調べた。LSI配線でのグランド距離は $H=1\sim 10\mu\text{m}$ のオーダーであり，システム液晶での配線では $H=1000\mu\text{m}$ のオーダーである。市販のフィールドソルバ[7]を用いて2次元電磁界解析を行った結果を図2に示す。左側の配線 M21 を注目配線とし，各容量と配線-グランド間距離の関係を表している。

図2より，LSIの配線($H=1\sim 10\mu\text{m}$)では対地容量(M21-GND)が支配的であり，直近の平行配線との結合容量(M21-M22)が全体の10~50%である。一方，2本隣の平行配線との結合容量(M21-M23)は10%以下となり影響は小さい。システム液晶の配線($H=1000\mu\text{m}$)では，1本隣の配線との結合容量(M21-M22)が60%，2本隣との結合容量(M21-M23)が22%，対地容量(M21-GND)が18%となり，対地容量よりも2つ隣の平行配線との容量結合の方が大きい。一般にLSI配線ではグランド平面との結合が大きく，平行配線との容量結合は最隣接配線のみを考慮すれば十分であることが多い。しかし

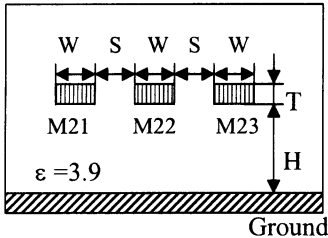


図1：平行3配線の2D断面図

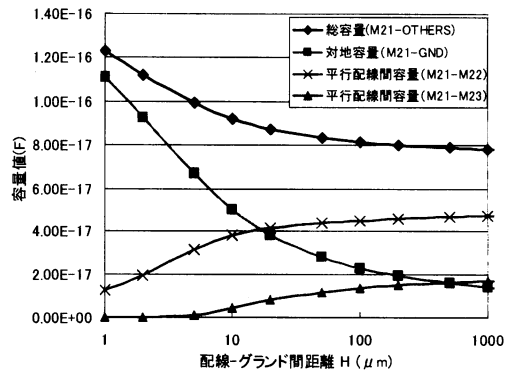


図2：グランド距離と容量値の関係

システム液晶の配線に対しては，少なくとも2つ隣の配線まで見る必要がある。

次に考慮すべき隣接平行配線の本数を調べるため，図1中の平行配線数を1-5本と変化させて容量値を評価した。結果を図3に示す。注目配線に生じる総容量(M21-OTHERS)は，平行配線数が1本と2本の間では150%増加している。2本と3本の間では5%増加しているが，3本以上に増やしてもほとんど変化はなかった。平行配線間容量は，総容量を100%とすると，最隣接の配線との結合容量(M21-M22)は平行配線数が2本の時に77%，3本の時に60%となり，4本以上では54~57%とほぼ一定になった。2本隣の配線との結合容量(M21-M23)は，平行配線数が3本の時に22%，4本以上では11~14%とほぼ一定であった。3本の配線との結合容量(M21-M24)は平行配線数が4本の時に13%となり，それ以上は10%以下であった。以上より，システム液晶の場合には隣接2配線を考慮すべきである。総容量の10%を占める結合容量が問題となる場合は，隣接3配線を考慮する必要がある。ただし，考慮すべき平行配線数が増えると容量モデルの数，計算量は大きく増加するので，精度と計算量はトレードオフとなる。

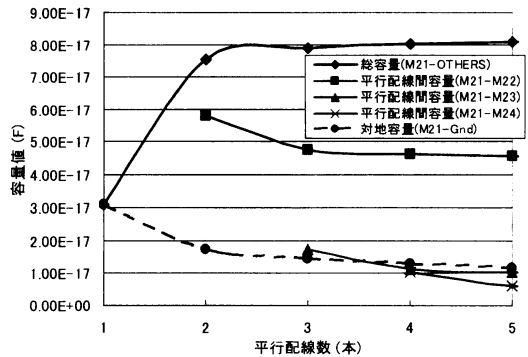


図3：平行配線数と容量値の関係

2.2. 交差配線間容量

図4は交差する2配線のレイアウト図である。下層の配線をM1、上層の配線をM2とし、注目配線をM2とする。各配線幅Wは $5\mu\text{m}$ 、配線厚、配線層間距離はすべて $1\mu\text{m}$ 、誘電率は一様で $\epsilon=3.9$ とした。M2の配線長を交差部から $1000\mu\text{m}$ とし、M1の配線長を交差部から $R1=10\sim 10000\mu\text{m}$ と変化させて交差配線間の容量結合を調べた。3次元電磁界解析を行い、グランド距離を $H=\{1, 10, 100, 1000\}\mu\text{m}$ として調べた結果を図5に示す。

LSI配線($H=1\sim 10\mu\text{m}$)に対しては、配線長にかかわらず結合容量が一定となっている。これは注目配線M2に対して対地容量が支配的であり、交差配線間には対向している部分周辺のみ容量結合が生じているからである。一方、システム液晶の配線($H=1000\mu\text{m}$)では配線長が $2000\mu\text{m}$ の辺りではようやく収束が見られた。M2に対してグランド平面よりも隣接配線のほうがはるかに近く、交差部から遠い距離まで容量結合が生じているからである。この効果がシステム液晶特有の現象であり、既存容量抽出手法で十分な精度が出ない要因であると考えられる。よってシステム液晶の回路に対して精度よく容量を見積もるためには、この容量結合の影響範囲を考慮する必要がある。

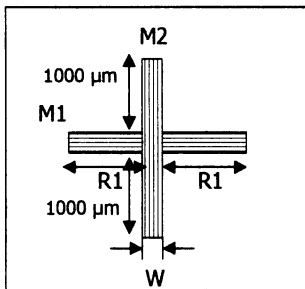


図4: 交差2配線のレイアウト図

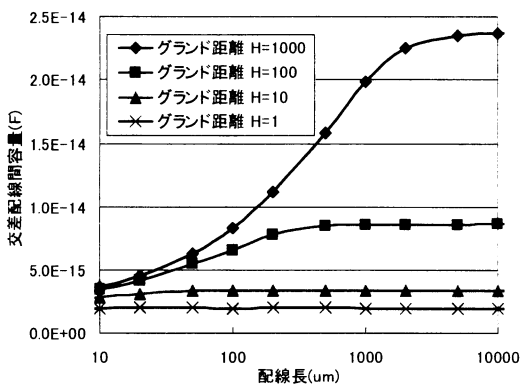


図5: 交差配線間における容量結合の範囲

3. 容量抽出手法

本章では、容量抽出対象であるシステム液晶のプロセス情報、配線の構造パラメータについて定義し、評価に用いた空間的な領域分割方法を説明する。

3.1. 対象プロセスと構造パラメータ

対象とするシステム液晶のプロセス情報、配線パターンを図6に示す。配線-グランド間距離は $1000\mu\text{m}$ であり、配線は2層で下層をM1、上層をM2とし、互いに直交するものとする。配線厚、配線層間距離はすべて $1\mu\text{m}$ とし、誘電率は一様で $\epsilon=3.9$ とする。配線の構造パラメータは、配線幅W、配線間隔S、配線長Lである。本文ではWは簡単のためすべて $5\mu\text{m}$ とする。Sは各層とも最小値を $5\mu\text{m}$ とし、その整数倍の値をとるものとする。

以上の条件から、本文では2層の配線回路の頻出する基本構造である $m \times n$ の格子構造を容量抽出の評価対象構造とする。容量を抽出したい注目配線に対して、隣接配線がない場合、平行配線がない場合も格子構造のサブセットとして考える事ができる。

3.2. 容量抽出処理の流れ

本研究で想定しているパターンマッチングを用いた容量抽出の一般的なフローを図7に示す。まず前処理としてプロセス情報、目標精度などから特徴的なパターンに対する容量モデルの計算を行い、容量モデルの係数データベースを作成する。この時、パラメータの全ての組合せを保持するものと、何点かの計算結果を保持しておき、それ以外は係数フィッティングにより補間するものがある。容量抽出実行時には、レイアウトデータに対して容量を抽出したいネットを選択する。次に注目ネットと容量結合を生じる隣接・交差する配線を含んだ配線構造を容量抽出構造として定義する。そして抽出構造に対して容量モデルとのパターンマッチングを行い、構造全体の容量値を算出し、注目ネットに対する容量抽出結果を出力する。配線構造に対応する容量モデルがない場合は、近い構造を持った容量モデルとマッチングが行われる。

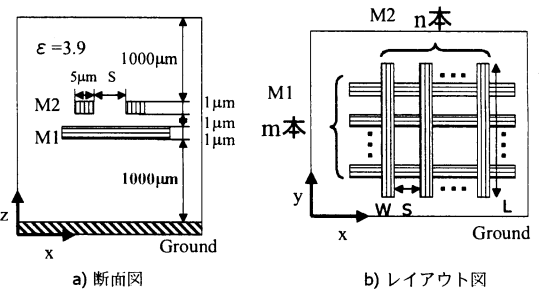


図6: 対象プロセス情報

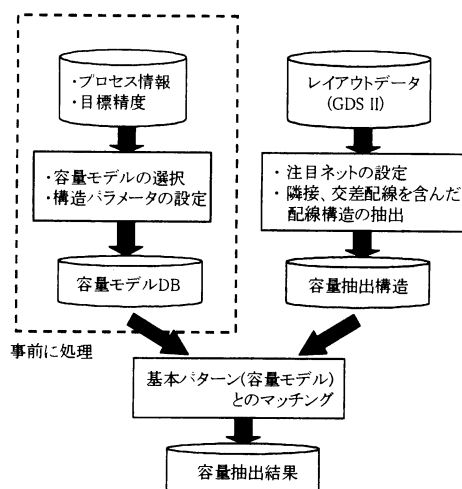


図7：容量抽出処理の流れ

精度のよい容量抽出のためには、容量結合の範囲を考慮できる特徴的なレイアウトパターンの選択が必要である。各構造パラメータの値が容量値に大きく影響するため、各パラメータの値の範囲、解析する値の個数を適切に設定することも重要である。

3.3. 評価に用いた領域分割法

抽出構造の例として図8の5×3の格子構造を考える。格子構造の構造パラメータは、配線間隔 S11, S12, S21, S22, S23, S24, 格子部から配線端までの長さ R11, R12, R21, R22 の10個である(配線幅は5μmに固定)。

2章で述べたように、対象がLSI配線ならば平行配線は最隣接配線のみを考慮すればよいので、容量モデルの大きさは小さく、考慮すべき構造パラメータの数も少ない。しかし、システム液晶の回路では影響範囲が極めて広く、構造全体を解析しなければ正確な容量値は得られない。ただし、3Dフィールドソルバは導体

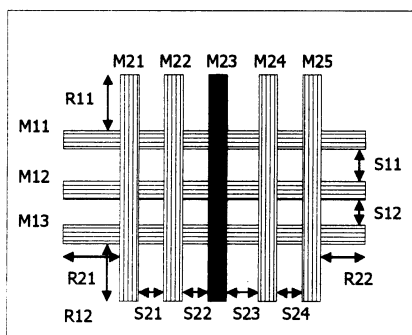


図8：5×3格子構造

数が増えると解析時間が飛躍的に大きくなり、規模が大きすぎる場合は解析できない。また、考慮すべき配線数、構造パラメータの数が増え、値の範囲も広いため、膨大な組合せの事前シミュレーションが必要となる。図8の場合、各構造パラメータに対して3種類の数値を考えると、総当りのパターン数は $3^{10} = 59,049$ パターンと膨大な数となり、計算量、データ規模の両方の点で実行困難である。

そこで本稿では、配線構造に対する空間的な領域分割を検討し、計算量、データ規模の削減を図る。直交する配線の中央など、配線構造における電界の対称性を考慮して分割する事により、精度よく容量を抽出できる。本稿では以下の4種類の領域分割法を評価した。

方法1) 注目配線の最隣接配線のみを考慮

LSI配線での容量モデルと同じく、最隣接配線のみを考慮する。図8において注目配線をM23とすると、M21, M25を除いた3×3の格子構造として解析を行う。

方法2) 注目配線および注目配線と直交する配線の中央で領域を分割

図9に示すように注目配線、注目配線と直交する配線の中央で領域を分割する。LSI配線ではさらに隣接配線で分割する方法もあるが[8]、システム液晶の回路では平行配線の影響が大きいことから、ここでは注目配線、直交配線の中央でのみ分割する。

方法3) 直交する配線の中央で領域を分割

2)の手法は注目配線に対して左右非対称な構造に対しては誤差が大きくなる[8]。そこで注目配線の中央では分割を行わず、直交配線の中心でのみ分割する。

方法4) 直交配線の間で領域分割

領域の分割にはフィールドソルバの境界条件による誤差が生じる。境界条件を考慮し、注目配線に対する直交配線からの電気力線を対称に評価できるように、直交配線の間で分割する。3)と同じ理由から縦方向の分割は行わない。

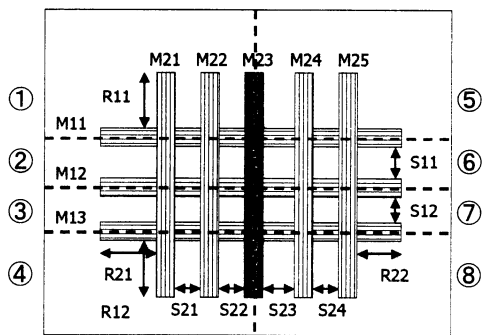


図9：注目・直交配線中心での分割方法

4. 容量抽出精度評価

3.2 節で説明した各領域分割方式について、2 種類の格子構造に対して精度評価を行った。

4.1. 5×3 格子構造

図 8 の 5×3 の格子構造に対して、 $R11=R12=1000 \mu m$ 、 $R21=R22=100 \mu m$ 、配線間隔はすべて $5 \mu m$ として領域分割手法の評価を行った。結果を表 1、2 に示す。注目配線に対する構造の対称性の影響を調べるため、表 1 は注目配線を中央の M23 とし、表 2 は注目配線を左の M21 とした結果である。誤差は以下の式に示すように、領域分割により生じる容量値の差分を、領域分割せずに正確に評価した総配線容量で割った値で定義した。

$$\frac{\text{容量値(分割なし)} - \text{容量値(分割)}}{\text{総容量値(分割なし)}} \times 100 \quad (1)$$

表 3 には各手法の計算時間、最大構造パラメータ数、パラメータの候補を 3 つと考えた場合の総当りの組合せパターン数(データ規模)を示した。例えば領域分割法 2) では、領域①～④に対する解析時間の和は 108.0 秒である。2) で最もパラメータ数の多い領域②を考える。領域②における構造パラメータは縦方向：S11、横方向：S21、S22、R21 の計 4 つであり、各パラメータに対して 3 つの数値で事前評価するので、総当りのパターン数は $3^4 = 81$ となる。

表 1-3 より、隣接 1 配線しか考慮しない 1) では平行配線間容量の誤差が 12.7%と大きく、また総容量にも 4.9%の誤差が生じている。領域を細かく分割できる 2) は計算量、組合せ数とも少ないが、抽出構造が非対称の場合に総容量の 10%という誤差が生じている。この

表3:各手法の性能評価

領域分割法	計算時間 (s)	構造パラメータ数		総当りパターン数
		横方向	縦方向	
1)	108.0	4	4	6,561
2)	83.4	3	1	81
3)	136.6	6	1	2,187
4)	129.3	6	2	6,561
分割なし	186.7	6	4	59,049

構造の場合は 3)、4) の直交配線の方向だけで領域を分割する方法が適している。

4.2. 3×3 格子構造

領域分割の誤差を統計的に評価するために 3×3 の格子構造に対して構造パラメータを変化させて精度評価を行った。ここでは各配線間隔のバリエーションは $S=\{5, 50, 1000\} \mu m$ とし、M1、M2 の配線長はそれぞれ $L=\{50, 200, 1000, 3000\} \mu m$ とした。配線が交差ししない構造 ($L1 < S21$ の場合など) は除き、左右の配線間隔が入れ替るだけなど冗長な構造も除いて実行した。評価した配線構造の総数は 144 である。解析は注目配線が中央と左端の場合で行い、誤差は(1)式で計算した。総容量、平行配線間容量、交差配線間容量の誤差の最大値、最小値、平均値、標準偏差をそれぞれ表 4、5、6 に示す。

総容量については、2) の手法は構造の非対称性から最大誤差が 20.6%と大きくなっている。その他の手法については十分な精度が確認できた。平行配線間容量については、2本隣の配線を考慮していない 1)、構造の対称性が影響する 2) の精度が悪くなっている。交差配線間容量については、2)、3)、4) の手法で-7%という誤差が生じている。これは直交配線間の間隔が $5 \mu m$ の時で、領域の境界条件が“直交配線が間隔 $5 \mu m$ で無

表1：注目配線=M23とした時の容量値と精度比較

M23	容量値 (fF)					誤差 (%)				
	総容量	交差1	交差2	平行1	平行2	総容量	交差1	交差2	平行1	平行2
	total	M23-M11	M23-M12	M23-M24	M23-M25	total	M23-M11	M23-M12	M23-M24	M23-M25
1)	169.9	3.8	3.4	68.2	0.0	-2.6	0.3	0.4	6.5	-10.4
2)	173.8	3.3	2.7	56.9	18.4	-0.4	0.0	0.0	0.1	0.1
3)	174.4	3.3	2.7	56.9	18.2	-0.1	0.0	0.0	0.1	0.1
4)	174.6	3.4	2.7	56.9	18.2	0.1	0.1	0.0	0.0	0.0
分割なし	174.5	3.3	2.7	56.8	18.2	0.0	0.0	0.0	0.0	0.0

表2：注目配線=M21とした時の容量値と精度比較

M21	容量値 (fF)					誤差 (%)				
	総容量	交差1	交差2	平行1	平行2	総容量	交差1	交差2	平行1	平行2
	total	M21-M11	M21-M12	M21-M22	M21-M23	total	M21-M11	M21-M12	M21-M22	M21-M23
1)	135.4	4.9	4.1	83.2	0.0	-4.9	0.5	0.4	12.7	-12.7
2)	127.4	4.4	2.9	54.6	12.3	-10.5	0.2	-0.5	-7.3	-4.1
3)	142.1	4.0	2.8	65.2	18.2	-0.1	-0.1	-0.6	0.1	0.1
4)	142.3	4.3	2.8	65.2	18.2	0.0	0.2	-0.5	0.1	0.1
分割なし	142.3	4.1	3.6	65.0	18.1	0.0	0.0	0.0	0.0	0.0

表 4：総容量の誤差(%)

	注目配線:中央				注目配線:左端			
	1)	2)	3)	4)	1)	2)	3)	4)
MAX	0.0	2.5	2.3	2.1	0.4	20.6	2.9	2.6
MIN	0.0	-8.4	-4.2	-2.4	-3.7	-1.3	-3.9	-2.0
ave	0.0	-1.3	-0.4	0.1	-1.4	12.6	-0.8	0.0
3σ	0.0	6.2	2.5	1.5	3.8	17.4	3.5	2.3
abs(ave)+3σ	0.0	7.5	2.8	1.6	5.2	30.0	4.3	2.3

表 5：平行配線間容量の誤差(%)

	注目配線:中央				注目配線:左端			
	1)	2)	3)	4)	1)	2)	3)	4)
MAX	0.0	4.5	0.7	0.3	14.4	20.2	0.7	0.3
MIN	0.0	0.0	-0.1	-0.2	0.0	-0.6	-0.3	-0.2
ave	0.0	1.3	0.2	0.1	5.8	6.3	0.2	0.1
3σ	0.0	4.3	0.5	0.2	13.8	18.7	0.5	0.2
abs(ave)+3σ	0.0	5.7	0.6	0.3	19.6	25.1	0.7	0.3

表 6：交差配線間容量の誤差(%)

	注目配線:中央				注目配線:左端			
	1)	2)	3)	4)	1)	2)	3)	4)
MAX	0.0	0.7	0.6	1.1	1.3	1.4	1.0	1.3
MIN	0.0	-7.6	-7.6	-7.6	-0.1	-7.4	-7.4	-7.5
ave	0.0	-1.4	-1.4	-1.3	0.3	-2.0	-2.1	-1.9
3σ	0.0	5.4	5.3	5.5	0.8	6.9	6.6	7.1
abs(ave)+3σ	0.0	6.8	6.7	6.8	1.1	8.9	8.8	8.9

限に並ぶ構造”と同じになるからである。システム液晶の回路では直交配線同士にも強い容量結合が生じているため、領域分割により過小評価となる。平均ではどの手法も誤差は2%以内と精度よく計算できている。

以上の結果から、3)、4) を用いれば総容量、結合容量ともに精度よく抽出可能であり、システム液晶の配線構造に対して、領域分割による容量抽出が有効であることが確認できた。

5. まとめと今後の課題

本稿では、システム液晶の回路に対し結合容量を精度よく見積もるための配線容量抽出手法について考察をおこなった。正確な容量抽出のために必要な解析の計算量、データ規模を削減するため、容量結合の影響範囲を調べ、空間的な領域分割を検討した。システム液晶の基本配線構造である格子構造に対し4種類の領域分割法を評価し、注目配線に直交する配線で領域を分割する事により、平均誤差2%以内で、総容量、結合容量ともに精度よく抽出できる事を確認した。

今後の課題としては、さらなる計算量削減のための分割領域の評価、および格子以外の配線構造に対する容量抽出の検討などがあげられる。

文 献

[1] B. Lee, Y. Hirayama, Y. Kubota, S. Imai, A. Imaya, M. Katayama, K. Kato, A. Ishikawa, T. Ikeda, Y. Kurokawa, T. Ozaki, K. Mutaguch, and S. Yamazaki, "A CPU on a glass substrate using

CG-silicon TFTs," *Proc. Solid-State Circuits Conference(ISSCC2003)*, vol.1, pp.164-165, CA, USA, Feb. 2003.

- [2] S. Tani, Y. Uchida, M. Furuie, S. Tsukiyama, B. Y. Lee, S. Nishi, Y. Kubota, I. Shirakawa, and S. Imai, "Parasitic Capacitance Modeling for Non-Planar Interconnects in Liquid Crystal Displays," *IEICE Trans. on Fund.*, vol.E86-A, no.12, pp.2923-2932, Dec. 2003
- [3] T. Sakurai, "Closed-form expressions for interconnection delay, coupling, and crosstalk in VLSI's," *IEEE Trans. Electron Devices*, vol.40, no.1, pp.118-124, Jan. 1993
- [4] U. Choudhury and A. Sangiovanni-Vincentelli, "Automatic Generation of Analytical Models for Interconnect Capacitances," *IEEE Trans. on Computer-Aided Design*, vol.14, no.4, pp.470-480, Apr. 1995
- [5] J-K. Wee, Y. J. Park, H. S. Min, D-H. Cho, M-H. Seung, and H-S. Park, "Measurement and Characterization of Multilayered Interconnect Capacitance for Deep-Submicron VLSI Technology," *IEEE Trans. on Semiconductor Manufacturing*, vol.11, no.4, pp.636-644, Nov. 1998
- [6] M. Bächtold, M. Spasojevic, C. Lage, and P. B. Ljung, "A System for Full-Chip and Critical Net Parasitic Extraction for ULSI Interconnects using a Fast 3-D Field Solver," *IEEE Trans. on Computer-Aided Design*, vol.19, no.3, pp.325-338, Mar, 2000
- [7] Synopsys, Raphael 2002.2 User's Manual
- [8] 小林進, 枝廣正人, "ディープサブミクロン LSI 設計のための高速配線容量抽出手法", *情報処理学会論文誌*, vol.41, no.4, pp.863-870, Apr. 2000