

非対称な信号遷移を用いた高速論理回路方式

森本 薫夫[†] 永田 真^{††} 瀧 和男^{††}

[†] 神戸大学大学院自然科学研究科

^{††} 神戸大学工学部情報知能工学科

〒 657-8501 神戸市灘区六甲台町 1-1

E-mail: †morimoto@cs26.scitec.kobe-u.ac.jp, ††{nagata,taki}@cs.kobe-u.ac.jp

あらまし ASDDL(Asymmetric Slope Differential Dynamic Logic) と ASD-CMOS (Asymmetric Slope Differential CMOS) は信号の立上り遷移と立下がり遷移に要する時間を意図的に非対称とすることで高速化を図った二線式論理回路である。ASDDL はダイナミック回路, ASD-CMOS はスタティック回路であり, クロック信号を用いずに回路のプリチャージを制御するため, 従来のダイナミック回路よりも小面積, 低消費電力を実現できる。0.18- μm プロセスによるシミュレーション結果では, ASDDL と ASD-CMOS 乗算器の遅延時間はそれぞれ 1.82nsec, 1.78nsec であり, CMOS よりも高速動作が可能なダイナミック回路である DCVS-DOMINO に比べて 96%, 94%であった。また, 面積は DCVS-DOMINO の 92%, 97% となり, それにより消費電力はそれぞれ 20%, 2%削減した。さらに 0.13- μm プロセスで試作したテストチップでは, 電源電圧 1.2V での ASD-CMOS 乗算器の遅延時間は 1.57nsec であり, 正常な動作を確認することができた。

キーワード ASDDL, ASD-CMOS, 非対称な信号遷移, 二線式論理回路, 差動型論理回路, 高速動作

High-Speed Logic Circuit Technology with Asymmetric Slope Transition

Masao MORIMOTO[†], Makoto NAGATA^{††}, and Kazuo TAKI^{††}

[†] Graduate School of Science and Technology, Kobe University

^{††} Department of Computer and Systems Engineering, Kobe University

1-1 Rokkodai-cho, Nada-ku, Kobe 657-8501, Japan

E-mail: †morimoto@cs26.scitec.kobe-u.ac.jp, ††{nagata,taki}@cs.kobe-u.ac.jp

Abstract Differential logic circuits with asymmetric signal transition surpass the highest speed that conventional CMOS logic circuits can achieve, resulting from deeply shortened rise time along with reasonably slowed fall time. ASD-CMOS (Asymmetric Slope Differential CMOS) is a static logic and ASDDL (Asymmetric Slope Differential Dynamic Logic) is a dynamic logic without per-gate synchronous clock signal, each of which needs two-phase operation as well as differential signaling. ASDDL/ASD-CMOS achieves smaller area and lower power than conventional dynamic circuits. ASDDL and ASD-CMOS 16-bit multipliers in a 0.18- μm CMOS technology demonstrates 1.82 nsec and 1.78 nsec, which corresponds to 96% and 94% of DCVS-DOMINO, respectively. The area was 92% and 97% of that in DCVS-DOMINO implementation, and the power consumption reduces to 20% and 2%, respectively. A prototype ASD-CMOS 16-bit multiplier with built-in test circuitry fabricated in a 0.13- μm CMOS technology operates with the delay time of 1.57 nsec at 1.2 V.

Key words ASDDL, ASD-CMOS, asymmetric slope, differential logic, high speed

1. はじめに

近年の SoC 開発において, 高速低消費電力のデジタルプロセッサの要求はますます増加する傾向にある。高速な動作を実現するために従来のスタティック CMOS はトランジスタの W

を大きく設計する必要があるが, トランジスタの容量が増加してしまうため, トランジスタの W に比例した動作速度を得ることができない。

そこで, スタティック CMOS よりも高速に動作するダイナミック回路 [1]-[3] が提案されている。これらの回路方式では設

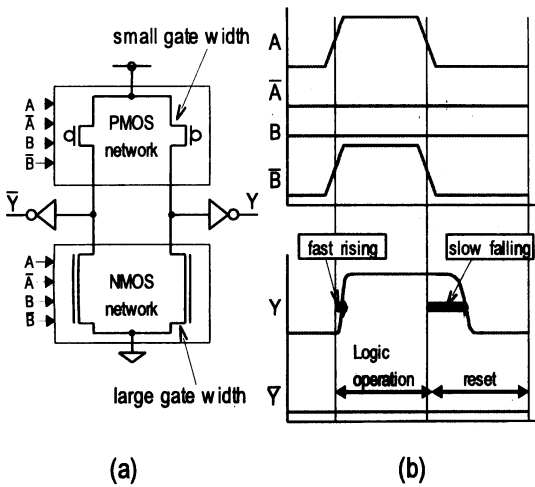


図1 ASDDL/ASD-CMOS logic circuit, (a)differential structure, (b)two-phase operation.

計した回路の全ての論理セルにプリチャージを制御するためのクロック信号を分配しなければならない。それに伴って、大量のクロックバッファを挿入する必要があり、面積、消費電力が増加する。

本稿では信号の遷移時間を意図的に非対称とした ASDDL (Asymmetric Slope Differential Dynamic Logic) と ASD-CMOS (Asymmetric Slope Differential CMOS) [4] が従来のダイナミック回路の性能を凌駕できることを示す。ASDDL/ASD-CMOS は全ての論理を立ち上がり遷移で表現し、論理回路のスイッチング動作における立ち上がり遷移時間を立ち下がり遷移時間よりも高速に設計した二線式論理回路であり、従来のダイナミック回路が持っていたプリチャージを制御するための専用信号を大幅に削減することで従来のダイナミック回路に比べて小面積、低消費電力を実現する。

以下、第2章では ASDDL/ASD-CMOS の特徴、回路構成について説明し、サイクルタイムを短縮するためのアーキテクチャについて述べる。次に第3章では代表的なダイナミック回路の1つである DCVS-DOMINO との回路構成上の違い、およびシミュレーションによる比較評価を述べる。第4章で試作したテストチップの実測結果を示し、最後に第5章でまとめる。

2. ASDDL/ASD-CMOS 回路方式

2.1 回路構成

ASDDL/ASD-CMOS は正論理と負論理の信号で論理値を表現する二線式論理回路である(図1)。二線により表現される値は、有効値としての論理 $0\{0,1\}$ と論理 $1\{1,0\}$ および休止値 $\{0,0\}$ の3種類である。初期値として休止値を伝搬させることで回路全体をリセットし、次に有効値を入力に与え順次後段に伝搬させることで演算を行う。有効値を伝搬させる前には必ず休止値を伝搬させて回路をリセットすることから、回路の遅延時間は立上りの伝搬(有効値への遷移)時間となり、立上

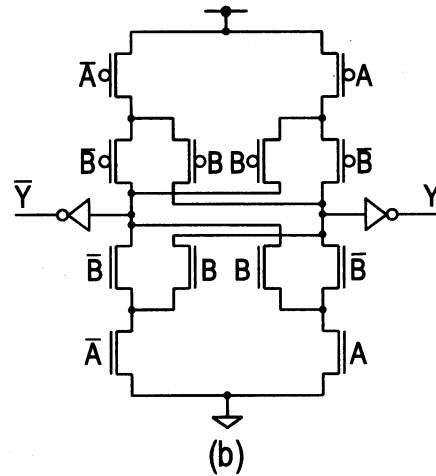
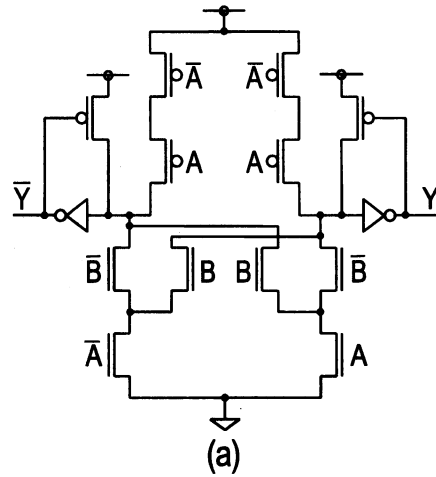


図2 Circuit schematic of (a) ASDDL EXOR cell, and (b) ASD-CMOS EXOR cell.

り遷移をより高速となるように設計する事で、回路全体の高速化を図る。この非対称な信号の遷移時間はトランジスタサイジングによって実現する(図1)。

図2(a)と(b)に ASDDL と ASD-CMOS の EXOR セルの例をそれぞれ示す。NMOS ネットワークの構成は ASDDL と ASD-CMOS に共通であり、BDD 表現(Binary Decision Diagram)を用いることで容易に設計することが可能である。ASD-CMOS の PMOS ネットワークは、NMOS ネットワークと双対の構造を持ち、NMOS ネットワークのトランジスタを PMOS トランジスタに置き換えた構成となる。一方で、ASDDL の PMOS ネットワークはある1つの正負両論理(例えば、 $\{A, \bar{A}\}$)を入力に持つトランジスタを直列に接続した構成となる。これにより、その入力に休止値が到着すると PMOS ネットワークのトランジスタは"ON"状態となり、回路は休止値を出力する。ASDDL/ASD-CMOS は立上り遷移時間を短くするために NMOS トランジスタの W を大きく設計する。逆に高速

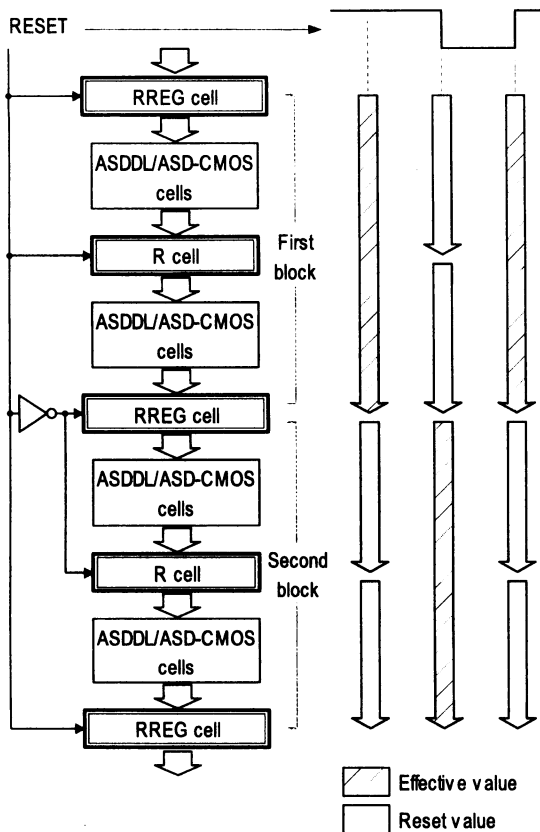


図3 ASDDL/ASD-CMOS architecture with cycle time reduction.

化の妨げとなるトランジスタ容量をできる限り小さくするために、PMOS トランジスタの W は小さくする必要がある。

2.2 サイクルタイム短縮アーキテクチャ

ASDDL/ASD-CMOS は 1 回の演算時間 (遅延時間) は短いですが、サイクルタイムが長くなる。これは休止値の伝搬時間は有効値の伝搬時間に比べて遅く、ASDDL/ASD-CMOS のサイクルタイムは有効値の伝搬時間と休止値の伝搬時間の総和となることが原因である。そのため、ASDDL/ASD-CMOS の論理セルをそのまま利用して回路を構成しても、CMOS よりも遅いサイクルタイムとなってしまふ。そこで、これらの問題を解決するためのアーキテクチャ [5] について説明する。以下はこのアーキテクチャをサイクルタイム短縮アーキテクチャと呼ぶ。

このサイクルタイム短縮アーキテクチャを適用するには、まず設計した回路を入力側と出力側の 2 つのブロックに分割する。それぞれブロックは回路動作である有効値伝搬と回路をリセットする休止値伝搬を交互に実行し、それらの動作の切り替えを "RESET" 信号で制御する (図 3)。

それぞれの回路ブロックの間にはリセット状態のときに休止値を新たに出力する機能と有効値を保持する機能を持った "RREG セル" が配置され、上記で説明した 2 つの動作を切り替えるインターフェースの役割を果たす。さらに、休止値伝播が有効値

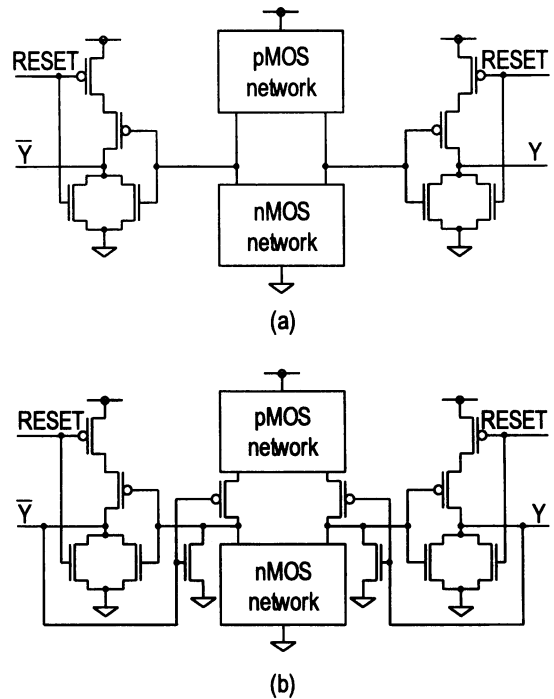


図4 Circuit structures of (a) R cell, and (b) RREG cell.

伝播よりも短くなるように、分割した回路ブロック内に新たに休止値を伝播する機能を持った "R セル" を配置する。これにより、1 サイクルで回路全体に有効値と休止値の伝播を行うことができ、サイクルタイムは有効値の伝搬時間とほぼ等しくなる。

R セルと RREG セルの回路構成を図 4(a) と (b) にそれぞれ示す。図に示されているように、R セルと RREG セルは ASDDL/ASD-CMOS 論理セルの出力インバータに数個のトランジスタを加えることにより、それぞれの機能を付加することができる。RESET 信号は R セルと RREG セルだけに接続されることから、このアーキテクチャの適用による面積増加は最小限にとどめることができる。

3. DCVS-DOMINO との比較

DCVS-DOMINO はデジタル LSI の構成要素として用いられる論理回路の中で、最も高速動作が可能とされる回路方式の 1 つである [3]。

DCVS-DOMINO の EXOR セルを図 5 に示す。DCVS-DOMINO も ASDDL/ASD-CMOS と同様に BDD 表現を用いて回路を設計することが可能であり [6]、NMOS ネットワークの構成は ASDDL/ASD-CMOS に類似している。回路をプリチャージするために ASDDL および ASD-CMOS の PMOS ネットワークは入力信号が接続されたトランジスタで構成されている一方で、DCVS-DOMINO はプリチャージを制御するためのクロック信号を入力とした PMOS トランジスタで構成されている。ここで、論理セルのレイアウトを自動配置配線に主に用いられるような長方形の構造とした場合には、どちらの回

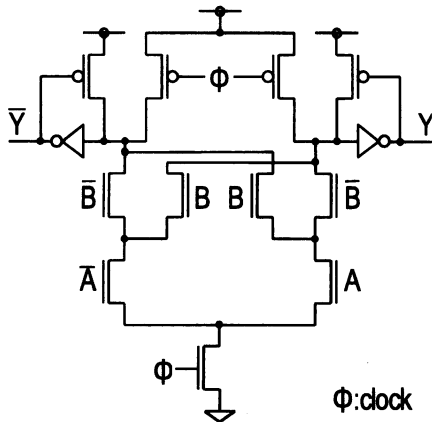


図 5 EXOR gate schematic of DCVS-DOMINO logic.

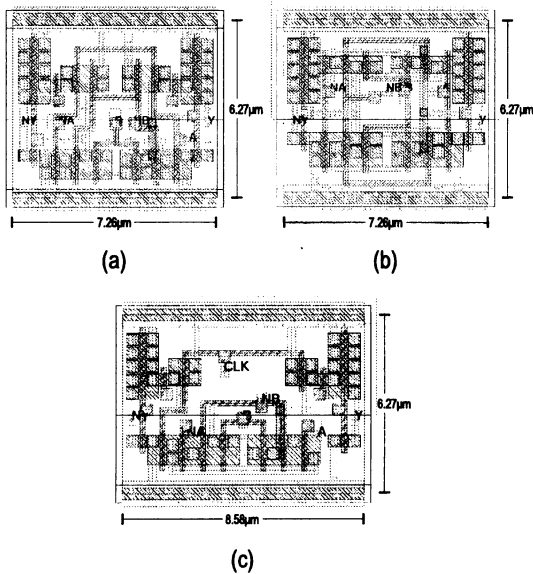


図 6 Circuit layout of (a) ASDDL EXOR cell, (b) ASD-CMOS EXOR cell, and (c) DCVS-DOMINO EXOR cell in a 0.18- μm CMOS technology.

路方式も NMOS トランジスタの数が多くなり、PMOS トランジスタを配置する面積は NMOS 側に比べてとても小さなものとなるために、論理セルの面積は NMOS トランジスタの個数によって主に決定される。そのため、ASDDL と ASD-CMOS はクロック信号を入力とするトランジスタが存在しないことから、DCVS-DOMINO に比べて NMOS トランジスタの個数が少なくなり、図 6 に示すように論理セルの面積を小さくすることが可能となる。

ASDDL と ASD-CMOS の論理セル自体はプリチャージを制御するためにクロック信号などの特別な信号を用いるのではなく、論理セルの入力信号がその役割を担う。そのためにセルの論理を生成する NMOS トランジスタの直列段数を 1 段減らす

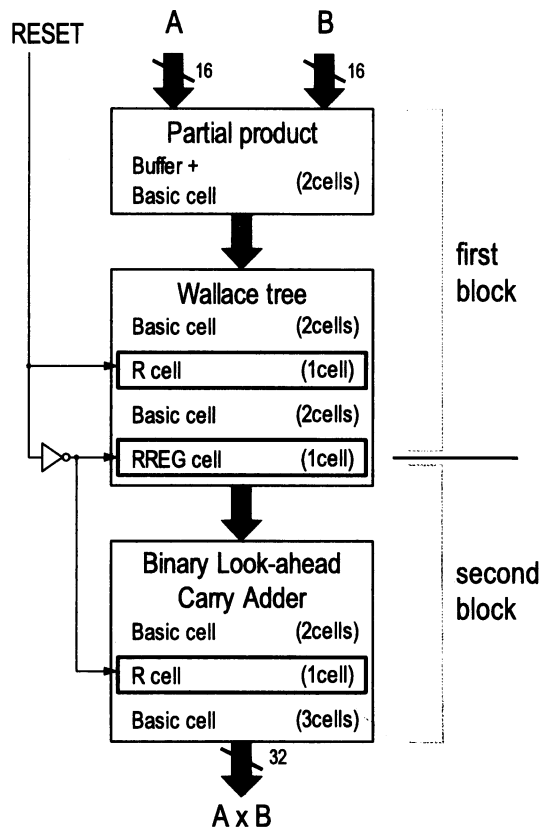


図 7 The architecture of ASDDL and ASD-CMOS 16-bits multiplier.

ことができ、回路の立上り遷移時間すなわち遅延時間をより高速にすることが可能である。また、それらの信号は回路を構成した全ての論理セルに分配する必要があり、ASDDL/ASD-CMOS はスイッチング確率の高いそれらの配線の引き回しを大幅に削減することができる。その上、DCVS-DOMINO ではクロック信号の分配に大量のクロックバッファを挿入する必要があるのに対して、ASDDL/ASD-CMOS では RREG セルと R セルだけに RESET 信号を分配するだけでよく、信号を分配すべきセルは全体の 50%以下に抑えることができるために、ASDDL/ASD-CMOS は DCVS-DOMINO よりも回路面積を小さくでき、さらに低消費電力となる。

それぞれの回路方式の性能比較を行なうために、0.18- μm プロセスにて ASDDL, ASD-CMOS, および DCVS-DOMINO で符号付き 16 ビット乗算器を設計した。設計した乗算器のアーキテクチャは全て同じアーキテクチャであり、部分積生成、部分積加算そして桁上げ吸収回路で構成した。部分積生成部はバッファと AND/NAND セルを用い、部分積加算回路には Booth 法を用いずに Wallace 木のみで構成した。桁上げ吸収加算回路は BLCA(Binary Look-ahead Carry Adder) 回路を用いた。さらに ASDDL と ASD-CMOS 乗算器は図 7 に示めすように回路を全後半のブロックに分割するための RREG セル、各回路

表 1 Comparison of 16-bit multipliers in 0.18- μm technology at 1.8V.

	Delay [nsec]	Power [mW]	Area [mm^2]
ASDDL	1.82 (0.96)	15.30 (0.80)	0.059 (0.92)
ASD-CMOS	1.78 (0.94)	18.82 (0.98)	0.062 (0.97)
DCVS-DOMINO	1.89 (1.00)	19.15 (1.00)	0.064 (1.00)

ブロックの中央部分に R セルを配置した。これらを自動配置配線によりレイアウトした後、RC 抽出したものを SPICE シミュレーションにより比較評価した。その比較結果を表 1 に示す。表 1 において、電源電圧は 1.8V であり、消費電力は 100MHz 動作時の平均消費電力である。

ASDDL および ASD-CMOS で設計した 16 ビット乗算器の遅延時間はそれぞれ 1.82nsec, 1.78nsec となった。これは DCVS-DOMINO の 96%, 94% の遅延時間であり、ASDDL と ASD-CMOS は DCVS-DOMINO よりも高速に動作することを確認した。しかしながら、PMOS ネットワークのトランジスタに論理セルの入力信号が接続されており、セル間の配線容量が DCVS-DOMINO よりも大きくなるため、遅延時間の改善率はそれぞれ 4%, 6% 程度にとどまった。このことから、ASDDL/ASD-CMOS は PMOS ネットワークのトランジスタの入力に接続する信号は、それぞれの信号の配線容量が均一になるように調節して回路を設計する必要がある。

ASDDL と ASD-CMOS の面積は論理セル単体の面積が DCVS-DOMINO よりも小さいことから、図 8 に示すように回路全体としてもそれぞれ DCVS-DOMINO の 92%, 97% となった。さらに回路のプリチャージを制御する信号線の大幅な削減によって総配線長が減少したことから、消費電力は DCVS-DOMINO に対してそれぞれ 20%, 2% 削減した。

4. テストチップの評価

回路の正常な動作を確認するために、ASD-CMOS を用いて 16 ビット符号付き乗算器のテストチップを 0.13- μm CMOS プロセス、電源電圧 1.2V にて試作した。設計した回路のブロック図とチップのレイアウトを図 9 と図 10 にそれぞれ示す。

高速に動作する ASD-CMOS 乗算器の実測を容易にするために、ASD-CMOS 乗算器と制御回路をセルフクロックで動作するように設計した。乗算器以外の回路は全て CMOS の論理セルを用いて設計している。制御回路では、M 系列の乱数発生回路が 2 つの入力ベクターを生成し、信号変換回路がその信号を正負両論理の信号に変換した後に乗算器に入力する。クロック信号は RREG セルによって分割されたそれぞれの回路ブロックから出力される信号をもとにクロック生成回路とクロック同期回路によって生成される。そのクロックが乱数発生回路に入力されることで、新しい入力ベクターが毎サイクルごとに乗算器に供給され、動作を行なう。ここで、内部で生成されたクロック信号は、32 分周回路を通してチップ外部に出力される。この信号から内部で動作している回路のサイクルタイム

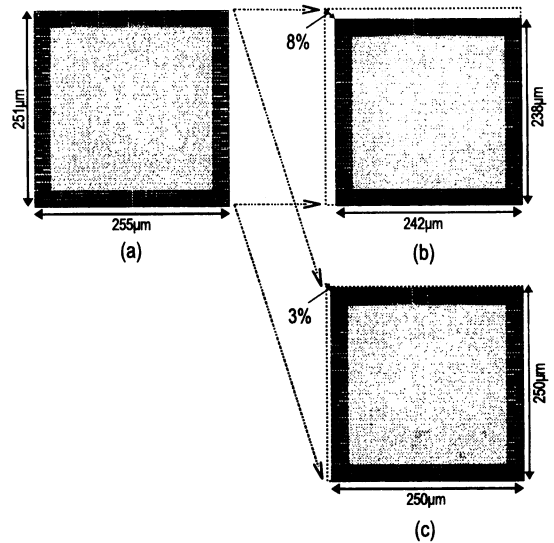


図 8 16-bit multiplier layout of (a) DCVS-DOMINO, (b) ASDDL, and (c) ASD-CMOS in a 0.18- μm CMOS technology.

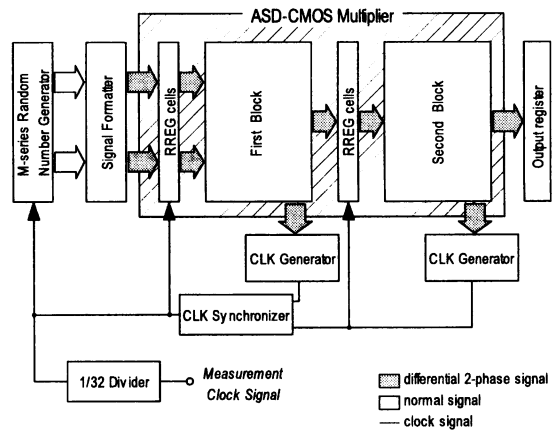


図 9 Block diagram of ASD-CMOS multiplier with CMOS controller for self-clocking.

を得ることができる。しかしながら、この測定用クロック信号は ASD-CMOS 乗算器の演算時間に加えてクロック生成および入力ベクター生成に要する遅延時間が加算されたものとなっているため、乗算器単体の遅延時間とは異なる。

電源電圧 1.2V、セルフクロックで回路を動作させたときの測定用クロック信号の波形を図 11 に示す。図 11 から、チップ内部で生成されたクロック信号が 32 分周回路を通して正確に実測できている。このクロック信号は分割したそれぞれの回路ブロックの出力に有効値と休止値が交互に到着することによって生成されることから、それぞれの値が適切に回路内を伝搬し、動作していることが確認できる。また、この信号より内部で動作している回路のクロックサイクルは 4.25nsec であることがわかる。

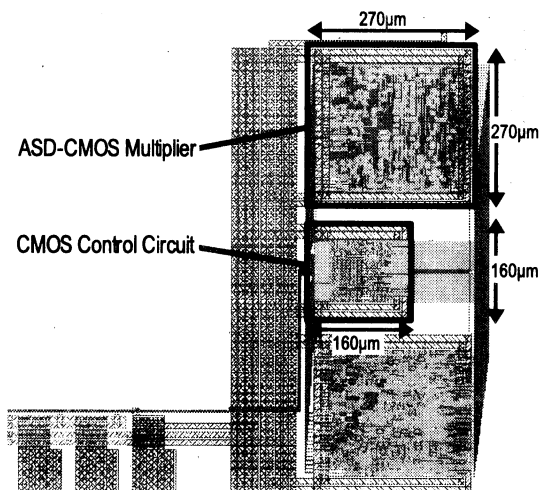


図 10 ASD-CMOS test chip layout.

表 2 Comparison of measurement and simulation of ASD-CMOS 16-bit multiplier in 0.13- μm technology at 1.2V.

	Measurement	Simulation
Clock cycle[nsec]	4.25	4.43
Power[mW]	12.58	11.19
Delay[nsec]	1.57	1.63

ここで、電源電圧 1.2V における実測と SPICE シミュレーションの比較結果を表 2 に示す。この表において、クロックサイクルはセルフクロックで動作させたときの 1 動作あたりのサイクルタイムであり、乗算器の演算時間に制御回路の遅延時間を含んだ時間である。また、消費電力も同様のセルフクロック動作時のものである。クロックサイクルと消費電力における実測とシミュレーション間の誤差はそれぞれ 4%、11% であり、その結果はよく類似していることがわかる。実測したクロックサイクルは本来の ASD-CMOS 乗算器の演算時間と異なることため、実測と SPICE シミュレーションによるクロックサイクルの比率からチップ内の ASD-CMOS 乗算器の遅延時間を計算すると、表 2 に示すように 1.57nsec で動作していると考えられる。

表 1 に示した 1.8- μm プロセス、電源電圧 1.8V のシミュレーションと比較すると、ASD-CMOS 乗算器の遅延時間は 12%、消費電力は 33% 改善した。0.13- μm プロセスで試作した乗算器は 0.18- μm プロセスの乗算器に比べて回路全体の最適化があまりなされていないことから、0.18- μm プロセスで設計した乗算器のようにトランジスタサイジングなどを最適化することでさらなる性能向上が期待できる。

5. おわりに

ASDDL/ASD-CMOS は信号の立上り遷移と立下がり遷移に要する時間を意図的に非対称とすることで高速化を図った二線式論理回路であり、プリチャージのためにクロック信号ではなく、論理セルの入力信号を用いる事で、DCVS-DOMINO より

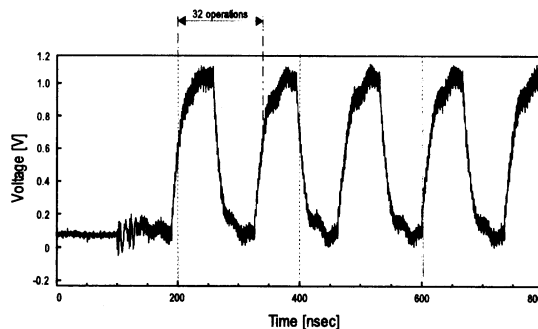


図 11 The waveform of monitoring clock signal by self-clocking operation.

も小面積、低消費電力となる事を示した。0.18- μm CMOS プロセスで設計した乗算器のシミュレーション結果において、ASDDL と ASD-CMOS の遅延時間はそれぞれ 1.82nsec、1.76nsec で、DCVS-DOMINO の 96%、94% であった。さらに、面積は DCVS-DOMINO の 92%、97% であり、それに伴って消費電力はそれぞれ 20%、2% 削減した。

0.13- μm プロセスで試作したテストチップでは ASD-CMOS の正常な動作を確認することができ、0.18- μm プロセス、電源電圧 1.8V で設計したものに比べて 0.13- μm プロセス、電源電圧 1.2V で設計した乗算器の遅延時間は 12% 改善した。この性能はトランジスタのサイジングの最適化を厳密に行うことでさらに向上することが期待できる。

謝辞 0.13- μm プロセスでのテストチップ試作の機会を与えて下さいました神戸大学の吉本雅彦教授および STARC (Semiconductor Technology Academic Research Center) に感謝致します。

文 献

- [1] Timothy A. Grotjohn and Bernd Hoefflinger, "Sample-Set Differential Logic(SSDL) for Complex High-Speed VLSI", IEEE J. Solid-State Circuits, vol.21, no.4, pp.367-369, Apr 1986.
- [2] Chung-Yu Wu and Kuo-Hsing Cheng, "Latched CMOS Differential Logic (LCDL) for Complex High-Speed VLSI", IEEE J. Solid-State Circuits, vol.26, no.9, pp.1324-1328, Sep 1991.
- [3] Kan M. Chu and David L. Pulfrey, "A Comparison of CMOS Circuit Techniques: Differential Cascode Voltage Switch Logic Versus Conventional Logic", IEEE J. Solid-State Circuits, vol.22, no.4, pp.528-532, Aug 1987.
- [4] 瀧和男, 八木幹雄, 森本薫夫, 尾形俊郎, 池見憲一, 北村清志, "高速低消費電力回路方式 ASDDL/ASD-CMOS とその評価", DA シンポジウム 2001 論文集, pp.113-118, Jul 2001.
- [5] 八木幹雄, 森本薫夫, 瀧和男, 北村清志, "高速低消費電力論理回路方式 ASDL のバイプライン化手法とその評価", デザインガイア 2001.
- [6] Theodore Karoubalis and George Ph. Alexiou and Nick Kanopoulos, "Optimal synthesis of differential cascode voltage switch (DCVS) logic circuits using ordered binary decision diagrams (OBDDs)", In Proc. of the European Design Automation Conf., 1995.