

配線層数の最小化を目指す多層再配線手法

武永 秀 豊永 昌彦

高知大学大学院 理学研究科 〒780-8520 高知県高知市曙町 2-5-1

E-mail: {takenaga, toyonaga}@is.kochi-u.ac.jp

あらまし プロセスの微細化の進展により、Deep-Submicron 問題がより深刻になりマスク製造コストが急増している。そのため多品種少量生産を基本とする SoC 設計開発において設計コストにマスク層数は、大きく影響する。設計開発コストを削減するため既存の設計を修正することを J.Cong ら[2]は、インクリメンタルレイアウトとして提唱しているが、マスク層数に関して我々の知る限り研究されていない。本論文において、我々は、インクリメンタルレイアウトにもとづく再配線により、より配線マスク層数の少ないレイアウト結果を導き出す多層再配線手法を提案する。すでに我々の研究[11]では、非 HV ルール (NHV) 再配線により 1) 配線層間のビア数の削減、2) 配線距離の削減、3) 結線率の改善が図られることが期待されることを示した。本報告では、同配線法に、マスク配線層数を削減する方法をあらたに加えることで、マスク層削減を目指す手法について述べる。本配線手法は、配線層間における経路探索においてグリッドごとに特別な評価値をもたせることを特徴とし、マスク間を移動する経路の検索にペナルティを課すものである。本提案手法の効果を IBM01 の一部を用いたベンチマーク実験で確認したところ、マスク層数削減の効果が見られた。

キーワード マスク、インクリメンタルレイアウト設計、多層迷路配線、再配線

A Multi-Layer Incremental Router for Layout Design with Fewer Layers

Shigeru Takenaga, Masahiko Toyonaga

Information Science Division, Graduated School of Science, Kochi University

2-5-1 Akebono-cho, Kochi-shi, Kochi, 780-8520 Japan

E-mail: {takenaga, toyonaga}@is.kochi-u.ac.jp

Abstract The Deep-Submicron problem becomes more serious by the progress of semiconductor process advances, and the mask manufacturing cost increases rapidly. Therefore, when the SoC design is developed based on diverse-types-and-small-quantity production, the number of mask layers greatly influences the design cost. There are some correcting methods for an existing design to reduce the design development cost, called *the incremental layout*, however the method for mask layer reduction was not proposed so far. In this paper, we propose the multilayer incremental routing technique for deriving the layout result with fewer number of masks. We already proposed multi-layer router that freely use the wiring layers and showed its effectiveness for wiring probability, reduction of number of vias and wire lengths.

In this paper, we show the technique for aiming at the mask layer reduction by introducing via cost evaluation. This routing technique is the one to characterize in giving an evaluation value special in each grid when searching for the route between the wiring layers, and to set a weight to the retrieval of the route that moves between masks. When the effect of this proposal technique was confirmed by the bench mark experiment that used some parts of IBM01, the effect of the reduction of the number of mask layers was observed.

Keyword Mask cost, Incremental layout design, Multilayer maze router, Re-routing

1. はじめに

半導体製造プロセスの微細加工技術の進歩は、1チップに搭載できる素子数を飛躍的に増大させ、設計が大規模化かつ複雑化している。大規模化した設計では、仕様の変更が頻繁になり、また単純な信号接続ミスなども多発し再設計工数が必須となることが予想される。同時に、製造技術の微細化は、信号配線間の寄生電容量や、配線抵抗の増加や、エレクトロマイグレーション、製造ばらつきなどのDSM (Deep-Submicron) 問題を深刻化させる。そのため、信頼性向上・製造歩留まり対策のための再設計工数も不可欠となってくる[1]。J.Congら[2]は、このような様々な原因により深刻化するLSI再設計の問題に対して、既存設計を効率よく利用して改善する枠組みを「Incremental Layout Design」と名づけ、再設計手法として、配置の一部改善による配線長の削減や、配置の一部移動による配線領域の確保する方法などを提案している。

一方、マスク製造コストは、たとえば最先端SoCのマスクの価格は例えば $0.13\mu\text{m}$ でさえすでに6千万～8千万円規模の高価なものとなっている[3]。そのため近年のSoC開発において開発コストに占めるマスク製造コストの影響が大きくなりつつある。

本論文において、我々は再設計技術を用いたマスク配線層の削減方法について議論する。

レイアウト設計における自動配線手法の歴史は古く[4]、近年では多層化が進展し、レイアウト領域を縦横無尽に走行する迷路配線手法（あるいはArea router）が主流となっている。これらの迷路配線法の多くは、各配線層で配線相互が他の配線の障害とならないよう、層毎に縦、横方向を規定したHVルールが採用されている[5],[6],[7]。

我々はすでにHVルールを用いない単純な多層迷路配線法に基づいた再配線法を提案し[11]、同配線手法が、次の3つの特徴を持つことを示した。

- 1) 信号遅延（ビア数、配線長の削減）
- 2) 設計コスト（修正マスク数を削減）
- 3) 未配線（再配線により配線を完結）

本論文は、本再配線手法をさらに発展させ既存の配

線設計後に、より少ないマスク層数で完結させる効果的な新手法を提案するものである。

以下、2章で、従来手法の配線モデルと、我々の考案した多層配線モデルとアルゴリズムについて説明する。3章では検証のために用いたIBM01のレイアウトデータとその結果について述べる。最後に、4章で考察と残された課題についてまとめる。

2. 多層迷路配線

2.1. 迷路配線法

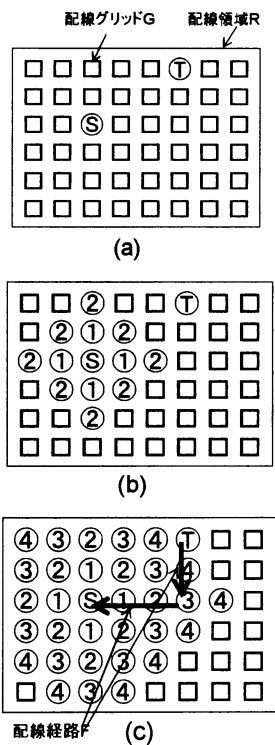


図1 迷路配線

迷路配線法は、図1(a)に示すように、配線領域全体を格子状に配線グリッドGで覆い、同グリッド上に設けられた始点Sおよび終点T間の配線経路をグリッド点として検索する方法である。始点Sの隣接グリッドに対して、障害物がなければ、後戻り（トレースバック）情報をラベリングする。例えば、図(b)では、ある

グリッドGに対して、始点からグリッドGまでの距離をラベリングすることで始点Sまで戻る方法をとっている。以下、ラベル①の隣接グリッドに②を、ラベル②の隣接グリッドに③を次々と繰り返しつけていく。終点Tにたどり着いた時点で、距離をたどるグリッドを選択することで経路を得ることができる(図1(c))。

迷路配線法は、グリッドGを x 、 y 、 z の3次元で表すことにより多層配線迷路法に拡張することができる。各層で使用する配線の方向を決めることで効率よく各配線層を利用し、配線結線率が向上させることから、多層へ拡張する際に、各層の利用方向に制約を設ける。ここでは、縦および横に制限する利用方法を「HVルール」と呼ぶことにする。HVルールに基づく多層迷路配線のグリッド検索方向を図2.3.1、図2.3.2に例として示す。

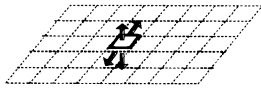


図 2.1.1 奇数層の配線領域グリッド



図 2.1.2 偶数層の配線領域グリッド

図2.1.1に示すように、奇数層において検索方向は、縦方向(Vertical)上下と z 方向上下の4方向であり、図2.1.2に示すように偶数層では横方向(Horizontal)左右と z 方向上下の4方向が配線探索対象となる。なお、3次元配線領域の最下層(最上層)は、上方向(下方向)と水平方向の3方向のみが検索対象となる。

2.2. 非HVによる多層迷路配線法

再配線に向けて、我々は、あえてHVルールを適用しない多層迷路配線(非HV多層配線)を検討する。検索方向は、図2.2に示すように中間の配線層では上

下左右の6方向となる。なお、最下層(最上層)は、その層より下位(上位)の層がないため、5方向となる。

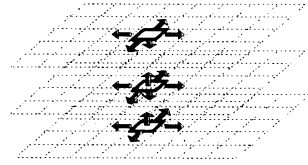


図 2.2 非HV多層迷路配線のグリッド

ここに示すように、非HV多層配線の検索範囲はHV多層配線より大きい。非HV多層配線法は、初期の配線には不向きであるが再配線ではより多くの検索範囲を持つ点で有利である。一方、非HV多層配線法は、先にも述べたように多数の配線を設計するには向かない。なぜならば、先に配線した結果が次の配線の障害となってしまう配線層を有効に利用できないためである。

非HV多層配線は、再配線の範疇に限って、未配線の解決、ビア数の削減などに効果を持つ[11]。

2.3. 再配線による配線層の削減法

我々は、配線層の削減について、HV多層配線により配線設計が完了したレイアウトに対して、上位の配線層を使用するネットを引き剥がし、より下位の配線層で非HV多層配線により再配線して完結させ、最終的には上位配線層を削減する方法を検討した。

例として、2層配線の設計とそのグリッドGの配線層ごとのラベリング、さらに経路を図2.3.1、図2.3.2(a),(b)および図2.3.3にそれぞれ示す。

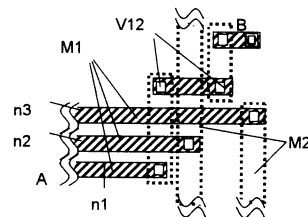
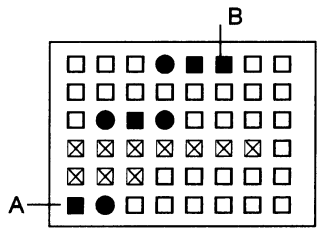
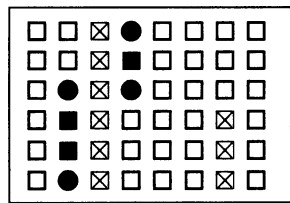


図 2.3.1 2層配線による配線設計例

従って、配線長が長くなったとしてもビア数減少により信号品質を落とすことが少ないと考えている。



(a) 第1配線層のグリッド



(b) 第2配線層のグリッド

図 2.3.2 配線設計例のグリッド

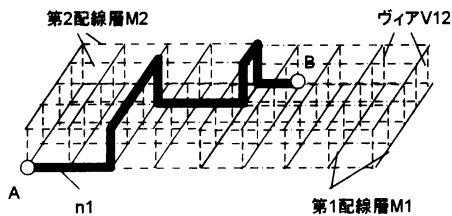


図 2.3.3 2層配線の経路

図 2.3.2 において、●、および■は、再配線の対象とするネットの「配線とビア」、「配線のみ」のグリッドを示す(A,Bは始点と終点を示す)。⊗は、障害としてラベルされた他の配線のグリッドを示す。

我々の目指す再配線を以下の図 2.3.4～図 2.3.6の結果を得るものである。

上位の配線層利用をおさえた図 2.3.4の配線結果は、図 2.3.1の配線結果に比べ、配線長が伸びている。しかし、ビア利用がなくなるメリットがある。ビアは、信号遅延の原因となる配線抵抗が大きく、例えばTSMCのプロセスルールによればビア1個あたり、グリッド配線長 500 単位分に相当する場合もある[8]。

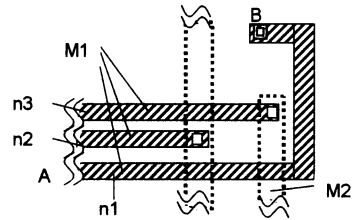
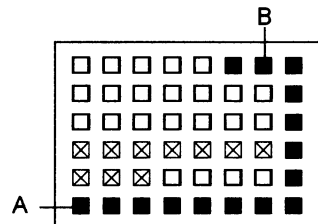
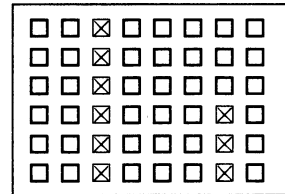


図 2.3.4 配線層を削減する再配線例



(a) 第1配線層のグリッド



(b) 第2配線層のグリッド

図 2.3.5 配線設計例のグリッド

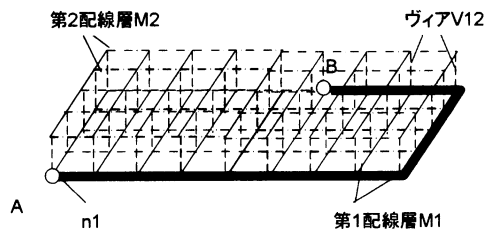


図 2.3.6 再配線の経路

2.4. ヴィア重みつき多層迷路配線法

我々の目指す再配線法のために、非 HV 多層配線法に対して、ヴィア（z 方向のグリッド）を検索する際に、重み付けを以下のようにおこなう。

まず、各配線層間に特別なグリッド（カウンターグリッド C (x,y,z)）を用意し、同カウンターグリッド C を以下のように扱う。

- 1) 配線層グリッド G (x,y,z) の z 方向のグリッド G (x,y,z+1) 検索に対して、C(x,y,z)に+1 加える。
- 2) C(x,y,z)が、規定の重み W 以上になったならば、G (x,y,z+1) にラベリングする。そうでなければ、G (x,y,z+1) はそのままにする。

この評価を加えることで x, y 方向（配線層内）への探索に対して z 方向（ヴィア方向）の探索に重み W をつけることができる。ここで、重みは、同一配線層内の遠回りとトレードオフ関係をもち、W に相当する遠回り配線による再配線がおこなわれる。W を調整することにより上位の配線層を使わない再配線が期待できる。

表 1 IBM01 における配線層の削減効果

領域	HV 配線	非 HV 再配線
1, 1	5	4
1, 2	8	8
1, 4	10	10
1, 5	10	10
2, 3	11	10
8, 1	4	3
8, 8	4	3

3. 実験

提案する非 HV 多層配線法を Cygwin 標準 C プログラムで実装し、実験により評価をおこなった。使用した計算機は、Celeron(R) の 2.53GHz、Memory は 1GB である。

配線ベンチマーク回路は ISPD の IBM01 を用いて配置、グローバル配線した結果に対して、HV 多層配線によりあらかじめ配線した設計データを 8 x 8 に分割した小領域の一部について適用した。配線結果を表 1 に示す。

HV 配線で完結した配線は、非 HV 再配線においてすべて配線されている。図 3.1, 図 3.2 は、小領域 (2, 3) の結果を示したものである。同図によれば、11 層要した配線層を 10 層まで削減することができている。

4. まとめ

既存の HV 多層配線結果を前提として、上位層の配線を再配線することによるマスク層削減手法について述べた。本手法は、非 HV 多層配線法に、重みつきカウンターを加えて実装した。ISPD のベンチマーク回路 IBM01 の部分回路へ適用する実験において、一部ではあるが、配線層数の削減が見られた。今後、さらに多くのベンチマーク回路に対して本手法を適用することともに、より効率よく配線層を削減する方法の検討を行う予定である。

文 献

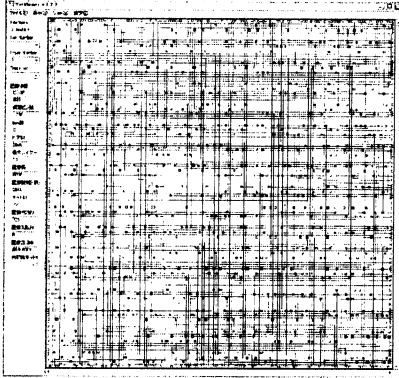


図 3.1 領域 (2,3) の HV 多層配線

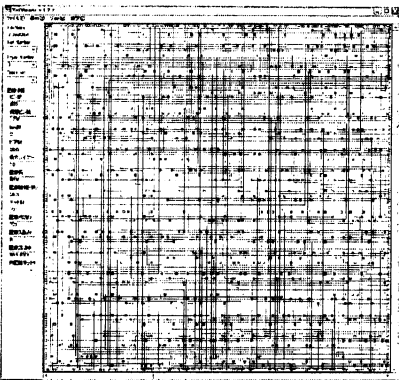


図 3.2 領域 (2,3) の非 HV 再多層配線

- [1] Andrew B. Kahng, Bob Dahlbeh "PANET: Tools or Users : Which is the Bigger Bottleneck?", Proc. of 39th Design Automation Conference, pp76-77(2002).
- [2] J. Cong, M. Sarrafzadeh, "Incremental physical design, "International Symposium on Physical Design, pp. 84-92, 2000.
- [3] www.eedesign.com/story/OEG20030822S0027, 2003
- [4] Don MacMillen, Michael Butts, Raul Camposano, Dwight Hill, Thomas W. Williams "An Industrial View of Electronic Design Automation", IEEE Trans. on CAD.
- [5] 築山修治「アルゴリズムとデータ構造の設計法」, コロナ社, 2003
- [6] 渡辺誠, 浅田邦博, 可児賢二, 大附辰夫「岩波マイクロエレクトロニクス 3 VLSI の設計 I」, 岩波書店, 1985
- [7] 可児賢二, 川西宏, 船津重宏「超 LSI CAD の基礎」, オーム社, 1983 (P.130 に詳しい説明あり)
- [8] www.mosis.org/Technical/Testdata/menu-testdata.html
- [9] Lee, C.Y. "An Algorithm for Path Connections and its Applications," IRE Transactions on Electronic Computers vol. EC-10, no. 2, pp. 346-365, 1961
- [10] 武永秀, 豊永昌彦「単一ネット修正を指向した多層配線法の一手法」, 電気関係学会四国支部連合大会 1-12, 200
- [11] 武永秀, 豊永昌彦, 國信茂郎「再レイアウトに向けた単純多層迷路配線の有効性の考察」, 情報処理学会 DA シンポジウム 2004 論文集, Vol.2004, No.8, pp.115-120.