

キャラクタプロジェクション法のためのセルライブラリ開発手法

杉原 真[†] 高田 大河^{††} 中村 健太^{††} 稲浪良市^{†††} 林博昭^{††††}
岸本克己^{†††} 長谷部鉄也^{††††} 河野幸弘^{†††} 松永裕介^{††} 村上和彰^{††}
奥村勝弥^{†††††}

[†]財団法人九州システム情報技術研究所, 〒 814-0001 福岡市早良区百道浜 2-1-22 福岡 SRP センタービル 7F
〒九州大学, 〒 816-8580 春日市春日公園 6-1
^{†††}イービーム, 〒 108-0075 東京都港区港南 2-12-26 港南パークビル 6 階
^{††††}東京エレクトロン, 〒 107-8481 東京都港区赤坂 5-3-6TBS 放送センター
^{†††††}東京大学, 〒 153-8904 東京都目黒区駒場 4-6-1
E-mail: †sugihara@isit.or.jp

あらまし 本稿では、電子ビーム直描で用いられるキャラクタプロジェクション法のスループットを向上するセルライブラリ開発手法について議論する。第一に、整数計画法に基づいたセル選択手法を提案する。製造時間、すなわちショット数が最小になるように、キャラクタプロジェクション法で描画するセルと、VSB で描画するセルを選択する。次に、セルの反転の有無が回路の面積と遅延に及ぼす影響を調査する。反転されたセルは CP アパーチャマスク上では異なるものとして扱われるために、反転されたセルを削減することはより多くのセルを CP アパーチャマスク上に搭載できることを意味する。最後に、ケーススタディを行い、提案手法の有効性を検証する。
キーワード キャラクタプロジェクション, スループット, 電子ビーム直描, マスク描画

A cell library development methodology for character projection

Makoto SUGIHARA[†], Taiga TAKATA^{††}, Kenta NAKAMURA^{††}, Ryoichi INANAMI^{†††}, Hiroaki HAYASHI^{††††}, Katsumi KISHIMOTO^{†††}, Tetsuya HASEBE^{††††}, Yukihiro KAWANO^{†††}, Yusuke MATSUNAGA^{††}, Kazuaki MURAKAMI^{††}, and Katsuya OKUMURA^{†††††}

[†] ISIT, 2-1-22 Momochihama, Sawara-ku, Fukuoka 814-0001 Japan
^{††} 6-1 Kasuga-Koen, Kasuga, Fukuoka 816-8580 Japan
^{†††} Konan Park Bldg. 2-12-26 Konan, Minato-ku, Tokyo, 108-0075, Japan
^{††††} 5-3-6 Akasaka, Minato-ku, Tokyo, 107-8481, Japan
^{†††††} 4-6-1 Komaba, Meguro-ku, Tokyo 153-8904, Japan
E-mail: †sugihara@isit.or.jp

Abstract We propose a cell library development methodology for throughput enhancement of electron beam direct-write (EBDW) systems. First, an ILP (Integer Linear Programming)-based cell selection is proposed for EBDW systems in which both of the character projection (CP) and the variable shaped beam (VSB) methods are available, in order to minimize the number of electron beam (EB) shots, that is, time to fabricate chips. Secondly, the influence of cell directions on area and delay time of chips is examined. The examination helps to reduce the number of EB shots with a little deterioration of area and delay time because unnecessary directions of cells can be removed to increase the number of cells on a CP aperture mask. Finally, a case study is shown in which the numbers of EB shots are examined under several cases.

Key words Character Projection, Cell Library, Electron Beam Direct-Write, Photomask

1. はじめに

昨今の半導体デバイスの製造においては、実に様々な種類のデバイスが製造される一方、その多くは大量生産されない。これは、半導体デバイスが極めて広い分野にまで浸透していることを意味する。フォトマスク・セットの製造コストは非常に高価であるために、半導体デバイスの生産量が少ないことはその単価が高騰することを意味する。

電子ビーム直描技術はウェーハ上にマスクレスで図形パターンを描画するものである。しかしながら、可変整形ビーム(VSB: Variable Shaped Beam)といった伝統的な電子ビーム直描技術のスループットは非常に低いものである。図1に示すように、VSB法においては、露光パターンはたくさんの小さな矩形及び三角形に分解され、描画される。この図の例では、“E”という図形は4つの矩形に分解され、4回のEBショットでウェーハ上に描画される。電子ビーム直描装置においては、所望の回路を描画するために非常に多くの矩形及び三角形がウェーハ上に描画される。結果として、装置のスループットは低いものになってしまう。

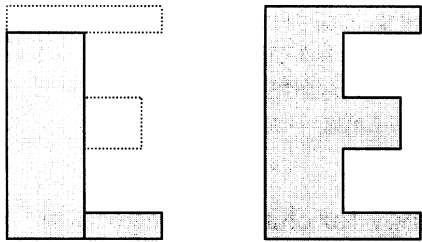


図1 VSB法とCP法。

キャラクタプロジェクション法(CP法)は、回路中によく現れる図形パターン(これをキャラクタと呼ぶ)をCPアパーチャマスク上に用意しておき、キャラクタをウェーハ上に描画する手法である[3,5-8,10,11]。図2に装置の概要を示す。CP法は電子ビーム直描技術のみならず、将来的にはフォトマスク描画に用いることも検討されている[15]。図1の例においては、“E”という図形は一つのキャラクタとして実現されている為に、1回のEBショットで描画可能である。VSB法で“E”の図形を描画するとき4回のEBショット数を要したことを考慮すると、VSB法に比べてCP法がスループットの高い描画法であることが分かる。図3に示すように、CPアパーチャマスク上にはこのようなキャラクタが配列上に並べられる。CPアパーチャマスク上のキャラクタの大きさは均一である一方、セルの大きさはセルによって異なる。セルをCPアパーチャ上に搭載するとき、必要であればキャラクタの大きさに合うように分割される。この意味で、CPアパーチャマスク上の全てのセルは一つ以上のキャラクタによって構成される。CP法は数ミクロン角に収まる複数の矩形及び三角形を1ショットで描画できるために、ショット数を効率よく削減できる。CP法の短所は、CPアパー

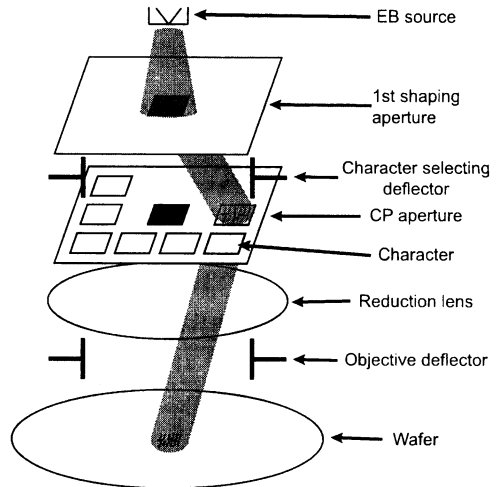


図2 キャラクタプロジェクション法の。

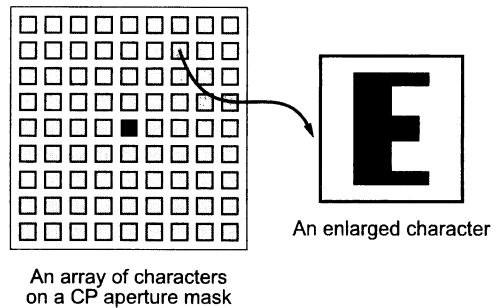


図3 CPアパーチャ・マスク。

チャマスク上に実現できるキャラクタ数が限られているために、セルライブラリ中の全てのセルをCPアパーチャマスク上に実現できるわけではないという点である。たとえ、全てのセルを搭載するために複数のCPアパーチャマスクを用いたとしても、CPアパーチャマスクの設置と調整に非常に時間を要する。

イービーム社では、EBIS(electron beam integrated system)と呼ばれる低加速電子ビーム直描装置が開発されている[5]。このシステムでは400個のキャラクタが1枚のCPアパーチャマスク上に搭載することが可能であり、各ショットにおいて任意のキャラクタを描画することができる。これにより、CP法を用いて極めて効率よくスループットを向上することができる。本装置はVSB法にて矩形及び三角形も描画できるものである。

CP法はVSB法よりも飛躍的に高いスループットをもちあわせるものの、フォトマスクを用いたりソグラフィと比較するとそのスループットは劣るために依然としてスループットを向上する必要がある。本稿では、CP法とVSB法を用いた描画装置のためのセルライブラリ開発手法を提案する。我々の知る限り、本手法は物理的なセルの配置を持ったネットリストに対してショット数を最小化する最初の最適化手法である。提案手法はよく出現するセルをCP法のキャラクタとして選択すること

によってショット数を最小化する。提案手法は選択されたセルをCPアパーチャ上に置き、CP法で描画する。他のセルはVSB法で描画する。各セルに最適な描画手法はショット数を最小化し、描画装置のスループットを最大化する。提案手法は主にある製品に対する専用セルライブラリセットを作るものであるが、複数の製品群に対する汎用ライブラリを作る手段も与えるものである。提案手法は描画装置のスループットを向上するソフトウェア・アプローチであり、描画装置にいかなる制約を課すものではない。

本稿は次のように構成される。まず、2節では、aチップを描画するために必要なショット数を最小化するための数理モデルが示される。この数理計画問題を解くことによって最適なセルライブラリを容易に求めることができる。3節では、セルの反転の有無がチップの面積及び遅延に及ぼす影響を調査する。論理的には同一のセルでも垂直方向や水平方向に反転がある場合、CPアパーチャマスク上では別個のキャラクタとして扱われる。本調査によると、セルの反転の削除はある程度面積を増加させ4節では、ケーススタディにより提案手法の有効性を検証する。5節で本論文の結論と今後の課題を述べる。

2. セルの選択

本節では、CPアパーチャ上に置くべき最適なセルの集合を求め、チップを描画するためのショット数を最小化するための数理計画モデルを示す。

数理計画モデルを示す前に、整数線形計画法 (ILP: Integer Linear Programming) について簡単に触れておく。ILPの目的は整数変数の集合上の線形関数を最小化することである [14]。典型的な数理計画モデルは以下のように表される。

$$\begin{aligned} & \text{minimize: } \mathbf{Ax} \\ & \text{subject to: } \mathbf{Bx} \leq \mathbf{C}, \text{ such that } \mathbf{x} \geq 0. \end{aligned} \quad (1)$$

ここで、 \mathbf{Ax} は最小化すべき目的関数であり、 \mathbf{A} は目的ベクトル、 \mathbf{B} は制約行列、 \mathbf{C} 定数の列ベクトル、および、 \mathbf{x} は整数変数である。効率の良い商用のILPソルバがあり、このような問題は比較的容易に解くことができる [2,4]。

CPアパーチャ・マスク上に置く最適なセル集合を選択し、チップ全体の描画に要するショット数を最小化するために定式化を行う。このセルの選択問題は以下のように述べることができる。

• N_{cell} 種類のセル、それらの参照回数 $r_1, r_2, \dots, r_{N_{\text{cell}}}$ 、それらのCP法を用いたときのショット数 $S_{\text{CP}_1}, S_{\text{CP}_2}, \dots, S_{\text{CP}_{N_{\text{cell}}}}$ 、それらのVSB法を用いたときのショット数 S_{VSB_1} 、それらのキャラクタ数 $c_1, c_2, \dots, c_{N_{\text{cell}}}, S_{\text{VSB}_2}, \dots, S_{\text{VSB}_{N_{\text{cell}}}}$ 、及び N_{ch} 個のキャラクタを搭載できるCPアパーチャマスクが与えられたとき、チップ全体の描画に要するショット数が最小になるように各セルの描画方を決定せよ。

この問題は典型的な組み合わせ最適化問題であり、NP困難である。しかしながら、現実的なセルライブラリの大きさに対して、問題インスタンスの大きさは小さいものとなる。これは変数の数がセルの種類の数に等しいことによる。セル選択問題は

厳密にILPによって短時間で解かれる。

この問題をモデル化するために、 N_{cell} 種類のセルからなる回路を考える。セル i は回路中で r_i 回だけ出現し、CP法かVSB法かのみによって描画される。セル i の1インスタンスをVSB法で描画するために必要なショット数を S_{VSB_i} とし、CP法で描画するために必要なショット数を S_{CP_i} とする。ここで、各セルの描画法を定式化するために0-1変数 $x_i (1 \leq i \leq N_{\text{cell}})$ を導入する。0-1変数 x_i は以下のように定義される。

$$x_i = \begin{cases} 1 & (\text{セル } i \text{ は CP 法で描画される場合}), \\ 0 & (\text{セル } i \text{ は VSB 法で描画される場合}). \end{cases}$$

チップ全体を描画するために必要な総ショット数は以下のようになる。

$$\begin{aligned} S &= \text{CP法でのショット数} + \text{VSB法でのショット数} \\ &= \sum_{i=1}^{N_{\text{cell}}} S_{\text{CP}_i} r_i x_i + \sum_{i=1}^{N_{\text{cell}}} S_{\text{VSB}_i} r_i (1 - x_i) \\ &= \sum_{i=1}^{N_{\text{cell}}} (S_{\text{CP}_i} - S_{\text{VSB}_i}) r_i x_i + \sum_{i=1}^{N_{\text{cell}}} S_{\text{VSB}_i} r_i. \end{aligned} \quad (2)$$

なお、上式において、2番目の項は変数を含まないため、目的関数から除外される。

セルの大きさに応じて、CPアパーチャ上で占有するキャラクタの数はセル毎に異なる。セル i はCPアパーチャマスク上において c_i 個のキャラクタを要すると仮定する。CPアパーチャマスクの面積は限られているために、それゆえに、次のような制約が導入される。

$$\sum_{i=1}^{N_{\text{cell}}} c_i x_i \leq N_{\text{ch}}. \quad (3)$$

ここで、 N_{ch} はCPアパーチャマスク上に搭載できるキャラクタの最大数である。

式(1),(2),及び(3)から、この問題に対する数理計画モデルは以下のように示される。

Objective: Minimize $S = \sum_{i=1}^{N_{\text{cell}}} (S_{\text{CP}_i} - S_{\text{VSB}_i}) r_i x_i$, subject to $\sum_{i=1}^{N_{\text{cell}}} c_i x_i \leq N_{\text{ch}}$, i.e., every cell adopts one drawing method, the CP or VSB method in conformity with the restriction of the area of the CP aperture. The minimal number of EB shots is given by $S + \sum_{i=1}^{N_{\text{cell}}} S_{\text{VSB}_i} r_i$.

上述のモデルは主にある製品に特化したセルライブラリを開発することを意図している。しかしながら、本モデルは容易に汎用セルライブラリの開発に応用される。複数の製品群において汎用セルライブラリを開発するとき、上記のセルの参照回数 $r_i (1 \leq i \leq N_{\text{cell}})$ を製品群の生産を通じてのセルの参照回数とすれば良い。セルの出現回数が $r_i (1 \leq i \leq N_{\text{cell}})$ と与えられれば、専用セルライブラリでも汎用セルライブラリでも容易に提案手法によって求めることができる。セルライブラリを専用にするか汎用にするかは以下の要因を考慮して決定され

- 新たなCPアパーチャマスクの導入によって削減される装置償却費用。

- 新たに導入する CP アパーチャマスクの開発費用。

CP アパーチャマスク及びフォトマスクの開発費用はそれらの描画時間に依存する。CP アパーチャマスクの描画データ量はセル数(数百~数千個)に比例する一方、フォトマスクの描画データ量は搭載されるトランジスタ数(数百万~数億個)に比例する。たとえある製品のために専用 CP アパーチャマスクを導入しても、その費用は通常のフォトマスクの導入費用に比べると些細なものである。コストの面でも、CP 法は依然としてマスクレスであると言える。

3. セルの反転

図4に示すように、セルの反転には4通りある。ベーシックは文字通り、他の反転の基本となるものである。X反転はベーシックに対してY軸に関して対象なもの、Y反転はX軸に関して対象なもの、XY反転は原点に関して対象なものを示す。これらのセルの向きはCPアパーチャマスク上では区別しなげなければならない。

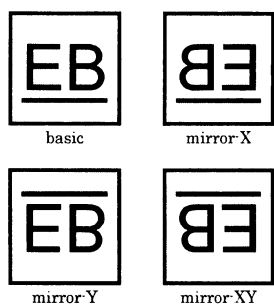


図4 セルの反転。

本節では、セルの反転の有無がチップの面積と遅延に及ぼす影響を調査する。本調査には、論理合成可能な Z80 互換プロセッサをベンチマーク回路として用いた。論理合成は Synopsys 社の Design Compiler [13] を用いて行った。配置配線は Avant! 社の Apollo [1] を用いて行った。セルライブラリは 0.35 μ m のものを用いた。セルの向きに関して4種類のバリエーションを仮定し、それぞれに対し配置配線領域と遅延時間を調査したものを表1に示す。この表では、4ビット目のベクトルが記述されており、1ビット目はセルのベーシックの向きの有無を示し、2ビット目はX反転、3ビット目はY反転、4ビット目はXY反転の有無を示す。0は該当するセルの向きが用いないことを示し、1は該当するセルの向きが用いられることを意味する。

設定1は全てのセルの向きを許したものであり、全ての設定の中で面積及び遅延は原理的には最も良くなると考えられる。これは設定1が他の設定の設計空間を包含し、設定2,3,4で実現される設計のいずれも設定1で実現することができることを意味する。しかしながら、同一の配線領域に対する各設定での遅延時間は必ずしも設定1のものが最小ではない。これは、CAD ツールは必ずしも最適解を出力するものではないことによる。例えば、配置配線領域が 810x808.5 のとき、設定2での遅延時間

表1 様々なセルの向きのバリエーションに対する遅延時間。

配置配線領域	遅延時間 [ns]			
	(基本,X反転,Y反転,XY反転)			
	設定1 (1111)	設定2 (1010)	設定3 (1100)	設定4 (1000)
799.5 x 792	N/A	N/A	N/A	N/A
810 x 808.5	7.0902	6.9693	N/A	N/A
819 x 808.5	7.3695	7.4286	N/A	N/A
829.5 x 825	7.5154	-	N/A	N/A
840 x 825	7.1622	-	N/A	N/A
849 x 841.5	7.2446	-	N/A	N/A
859.5 x 858	7.1092	-	N/A	N/A
870 x 858	-	-	7.1513	N/A
879 x 874.5	-	-	7.2260	7.1470
889.5 x 874.5	6.8581	-	-	-
900 x 891	7.2289	-	6.9015	-

間は 6.9693ns である一方、設定1での遅延時間は 7.0902ns である。

全てのセルの向きを許していた設定1から水平方向の反転(X反転, Y反転)を除去したものが設定2である。設定1と2の間には、それほど顕著な遅延時間の差は見受けられない。水平方向のセルの反転はそれほど面積や遅延に影響を与えないことが定量的評価によって確かめられる。

全てのセルの向きを許していた設定1から垂直方向の反転(Y反転, XY反転)を除いたものが設定3である。表1に示す定量的評価の結果からは、垂直方向のセルの反転の抑制は遅延時間にそれほど影響を与えるものではないが、面積にはある程度影響を与えるものであることが窺える。設定1及び3においてCADツールが配置配線が可能であった最小の領域が、それぞれ 799.5x792 及び 870x858 であったことより、面積は 14%だけ増加したと言える。これは垂直方向のセルの反転を抑制したことによって生じたセル領域間のすきまが原因であると考えられる。

設定4はセルの反転を一切認めないものである。設定1と4を比較したとき、遅延時間の差は小さい一方、面積の差は約40%と大きい。これは設定3での面積が増加したのと同様の理由である。設定3と4を比較したとき、遅延時間の差はほとんどなく、面積の増加も4.2%程度である。垂直方向のセルの反転を抑制しているとき、水平方向のセルの反転も抑制するとある程度面積に影響を及ぼすようである。

いずれの設定においても、遅延時間に関しては大きな違いは生じなかった。セルの向きの有無は遅延時間に大きな影響を及ぼすものではないことが実験的に確認された。垂直方向のセルの反転の有無は面積を増加させることが分かった。この要因としては、垂直方向のセルの反転を抑制した場合、隣り合うセル領域間で電源線及びグラウンド線を共有しないためにセル領域間に生じるすきまが生じるが挙げられる。

4. 定量評価

本節では、CPアパーチャマスク上に搭載するセルの選び方とショット数の関係を調査するために行った実験について述べ

る。本実験を行う上で、5つの設定を仮定した。それぞれの設定についての説明を表2に示す。

表2 実験において仮定した5つの設定。

	説明
設定1:	基本方向のセルのみが使用できる。セルの反転の抑制は論理に関してより多くのセルをCPアパーチャマスク上に搭載できるために、この設定は最もスルーブットを向上するものである。この反面、面積と遅延時間は犠牲にされる。この設定で得られたショット数は下限であると言える。
設定2:	全ての方向のセルが使用できる。各セルの参照回数に着目したとき、当該セルの各方向は互いに同じ回数だけ使用されると仮定される。このような仮定はセルの方向が分からない論理レベルのネットリストを取り扱うときに有用である。CPアパーチャマスクは4等分され、セルの各方向に4分の1ずつのCPアパーチャマスクが割り当てられる。設定2は文献[5]の方法を採用したものである。
設定3:	セルの基本方向とY反転だけが使用できる以外設定4と同じである。CPアパーチャマスクは2等分されたセルの各方向に2分の1ずつのCPアパーチャマスクが割り当てられる。設定2と比較したとき、論理的に見ればより多くのセルがCPアパーチャマスク上に搭載される。設定2と同様に、設定3も文献[5]の方法を採用したものである。
設定4:	全てのセルの方向が使用できる。全てのセルの方向は区別され、最適なものがCPアパーチャマスク上に搭載される。
設定5:	セルの基本方向とY反転だけが使用できる。セルの方向は区別され、最適なものがCPアパーチャマスク上に搭載される。

実験で想定した電子ビーム直描装置の仕様を表3に示す。表4に示すような二つのベンチマーク回路が実験に用いられた。実験に用いたセルライブラリは産業界のものではなくアカデミックのものであり、産業用のものと比べるとセル数が少ない点に注意されたい。

表3 ビームサイズやCPアパーチャ。

VSBでの一辺の最大長	3.5 μ m
キャラクタの一辺の長さ	5 μ m
CPアパーチャマスク上のキャラクタ数	400

表4 ベンチマーク回路。

	FIR	CTP80
# of cell objects	74	111
# of cell instances	2311	3165
Feature size [μ m]	0.25	0.35

5つの設定における最小のショット数は我々が定義した数理論計画問題を解くことによって得られる。それぞれの設定におけるショット数を表5に示す。CTP80のそれぞれの設定における面積及び遅延時間は表6に示される。本実験では、FIRは論理

表5 FIRにおけるショット数。

	設定1	設定2	設定3	設定4	設定5
FIR	15268	30925	17300	29733	16915
CTP80	51055	93774	69760	91187	69589

表6 CTP80の面積と遅延時間

	設定1	設定2,4	設定3,5
面積 [μ m ²]	768,685.5	654,885	654,885
遅延時間 [ns]	7.1470	7.0902	6.9693

合成可能なものでなかったために、各設定におけるFIRの面積及び遅延時間は調査していない。設定1でのショット数は5つの設定中で最小である一方、面積と遅延時間に関しては表6に示すように最悪である。これは、セルの向きを制限することによって、論理的にはより多くのセルをCPアパーチャマスク上に搭載できた一方、セル領域間にすきまを生じたためである。

設定2及び4は全てのセルの方向を許したものであり、その違いはCPアパーチャ上にセルを搭載するときに、セルの向きを考慮するか否かである。設定2及び4のショット数を比較したとき、設定4は3.85%のショット数を削減している。これは単にCPアパーチャマスク上にセルを搭載するときにセルの向きを考慮した岳で達成されるものである。理論的には、設定2及び4においてはセルの方向が全て使うことができるために、面積及び遅延時間は全設定中で最良のはずであるが、同様に設定3及び5においてはセルの方向が2方向だけ使えるために、面積及び遅延は全設定中で中間であるべきである。表6に示すようにCADツールが出力した面積及び遅延時間は必ずしもそうではない。設定3及び5におけるCTP80の遅延時間が最良である。これはCADツールが必ずしも最適な配置配線に戻すわけではないことによる。ここで注意されたい点は、表1及び6はCADツールが戻した値以上のものではない点である。もし設定3及び5の配置配線結果が設定2及び4のそれよりも良い場合、設定3及び5の配置配線結果を設定2及び4の配置配線としても良い点である。これは設定2及び4が設定3及び5の設計空間を包含することによるものである。

設定2及び3は用いることができるセルの方向の数が異なる。設定4及び5も同様である。設定2及び3におけるFIR及びCTP80のショット数を比較したとき、セルの方向を抑制することによってそれぞれ44%及び26%のショット数が削減されたことが分かる。また、設定4及び5におけるFIR及びCTP80のショット数を比較したとき、それぞれ43%及び24%のショット数が削減されたことが分かる。面積や遅延時間への影響が少ないセルの水平方向の反転(X,X反転)の抑制は、ショット数の削減と妥当な面積・遅延時間を得ることができる良い方法であると言える。

5. おわりに

本論文では、電子ビーム直描装置のスルーブットを決定づけるショット数を削減するためのILPベースのセルライブラリ開発手法を提案した。CPアパーチャマスク上でのセルの向きを

考慮することによって、3.85%のショット数が削減されることを確認した。また、セルの方向の有無がチップの面積及び遅延に及ぼす影響を調査した。この調査において、水平方向及び垂直方向のセルの反転の抑制が遅延時間に及ぼす影響は小さいことが確認された。水平方向のセルの反転の抑制が面積に及ぼす影響は小さい一方、垂直方向のセルの反転の抑制は面積をある程度増加させることが分かった。実験の一例では、垂直方向のセルの反転の抑制によって14%の面積増加が認められた一方、44%のショット数が削減された。また、水平方向のセルの反転の抑制をしたとき、面積及び遅延時間は増加せずに、44%程度のショット数が削減された。水平方向のセルの反転の抑制はショット数の削減と妥当な面積・遅延時間を実現する良い方法であると言える。セルの反転の採用するか否かはショット数との兼ね合いである。昨今のチップ設計においては、セルは余裕を持って“緩く”配置されることが多いようである。これは、他のメモリやアナログコア等と比較して論理部分が相対的に小さくなってきたことが一因と考えられる。そのような設計においては、セルの反転の抑制による面積増加はそれほど問題とはならないことが予想される。90nmのテクノロジーやそれより微細なものにおける面積、遅延時間、及びショット数の更なる調査は本研究における今後取り組むべき課題の一つに挙げられる。

文 献

- [1] Avant!, Inc., Apollo User Guide, 1998.
- [2] Dash Optimization, Inc., <http://www.dashoptimization.com/>, May 2005.
- [3] K. Hattori et al., “Electron-beam direct writing system EX-8D employing character projection exposure method,” *Journal of Vacuum Science & Technology B*, vol. 11, issue 6, pp. 2346–2351, November 1993.
- [4] ILOG, Inc., CPLEX 9.0 Reference Manual, December 2003.
- [5] R. Inanami et al., “Throughput enhancement strategy of maskless electron beam direct writing for logic device,” *IEEE International Electron Devices Meeting*, pp. 833–836, December 2000.
- [6] R. Inanami et al., “Maskless lithography: estimation of the number of shots for each layer in a logic device with character-projection-type low-energy electron-beam direct writing system,” *Proceedings of the SPIE*, pp. 1043–1050, June 2003.
- [7] T. Nakasugi et al., “Maskless lithography using low energy electron-beam: recent results of proof-of-concept tool,” *Journal of Vacuum Science & Technology B*, vol. 20, issue 6, pp. 2651–2656, November 2002.
- [8] T. Nakasugi et al., “Maskless lithography: a low-energy electron-beam direct writing system with a common CP aperture and the recent progress,” *Proceedings of the SPIE*, pp. 1051–1058, June 2003.
- [9] H. C. Pfeiffer, “Variable spot shaping for electron beam lithography,” *Journal of Vacuum Science & Technology*, vol. 15, no. 3, pp. 887–890, May/June 1978.
- [10] H. C. Pfeiffer, “Recent advances in electron-beam lithography for the high-volume production of VLSI devices,” *IEEE Transactions on electron devices*, vol. ED-26, no. 4, pp. 663–674, April 1979.
- [11] Y. Sakitani et al., “Electron-beam cell-projection lithography system,” *Journal of Vacuum Science & Technology B*, vol. 10, issue. 6, pp. 2759–2763, November 1992.
- [12] M. Sugihara et al., “Cell library development methodology for throughput enhancement of electron beam direct writing systems,” to appear in Proc. *International Symposium on System-on-Chip*, Tampere, Finland, November 2005.
- [13] Synopsys, Inc., <http://www.synopsys.com/>, May 2005.
- [14] H. P. Williams, *Model Building in Mathematical Programming*, 4th ed., John Wiley, New York, 1999.
- [15] H. Yasuda, “An overview of latest EB exposure technology: a proposal in the mask crisis (in Japanese),” in the handout of EB Solution 2005, March 2005.