

組み込みプロセッサコア SH-X2 の開発

岡田 崇[†] 林 伴一[†] 清水 健央[†] 荒川 文男[†] 山田 哲也[†] 西井 修[‡] 服部 俊洋[‡]

[†] 株式会社日立製作所 〒185-8601 東京都国分寺市東恋ヶ窪 1-280

[‡] 株式会社ルネサステクノロジ 〒187-8588 東京都小平市上水本町 5-20-1

E-mail: [†] {ta-okada, arakawa, teyamada}@crl.hitachi.co.jp,

[‡] {hayashi.tomoichi, shimizu.takehiro, nishii.osamu, hattori.toshihiro}@renesas.com

あらまし 民生機器特に携帯、カーナビゲーション向けの組み込みプロセッサコア SH-X2 コアを開発した。本コアは 90nm CMOS プロセスを適用し、1.2V で動作周波数 800MHz を達成した。8 段パイプライン 2 並列スーパスカラ方式を採用し、1440 Dhrystone MIPS, 5.6GFLOPS, 73M polygons/s を実現した。本稿では、SH-X2 での低電力化技術、FPU のハードウェアインプリメンテーションに関して報告する。

キーワード プロセッサ, 低電力, FPU

Development of an embedded processor core SH-X2

Takashi OKADA[†] Tomoichi HAYASHI[†] Takehiro SHIMIZU[‡] Fumio ARAKAWA[†]

Tetsuya YAMADA[†] Osamu NISHII[†] and Toshihiro HATTORI[†]

[†] Hitachi, Ltd., 1-280 Higashi-koigakubo, Kokubunji-shi, Tokyo, 185-8601 Japan

[‡] Renesas Technology Corp., 5-20-1 Jousuihoncho, Kodaira-shi, Tokyo, 187-8588 Japan

E-mail: [†] {ta-okada, arakawa, teyamada}@crl.hitachi.co.jp,

[‡] {hayashi.tomoichi, shimizu.takehiro, nishii.osamu, hattori.toshihiro}@renesas.com

Abstract A SuperH™ embedded processor core, SH-X2 for consumer appliances, implemented in a 90-nm CMOS process running at 800 MHz with a voltage of 1.2V. It has a dual-issue eight-stage pipeline architecture. It archives 1440 MIPS, 5.6GFLOPS and 73M polygons/s at 800MHz. This paper focuses on low-power design method and the implementation of floating-point unit of the SH-X2.

Keyword Processor, Low-Power, FPU

1. はじめに

近年、カーナビゲーションや携帯電話等のデジタル家電向けの組み込みプロセッサ市場が急成長している。これまで SuperH™ CPU コアの開発は、携帯電話向け SH3-DSP とカーナビゲーション向け SH4 を個別に開発していたが、ユーザのニーズに早急に対応するため、2 つを統合した SH-X コアを開発した[1][2]。さらに、ユーザ要求に対応するため、SH-X よりも高性能化、低電力化された SH-X2 コアを開発した。

2. SH-X2 プロセッサコアの仕様

表 1 に SH-X2 プロセッサコアの仕様を示す。コアはスタンダード版と低電力版があり、どちらも 90nm CMOS プロセスを適用した。1.2V にてスタンダード版動作周波数 800MHz、低電力版 266MHz を達成した。性能としては、スタンダード版が 1440 Dhrystone MIPS, 5.6GFLOPS, 73M polygons/s であり、低電力版は、480

Dhrystone MIPS, 266MMACS を実現した。

表 1. SH-X2 プロセッサコアの仕様

コアバージョン	Standard	Low power
プロセス(90nm)	Generic(G)	Low power(LP)
電圧	1.2V	
オプション	FPU	DSP
動作周波数	800 MHz	266 MHz
CPU 性能	1440 MIPS	480 MIPS
FPU/DSP 性能	5.6 GFLOPS 73M polygons/s	266 MMACS

3. パイプライン構成

図 1 に SH-X2 パイプライン構成を示す。4 種類の命令タイプ即ち分岐(BR), CPU 実行(EX), ロードストア(LS), FPU 実行(FE)に分類できる。FPU データ転送命令は、LS パイプラインに含まれる。CPU 実行部は命令フェッチ 3 段、デコード 2 段、実行 2 段、ライトバック 1 段の 8 段パイプラインで 2 並列スーパスカラ構成になっている。クリティカルパスを解消するため、

SH-X2 から I3 ステージを追加した. 命令フェッチサイクルが長いと分岐ペナルティが増加する. しかし, SH-X から採用した, アウトオブオーダーで分岐を発行する早期分岐方式, 分岐履歴テーブルによる分岐予測により, 分岐ペナルティ増加は小さい. 例えば, Dhrystone 2.1 ベンチマークではペナルティ増はなかった.

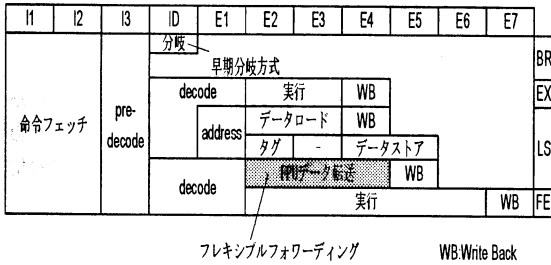


図 1. SH-X2 パイプライン構成

4. 低電力設計

4.1. 動作電力の定義

スイッチングパワーはセル出力の負荷容量の充電によって消費される電力であり, 動作電力の大部分を占める[5]. スwitchingパワーの値は次式に示すとおりである.

$$P_D = \frac{1}{2} \cdot f \cdot V_{dd}^2 \cdot \sum_{i \in C} (C_i \cdot \alpha_i) \quad (1)$$

ここで, f は動作周波数, V_{dd} は電源電圧, C_i は, ネット i に接続された全てのネットの総負荷容量であり, α_i は, ネット i のトグル率, 即ち, 論理値が 0 から 1, あるいは 1 から 0 へ変化するクロック当たりの回数である.

4.2. SH-X 電力解析

SH-X2 コアを開発するにあたり, 130nm SH-X コアの電力を調べ, 課題抽出を行った. 図 2 に 130nm ゲートにおける Dhrystone 2.1 の動作電力の電力構成要素比を示す.

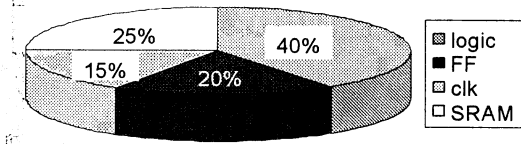


図 2. SH-X 電力構成要素

電力構成要素としては, 組み合わせ回路部(logic), FF 部(FF), クロックツリー部(clk)および SRAM 部(SRAM)

であり, それぞれ 40%, 20%, 15%, 25%を占めている. FF 部とクロックツリー部の電力が合わせて 35%と大きいので, 組み合わせ回路部に論理を追加して, FF 部とクロックツリー部の電力を減らすこととした.

4.3. SH-X2 対策

SH-X2 コア電力削減の具体的方針について説明する. 図 3 に低電力開発技術の方針をまとめた. 横軸が電力構成要素, 縦軸が式(1)の要素である.

		CLK	FF	Logic	SRAM
動作電力	活性化率低減 (α)		D-drvゲーテッドクロック化		SRAM 駆動時間削減
	容量低減 (C)		FF数削減	面積削減	
			セル選択最適化		
	要求周波数低減 (F)	高方式性能維持			
電圧低減 (V)					

図 3. 低電力開発技術

まず活性化率(α)低減技術は, クロックツリー部, FF 部の電力を削減するためのクロックドライバ D-drv のゲーテッド化, SRAM 部の電力を削減するための SRAM 駆動時間削減即ち, 書き込みレプリカ回路を用いた SRAM のワード線駆動時間の削減である[4].

図 4 に D-drv ゲーテッドクロック方式を示す.

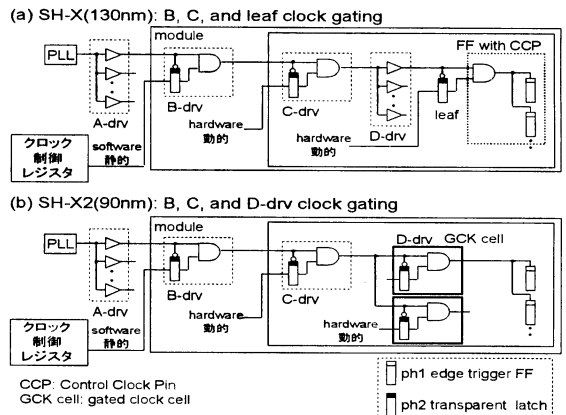


図 4. D-drv ゲーテッドクロック方式

(a)は SH-X のクロックツリー構成図である. PLL から A-drv, B-drv, C-drv, D-drv, リーフ FF の 5 段のドライバ構成である. B-drv, C-drv, リーフ FF はゲーテッドクロック化されている[3]. (b)は SH-X2 のクロック

クツリー構成図である。新たに D-drv がゲーテッドクロック化され、FF がフリーランとなっている。クロックが FF 内部より上段で停止することにより、SH-X2 D-drv のバッファ電力の削減が期待できる。

容量(C)低減技術としては、FF 部の FF 数削減、FF 部、組み合わせ回路部の Physical Compiler による面積の削減、Power Compiler によるセル選択最適化である。

要求周波数(F)低減技術は、SH-X と同等の方式性能維持である。SH-X2 では高速化のため、I3 ステージを追加した。方式性能が悪化するとアプリケーション実行時の要求周波数が増加してしまう。そこで、SH-X の方式性能を維持することで、要求周波数の増加を抑えた。

4.4. SH-X2 電力評価結果

SH-X2 の電力評価手法には、短 TAT で電力削減効果を確認するための RTL レベル電力評価と電力値算出用のゲートレベル電力評価の 2 種類がある。表 2 に RTL とゲートレベルそれぞれの電力評価項目を示す。

表 2. RTL とゲートレベルの電力評価項目

手法	分類	内容
RTL	active_c	C-drv 動作時のサイクル数
	active_d	D-drv 動作時のサイクル数
	ff_out	FF 出力端子のトグル回数
ゲート	clock0	B-drv より前の clock-tree 電力
	clock1	B と C-drv 間の clock-tree 電力
	clock2	C と D-drv 間の clock-tree 電力
	clock3	D-drv と FF 間の clock-tree 電力
	ff_clock	FF 内のクロック電力
	ff_data	FF 内のデータ電力
	sram	SRAM 内の電力
	logic	組み合わせ回路の電力

RTL レベル電力評価項目 active_c、active_d はクロックドライバ C-drv、D-drv がアクティブ時のサイクル数を、ff_out は FF 出力端子のトグル回数を調べる。ゲートレベルの電力評価項目は、クロックツリー部、FF 部、SRAM 部、組み合わせ回路部に分割し、更に FF 部に関してはクロック部とデータ部に分割する。モジュール内のクロックツリーは B-drv、C-drv、D-drv の 3 段のクロックドライバとバッファから構成され、FF のクロック端子に接続される。クロックツリー部はその構成に従い、clock0~clock3 に 4 分割して集計する。SRAM 部は SRAM 内の電力を、組み合わせ回路部は組み合わせ回路の電力を集計する。

ゲートレベル電力評価は Pre レイアウト、Post レイアウトのどちらも行っている。Post レイアウト評価はレイアウト後の負荷情報を使用するため高精度であるが、レイアウト工程が完了してからの評価開始となる。一方、Pre レイアウト評価はライブラリ整備し、ゲ

ト生成後から評価開始可能である。Pre レイアウトゲートと Post レイアウトゲートではクロックツリー構造が大きくことなるため、Pre レイアウト評価では擬似クロックツリーシミュレーション(擬似 CTS)手法を用いた。図 5 に擬似 CTS 手法を示す。(a)は Pre レイアウトの合成時のゲートのクロックツリーを示している。B-drv、C-drv、D-drv の各クロックドライバと FF は生成されるが、ファンアウト調整やクロックスキュー調整用のバッファは存在しないため、Post レイアウトゲート評価結果と乖離する。(b)に擬似 CTS 手法を示す。ファンアウト 128bit 以上のネットに対し、ファンアウト 16 のバッファツリーを挿入する。

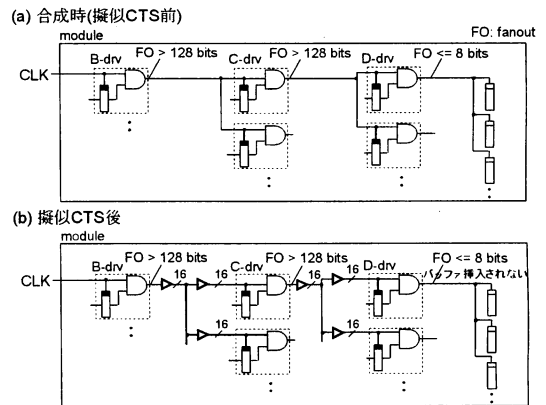


図 5. 擬似 CTS 手法

図 6 に RTL レベル電力評価結果を示す。Dhrystone 2.1 実行時の RTL レベル電力評価項目 active_c、active_d、ff_out に対するトグル数比を求めている。SH-X と比べて、電力評価項目 active_c、active_d、ff_out それぞれ 15%、31%、29%削減できた。

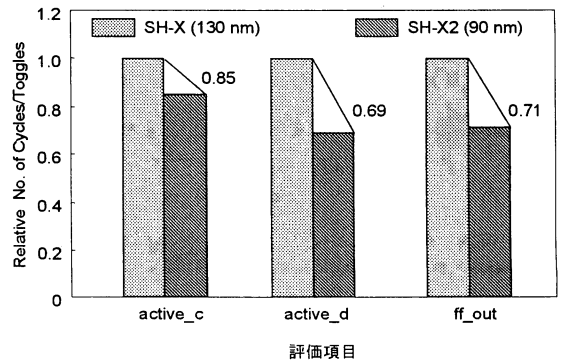


図 6. RTL レベル電力評価結果

図 7 にゲートレベル電力評価結果を示す。Post レイ

アウトゲート、Dhrystone 2.1 実行時のクロックツリー部、FF 部の電力比を求めている。横軸は電力評価項目であり、clock0, clock1, clock2, clock3, ff_clock, ff_data であるが、それぞれクロックツリー部と FF 部をまとめた。SH-X と比べて、クロックツリー部 35%、FF 部 59%削減できた。なおこの結果は、プロセスシュリンク、クロック構造、RTL 変更を含んでいる。

図 8 に Pre レイアウトゲートと Post レイアウトゲートの電力評価結果の誤差を示している。Pre レイアウトゲートは擬似 CTS 手法後のゲート、Post レイアウトゲートは DFT 付きゲートで評価した。カテゴリは 2 つで、CPU 制御部と CPU データバス部を合わせた CPU 部とプロセッサコア部である。2 つのカテゴリとも擬似 CTS 手法により、ほぼ誤差をなくすことができた。また CPU 部とプロセッサコア部の差は、PLL と B ドライバ間のクロックツリー電力差によるものと考えられる。

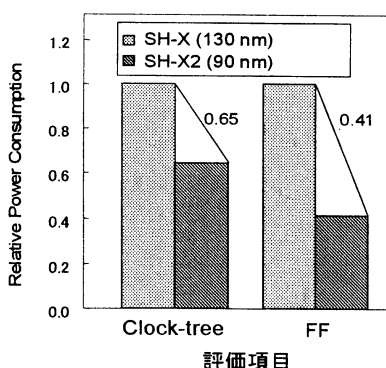


図 7. ゲートレベル電力評価結果

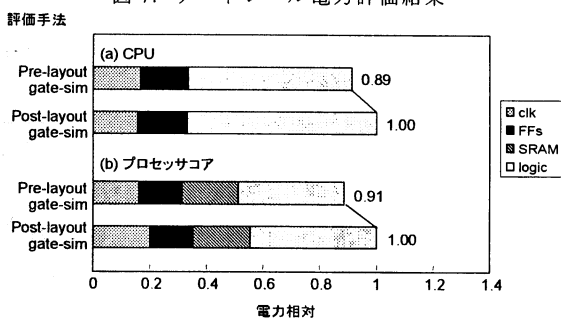


図 8. Pre/Post レイアウトゲート電力評価誤差

5. FPU インプリメンテーション

5.1. FPU 演算命令

SH アーキテクチャは、16 本の汎用レジスタと 32 本の FPU レジスタを含む小さなレジスタファイルを定義している。小さなレジスタファイルは小面積化に貢献するが、性能低下を招く。レジスタを早期に開放し、

レイテンシを短くすれば、レジスタの可用性が向上し、性能が向上する。フレキシブルフォワーディングはレジスタの早期開放を可能にし、プログラミングを容易にする。浮動小数点命令はレイテンシが長くなり易いので、命令追加によって実効的なレイテンシを削減している。図 9 に FPU 演算命令とそのピッチ、レイテンシを示す。

演算命令	ピッチ/レイテンシ	
	単精度	倍精度
FADD (加算)	1/3	1/5
FSUB (減算)	1/3	1/5
FMUL (乗算)	1/5	3/8
FDIV (除算)	2(13)/17	2(28)/32
FSQRT (平方根)	2(13)/17	2(28)/32
FCMP/EQ (比較)	1/3	1/3
FCMP/GT (比較)	1/3	1/3
FABS (絶対値)	1/1	1/1
FNEG (符号反転)	1/1	1/1
FLOAT (浮動小数点に変換)	1/3	1/5
FTRC (整数に切捨)	1/3	1/5
FCNVSD (単精度から倍精度)	-	1/5
FCNVDS (倍精度から単精度)	-	1/5
FMAC (積和)	1/5	-
FIPR (内積)	1/5	-
FTRV (ベクトル変換)	4/8	-
FSRRA (平方根逆数)	1(3)/5	-
FSCA (サイン・コサイン)	3(5)/7	-

ピッチはリソース占有サイクル
 FDIVとFSQRTは特別なリソースを占有
 FSRRAとFSCAは別の特別なリソースを占有
 () 内の値は上記特別なリソースの占有サイクル

図 9. FPU 演算命令

演算中心のアプリケーションでは積和演算 (MAC) の頻度が高い。SH-X では積和演算の連続を加速するために浮動小数点内積命令 (FIPR) を定義している。実効レイテンシは MAC 命令の 1/4 である。4 ウエイの SIMD も FIPR と同じスループットを達成できるが、レイテンシが長く、大きなレジスタファイルを必要とする。SH-X2 では浮動小数点平方根逆数近似命令 (FSRRA) を定義しベクトルの正規化を加速している。精度は 23 ビットで、平方根命令と除算命令の連続と同等の精度でありながら、レイテンシは 5 で、約 1/7 である。サインコサイン近似命令も定義しグラフィックスのプログラミングを容易にしている。

5.2. ブロック図

図 10 に FPU のブロック図を示す。FADD パイプラインでは、単純な単精度命令 FADD, FSUB, FLOAT, FTRC を実行する。FVEC パイプラインでは、倍精度命令, FMAC, FMUL, FIPR, FTRV, FCNVSD, FCNVDS を実行する。FABS, FNEG は符号ビットの変更のみで

あり、FPU データ転送命令で実行する。また、FDIV、FSQRT、FSRRA、FSCA は専用のパイプラインにて実行する。

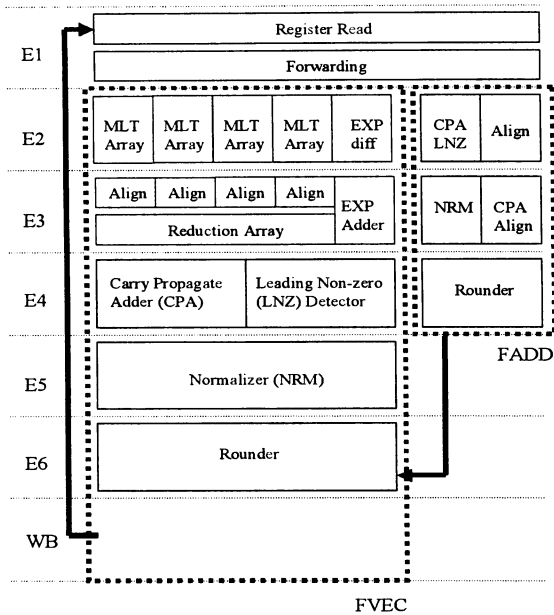


図 10. FPU ブロック図

5.3. 高速化手法

コード効率を重視した 16 ビット固定命令長の SH アーキテクチャのオペランドは、命令コードの第 1 及び第 2 レジスタフィールドによる指定と暗黙指定によって定義する。また、命令コード空間を圧縮するためにレジスタフィールド数が 0, 1, 2 のフォーマットがある。このためディスティネーションレジスタの n フィールド及びソースレジスタの m フィールドの位置を固定できない。例えば、ディスティネーションが暗黙指定でソースが第 1 フィールドの場合と、逆にソースが暗黙指定でディスティネーションが第 1 フィールドの場合とは共通のフィールドを割り当てられない。

ID ステージのレジスタ比較部は、SH-X のクリティカルタイミングパスの 1 つであった。図 11 にレジスタ比較部の概要を示す。(a)は SH-X のレジスタ比較部である。m, n フィールドからレジスタ番号を生成するレジスタ生成部、レジスタリードが有効か否かを判定するレジスタリード valid 生成部、浮動小数点演算精度、転送サイズ、命令種別からレジスタフィールドの入れ替え及び比較器とのインタフェースを合わせるインタフェース部、比較器からなる。(b)は SH-X2 のレジスタ比較部である。SH-X2 では動作周波数向上のため、

I3 ステージを追加し、m, n フィールドからレジスタ番号を生成するレジスタ生成部とインタフェース部で行っていた浮動小数点演算精度、転送サイズ、命令種別からレジスタフィールドを入れ替える論理、レジスタのリードが有効か否かを判定する論理を I3 ステージへ移動した。単純に論理を I3 ステージへ移動するだけでなく、後段の比較論理を容易にするため、FTRV, FIPR, FSCA に対しては、単精度命令であるが、倍精度命令扱いとなるように変更した。また、SH-X を 90nm プロセスで合成すると、-0.27ns のタイミング違反があった。レジスタ比較部等の論理移動を行い、-0.27ns のタイミング違反を解消し、目標動作周波数 800MHz を達成した。

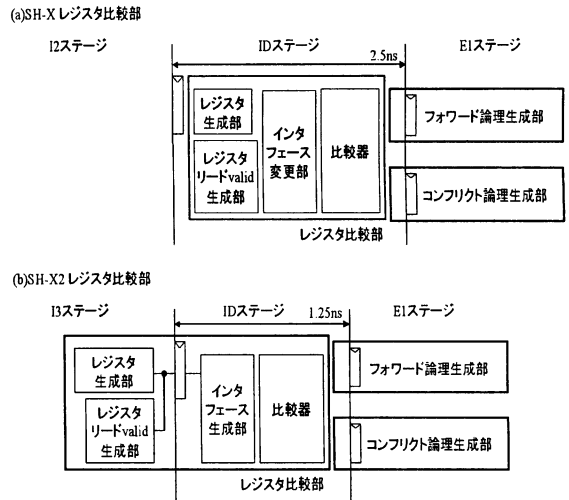


図 11. FPU レジスタ比較部概要図

5.4. ベンチマーク評価結果

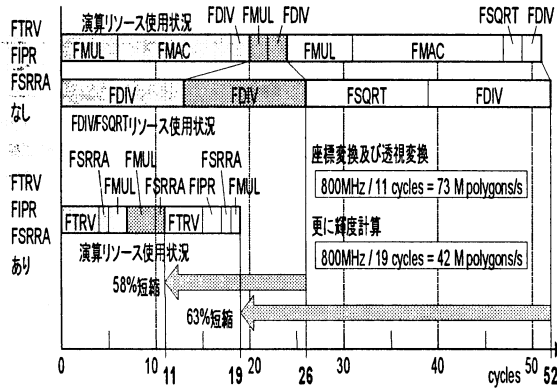
図 12 に簡単なグラフィックスベンチマークと性能評価結果を示す。座標変換と透視変換で、FTRV, FIPR 及び FSRRA を用いない場合は、7 回の FMUL, 12 回の FMAC, 2 回の FDIV で 26 サイクル必要となる。輝度計算で、FTRV, FIPR 及び FSRRA を用いない場合、7 回の FMUL, 12 回の FMAC, 1 回の FSQRT, 1 回の FDIV で 26 サイクル必要となり、座標変換、透視変換、輝度計算トータルで 52 サイクル必要となる。これに対し、FTRV, FIPR 及び FSRRA を用いた場合は、座標変換、透視変換で、1 回の FTRV, 5 回の FMUL, 2 回の FSRRA で 11 サイクルとなる。輝度計算では、1 回の FTRV, 2 回の FIPR, 1 回の FSRRA, 1 回の FMUL で 8 サイクル必要となり、座標変換、透視変換、輝度計算トータルでも 19 サイクルで実行できる。

FIPR, FTRV 及び FSRRA を用いない場合は、座標変

換と透視変換で 31M polygons/s, 更に輝度計算をすると 15M polygons/s である. FIPR, FTRV 及び FSRRA を用いた場合, 座標変換と透視変換で 73 M polygons/s, 更に輝度計算をすると 42 M polygons/s であり, それぞれ 58% と 63% 短いサイクルで処理を完了する.

$$\begin{pmatrix} V_x' \\ V_y' \\ V_z' \\ V_w' \end{pmatrix} = \begin{pmatrix} T_{xx} & T_{xy} & T_{xz} & T_{xw} \\ T_{yx} & T_{yy} & T_{yz} & T_{yw} \\ T_{zx} & T_{zy} & T_{zz} & T_{zw} \\ T_{wx} & T_{wy} & T_{wz} & T_{ww} \end{pmatrix} \begin{pmatrix} V_x \\ V_y \\ V_z \\ V_w \end{pmatrix} \quad \begin{pmatrix} V_x'' \\ V_y'' \\ V_z'' \\ V_w'' \end{pmatrix} = \frac{1}{V_w'} \begin{pmatrix} V_x' \\ V_y' \\ V_z' \\ V_w' \end{pmatrix} \quad S_x = \frac{V_x''}{V_z''} \quad S_y = \frac{V_y''}{V_z''}$$

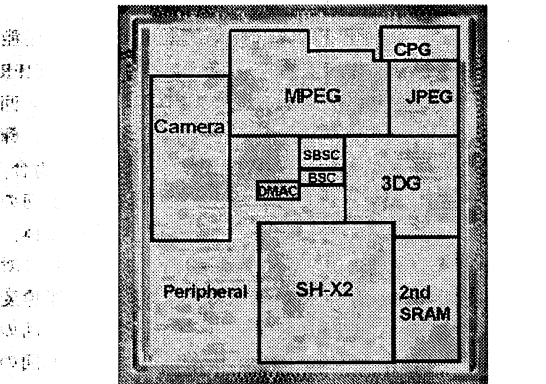
$$\begin{pmatrix} N_x' \\ N_y' \\ N_z' \\ N_w' \end{pmatrix} = \begin{pmatrix} T_{xx} & T_{xy} & T_{xz} & T_{xw} \\ T_{yx} & T_{yy} & T_{yz} & T_{yw} \\ T_{zx} & T_{zy} & T_{zz} & T_{zw} \\ T_{wx} & T_{wy} & T_{wz} & T_{ww} \end{pmatrix} \begin{pmatrix} N_x \\ N_y \\ N_z \\ N_w \end{pmatrix} \quad I = \frac{L_y N_x' + L_x N_y' + L_z N_z'}{\sqrt{N_x'^2 + N_y'^2 + N_z'^2}}$$



本ベンチマークではレジスタコンフリクトが起こらないため性能はリソースネックで制限される
図 12. 簡単なグラフィックスベンチマークと評価結果

6. チップ

SH-X2 コアを用いたサンプルチップを図 13 に示す.



BSC: SRAM/FLASH制御部 CPG: クロックパルスジェネレータ
SBSC: SDRAM制御部 3DG: 3Dグラフィックス

図 13. サンプルチップ

90nm 7 層配線, 2 種しきい値低電力 CMOS ライブラリ

で開発した. このチップは低電力対策を行った携帯電話向けのサンプルチップである. 1.2V 時に 266MHz で動作する. SH-X2 は 32KB の 1 次命令, データキャッシュ, DSP 用に 16KB の SRAM および 128KB の 2 次 SRAM を内蔵している.

7. 結論

デジタル家電向け組み込みプロセッサコア SH-X2 を開発した. スタンダード版がカーナビゲーション向け, 低電力版が携帯電話向けである. 90nm CMOS プロセスを適用し, 1.2V で 800MHz を達成した. 8 段パイプライン 2 並列スーパースカラ方式を採用し, 1440 Dhrystone MIPS を実現した.

クロックドライバ部, FF 部の電力を削減するため, D-driv のゲーテッド化, 合成, レイアウト最適化による面積削減を行い, SH-X と比べて, クロックツリー部で 35%, FF 部で 59% 削減できた.

SH-X のクリティカルタイミングパスの 1 つであった FPU レジスタ比較部に対し, I3 ステージを追加することで, 目標動作周波数 800MHz を達成した.

FPU 性能に関しては, グラフィックス強化命令を追加し, ピーク性能 5.6GFLOPS, 73M polygons/s を実現した.

文 献

- [1] F. Arakawa et al., "An embedded processor core for consumer appliances with 2.8GFLOPS and 36M polygon/s FPU," ISSCC Dig. Tech. Papers, pages 334-335, Feb. 2004.
- [2] T. Kamei et al., "A resume-standby application processor for 3G cellular phones," ISSCC Dig. Tech. Papers, pages 336-337, Feb. 2004.
- [3] M. Ishikawa et al., "A 4500 MIPS/W, 86 μA resume-standby, 11 μA ultra-standby application processor for 3G cellular phones," IEICE Trans. Electron., E88-C(4): pages 528-535, Apr. 2005.
- [4] M. Yamaoka et al., "Low-power embedded SRAM modules with expanded margins for writing," ISSCC Dig. Tech. Papers, pages 480-481, Feb. 2005.
- [5] C. Y. Tsui et al., "Efficient estimation of dynamic power consumption under a real delay model," ICCAD Dig. Tech. Papers, pages 224-228, Nov. 1993.