

CMOS LC-VCO の位相雑音最小化

宮下 大輔 石黒 仁揮 香西 昌平 小林 弘幸 間島 秀明
阿川 謙一 濱田 基嗣

東芝 SoC 研究開発センター 〒212-8520 川崎市幸区堀川町 580-1

E-mail: daisuke1.miyashita@toshiba.co.jp

あらまし CMOS LC-VCO の位相雑音を最小化する振幅制御回路を提案し、0.18- μm CMOS プロセスで設計、作製した。提案回路により、可変周波数範囲 2.2GHz~2.8GHz、トランジスタの閾値電圧ばらつき $\pm 100\text{mV}$ 、動作温度 $-35^{\circ}\text{C}\sim 85^{\circ}\text{C}$ 、電源電圧 1.8V~3V の全範囲で、100kHz 離調位相雑音 $-90\text{dBc}/\text{Hz}$ 以下を達成した。

キーワード RFCMOS、LC-VCO、位相雑音、振幅制御、PVT ばらつき

A Phase Noise Minimization of CMOS LC-VCOs over Wide Tuning Range and Large PVT Variations

Daisuke MIYASHITA Hiroki ISHIKURO Shouhei KOUSAI Hiroyuki KOBAYASHI
Hideaki MAJIMA Kenichi AGAWA and Mototsugu HAMADA

SoC Research and Development Center, Toshiba Corporation

580-1, Horikawa-cho, Saiwai-ku, Kawasaki, 212-8520, Japan

E-mail: daisuke1.miyashita@toshiba.co.jp

Abstract An automatic amplitude control (AAC) circuit to minimize the phase noise of a LC-VCO is proposed and implemented by a 0.18- μm CMOS process. The phase noise lower than $-90\text{dBc}/\text{Hz}$ at 100kHz offset is achieved over a wide tuning range (from 2.2GHz to 2.8GHz) under large process ($\Delta V_{th} = \pm 100\text{mV}$), temperature (from -35°C to 85°C), and power supply (from 1.8V to 3V) variations.

Keyword RFCMOS, LC-VCO, Phase Noise, Automatic Amplitude Control, PVT variation

1. はじめに

CMOS 技術の進歩により、RF トランシーバの集積にまでその応用範囲を広げている[1-3]。しかし、デバイスのスケールリングは素子ばらつきを増大させるという副作用をもたらす。歩留まりの向上、コストの低下を達成するためには、素子ばらつきの影響を受けにくい回路設計が必須であり、それを実現するための、補正技術やばらつき追従技術がますます重要性を増している。

また RF トランシーバにおいて、位相雑音はシステムの性能を左右する最も重要なパラメータの一つである。一般に発振器の振幅を大きくすることで位相雑音は低減できる[4,5]。しかし CMOS LC-VCO の場合、振幅を大きくしすぎると、逆に位相雑音が悪化することが知られている[6]。さらに、バイポーラトランジスタに比べ MOS トランジスタは、プロセス、電源電圧、温度 (Process, supply Voltage, Temperature : PVT) による素子特性のばらつきが大きく、それに伴って位相

雑音が悪化し始める発振振幅の値や発振振幅自体も大きくばらつく。また発振振幅を決める大きな要因の一つであるインダクタの Q 値は原理的に周波数依存性を持つ。したがって振幅自動制御回路をもたない LC-VCO では、常に適度な発振振幅を保つことは非常に難しい。これまでも振幅自動制御回路を持つ CMOS LC-VCO の報告は多々ある[7,8]が、PVT ばらつきの影響や、発振振幅の最適値がどのように決まるのかについての報告はない。

本報告では、位相雑音が最小になるように、発振振幅を自動制御する振幅制御手法を提案する。その手法は、振幅制御の参照電圧として MOS トランジスタの閾値電圧を用いることを特徴とし、PVT ばらつきの影響を自動的に補正する機能を有する。実験により広い周波数範囲にわたって、大きな PVT ばらつきのもとでも、低い位相雑音が実現できることが示された。

2. 提案する振幅制御回路の動作原理

図1は提案する振幅制御回路を含む CMOS LC-VCO の回路図である。図2に示されるようにピーク-ピーク振幅 (V_{pp}) は MOS トランジスタ M1、あるいは M2 の $V_{GS} - V_{DS}$ に等しい。ここでは電流律則領域 (current limited regime) での動作を想定しており、バイアス電流を大きくすると、それにほぼ比例して発振振幅が増大し、位相雑音は低減する。しかし、発振振幅が M1、および M2 の閾値電圧 (V_{th}) を超えると、M1、および M2 は線形領域に入り、トランジスタの出力インピーダンスが下がる。これにより発振波形に高調波が発生し、電流源 M10 のフリッカ雑音を発振波形に重畳させる原因となる[4,6]。上述のことから、発振振幅には最適値が存在し、その値は M1、M2 が線形領域に入らない最大の値、つまり V_{th} に等しいことがわかる。

発振振幅は、タンクの Q 値とトランジスタの gm に大きく依存するため、フィードバック制御による振幅調整機構なしで、発振振幅を最適値に保つのはほぼ不可能である。さらに、フィードバック制御を用いたとしても[7,8]、一定の振幅に固定するだけでは不十分である。なぜなら、温度、プロセスばらつきにより V_{th} 、すなわち発振振幅の最適値自体もばらついてしまうからである。LC 共振器を用いて、MOS トランジスタが線形領域に入っても高いインピーダンスを保ち、位相雑音を劣化させないようにする方式も提案されているが[6]、共振周波数からはずれるとインピーダンスがさがり、広帯域 VCO には向かないし、大きな面積を必要とするインダクタの使用はチップサイズやコストの増加にもつながる。

そこで我々は、トランジスタの閾値電圧自体を参照電圧として、フィードバック制御により VCO の発振振幅 V_{pp} を制御する振幅制御回路を提案した。参照電圧自体が PVT ばらつきを追尾するため、常に V_{pp} が V_{th} と等しくなり、最適な発振振幅を保つことができる。したがって、広い発振周波数範囲にわたって、また大きな PVT ばらつきが存在しても、常に低い位相雑音を実現できる。

振幅制御回路は、図1に示すように2つのピーク検出回路と、レベルシフトのためのソースフォロワおよび誤差増幅器からなる。NMOS トランジスタ M5、M6、および C1、電流源 I1 からなる整流回路は VCO の発振信号の上側のピークを検出する一つ目のピーク検出回路である。この回路の出力ノード電圧 (V_1) は、

$$V_1 \approx V_{MAX} - V_{GSN}. \quad (1)$$

とあらわされる。ここで V_{GSN} は M5 および M6 のゲートソース間電圧である。M5、M6 は小さな電流 (5 μ A)

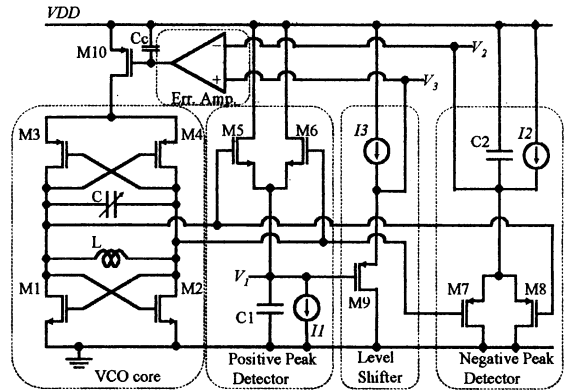
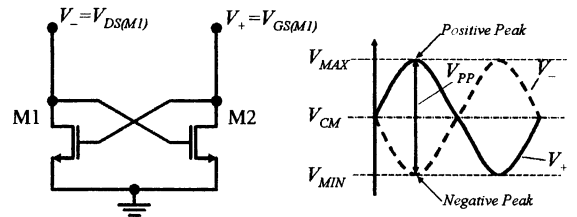


図1 提案する VCO 振幅制御回路



$$\begin{aligned} \text{Condition for saturation: } & V_{GS(M1)} - V_{DS(M1)} \leq V_{th} \\ \therefore & V_+ - V_- = V_{pp} \leq V_{th} \end{aligned}$$

図2 VCO のピーク-ピーク振幅が M1、M2 の閾値電圧を超えると M1、M2 は線形領域で動作する

で駆動されるため、 V_{GSN} は、それらの閾値電圧 V_{thN} にほぼ等しい。したがって(1)式は(2)式のように書き直すことができる。

$$V_1 \approx V_{MAX} - V_{thN}. \quad (2)$$

同様に、PMOS トランジスタ M7、M8 および C2、電流源 I2 は発振信号の下側のピークを検出する2つ目のピーク検出回路を構成し、その出力電圧 (V_2) は次のように書き表される。

$$V_2 \approx V_{MIN} - |V_{thP}|. \quad (3)$$

V_{thP} は M7、M8 の閾値電圧である。上側のピーク検出回路の出力は、PMOS トランジスタ M9、I3 で構成されるソースフォロワによって $|V_{thP}|$ だけシフトされる。

$$V_3 \approx V_1 + |V_{thP}| = V_{MAX} - V_{thN} + |V_{thP}|. \quad (4)$$

最後に V_3 と V_2 がそれぞれ誤差増幅器の正入力、負入力端子に接続され、その出力は電流源 M10 にフィードバックされる。もし V_3 が V_2 より大きければ、誤差増幅器は V_3 と V_2 が等しくなるまで VCO のバイアス電流を減らす。逆に V_3 が V_2 より小さければ、バイアス電流を増やす。結果として V_3 と V_2 は常に等しくなるよ

うに制御される。(3)式と(4)式より $V_3=V_2$ を変形すると、

$$V_{MAX} - V_{MIN} = V_{thN}. \quad (5)$$

となる。つまり VCO の V_{PP} は V_{thN} と等しくなる。理想的には V_{thN} は M1、M2 の閾値電圧と等しいため、VCO の発振振幅を、位相雑音を最小にするために最適な M1、M2 の閾値電圧と等しい値に保つことができる。

PMOS トランジスタ M3、M4 が線形領域で動作しても、電流源 M10 があるためタンクのインピーダンスが下がることは無い。またこの方式では VCO の発振振幅がトランジスタの閾値に応じて変動するが、バッファ回路で適度に増幅することで後段の MIX 回路の変換利得を一定にすることが可能であるため、問題にはならない。また振幅制御のフィードバックループの安定性は、市販のシミュレータを用いたハーモニックバランスシミュレーションで検証した。

3. シミュレーション結果

図3は振幅制御回路を用いた場合と用いない場合のそれぞれについて、100kHz 離調位相雑音をシミュレーションした結果を示したものである。下辺の横軸はバイアス電流を示し、上辺の横軸はそれに対応する V_{PP} を示す。実線と黒塗りのシンボルは振幅制御しない場合の位相雑音を示している。それぞれの曲線はV字型の特性を示すことがわかる。つまり、位相雑音はバイアス電流の増加とともに、最初は低減傾向を示すが、最適点をこえるとそれ以降は増加してしまう。そして2節で指摘したとおり、その最適点における V_{PP} は閾値電圧とほぼ等しい。したがって閾値電圧を参照電圧として振幅制御した場合のシミュレーション結果（白抜ききのシンボル）は期待通りに位相雑音最小の点に制御され、低い位相雑音を実現されていることがわかる。

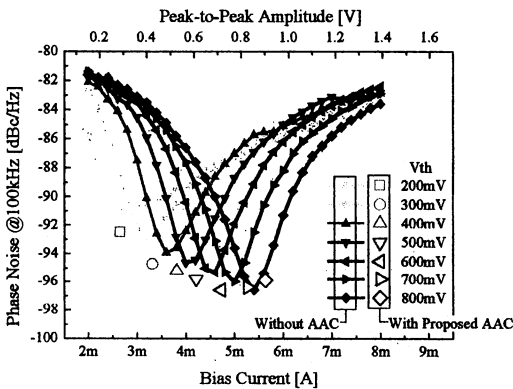


図3 位相雑音のシミュレーション結果

4. 実装

提案した振幅制御回路を備えた VCO を 5 層メタル (Al)、0.18- μm 標準 CMOS プロセス+MIM キャパシタ オプションで作製した。発振周波数は 2.2GHz から 2.8GHz の範囲でチューニング可能で、2.4GHz 帯 ISM バンドをカバーしている。集積したインダクタのインダクタンスは 1.5 μH 、Q 値は発振周波数範囲内で 3.5 から 4.5 である。タンクキャパシタは粗調用のスイッチ付き MIM キャパシタアレイと微調用の PN 接合バラクタからなる。デジタル回路で発振周波数に応じて最適な MIM キャパシタアレイの設定値を決める。これにより、PN 接合バラクタによる VCO のチューニング感度 (Kv) は 50MHz/V 以下に保たれ、位相雑音への影響を小さくしている。

5. 実験結果

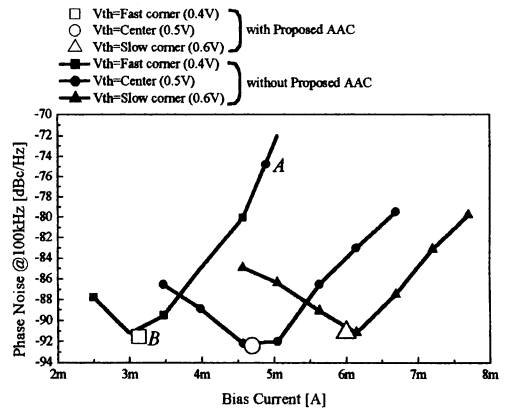


図4 位相雑音の閾値依存

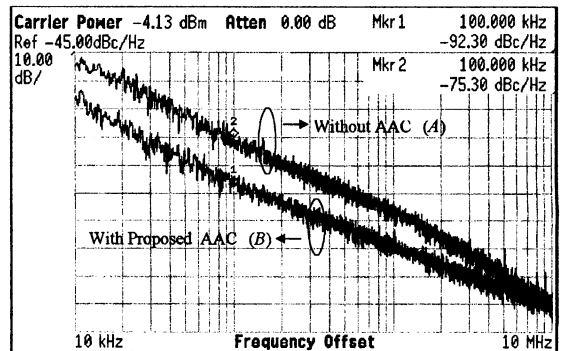


図5 図4中の(A)点、(B)点における位相雑音スペクトル

図4は100kHz 離調の位相雑音をバイアス電流を横軸にとってプロットしたものである。発振周波数は2440MHzに設定した。プロセスばらつきの影響を調べるために、閾値電圧0.5Vのセンターサンプルに加え、閾値電圧を意図的に±0.1V変動させたコーナーサンプルも作製した。図4からわかるように、測定結果は図3のシミュレーション結果と同様の傾向を示していることがわかる。つまり振幅制御しない場合には、位相雑音はバイアス電流に対してV字型の曲線となり、閾値電圧が高いほど位相雑音を最小にするバイアス電流は大きい。提案した振幅制御回路を用いた場合にはVCOは最適なバイアス電流で動作するように制御され、閾値電圧によらず-92dBc/Hzを達成している。図4のA点とB点におけるファーストコーナーサンプルの位相雑音のスペクトルを図5に示す。センターサンプルにとって最適なバイアス電流である4.7mAに設定すると、ファーストコーナーサンプルの位相雑音は-75dBc/Hzまで劣化する(A)。しかし提案した振幅制御は自動的に、ファーストコーナーサンプルにとっての最適バイアス電流である3.1mAにまで電流を減らし、-92dBc/Hzの位相雑音を保っていることがわかる。

図6から図9は、位相雑音の発振振幅、温度、電源電圧に対する依存性を測定した結果を示している。図6は横軸を発振周波数として、振幅制御あり、なし、それぞれの場合における位相雑音の測定結果である。黒塗りのシンボルは振幅制御なしの場合の結果で、発振周波数によってタンクのQが変動するために、発振振幅が変動し、固定電流では位相雑音が発振周波数によって大きくばらついてしまうことを示している。

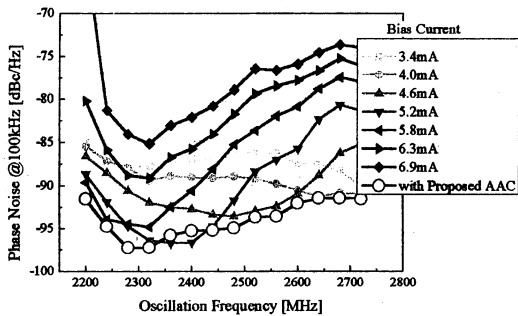


図6 位相雑音の発振周波数依存性

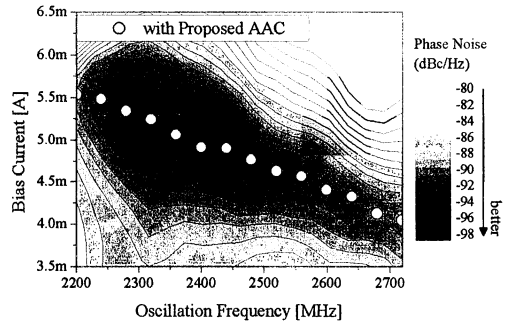


図7 位相雑音のバイアス電流、発振振幅依存性を示す等高線図と振幅制御時のバイアス電流

一方で振幅制御した場合(白抜きシンボル)は発振周波数に応じて電流を調整し、2.2GHzから2.8GHzにわたって-92dBc/Hz以下の位相雑音を保っていることがわかる。図7は同じ測定結果を、X軸に発振周波数、Y軸にバイアス電流をとり、振幅制御なしの場合における位相雑音を等高線で表示したものである。白抜きの丸印は振幅制御した場合のバイアス電流を示す。まず等高線を見ると、発振周波数があるにつれ、最適なバイアス電流は小さくなっている様子がわかる。これは、閾値電圧は発振周波数に依存しないため最適な発振振幅は変化しない一方で、発振周波数があるほど、タンクのQが大きくなるため、同じ振幅を得るために必要なバイアス電流は小さくなるためである。次に振幅制御した場合のバイアス電流を見ると、期待通り発振周波数に応じて最適なバイアス電流に調整されていることが確認できる。

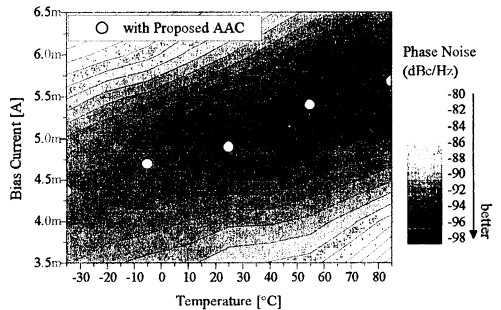


図8 位相雑音の温度、バイアス電流依存性を示す等高線図と振幅制御時のバイアス電流

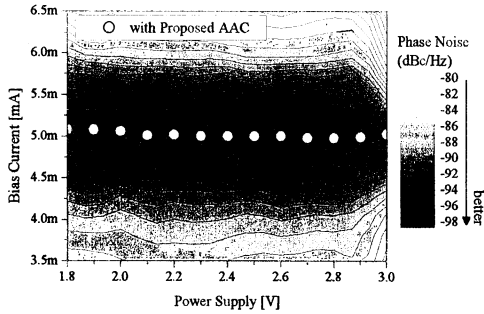


図9 位相雑音の電源電圧、バイアス電流依存性を示す等高線図と振幅制御時のバイアス電流

同様に温度依存性を図8に示す。高温では一般にMOSトランジスタの g_m が小さくなるため、必要となる電流は増える。一方で高温では閾値電圧が下がるため、最適な発振振幅は小さくなる。さらにインダクタのQ値も温度に大きく依存する。したがって、温度がばらついたときに振幅を常に最適値に保つことは非常に難しい。しかし、図8からわかるように提案した振幅制御回路は的確に最適なバイアス電流を追跡し、位相雑音も -94dBc/Hz 以下を保っていることがわかる。

電源電圧依存性を図9に示す。最適なバイアス電流は 1.8V から 3.0V の範囲では電源電圧によらないことがわかる。つまり、もし振幅制御を用いなければ電源電圧依存のない複雑なバイアス生成回路が必要になる。しかし、振幅制御を用いることで、自動的に最適な電流に設定されるため、そのようなバイアス生成回路は必要ない。

表1は測定結果をまとめたものである。図10には試作したVCOのチップ写真を示した。振幅制御回路を含めたVCO全体の面積は 0.3mm^2 である。

6. まとめ

トランジスタの閾値電圧を用いて発振振幅を制御することで位相雑音を最小化するVCO自動振幅制御回路を提案した。提案した振幅制御回路を用いることで、プロセス、温度、電源電圧がばらついた場合でも、広い周波数範囲にわたって良好な位相雑音特性が得られるようになることが、実験により示された。

表1 測定結果まとめ

Parameter	Range
Threshold Voltage (V_{th})	$0.5\text{V} \pm 100\text{mV}$
Temperature	$-35^\circ\text{C} \sim 85^\circ\text{C}$
Power Supply Voltage	$1.8\text{V} \sim 3.0\text{V}$
Oscillation Frequency	$2.2\text{GHz} \sim 2.8\text{GHz}$
Current	$2.2\text{mA} \sim 7.0\text{mA}$
Phase Noise	$< -90\text{dBc/Hz}$ @ 100kHz -offset

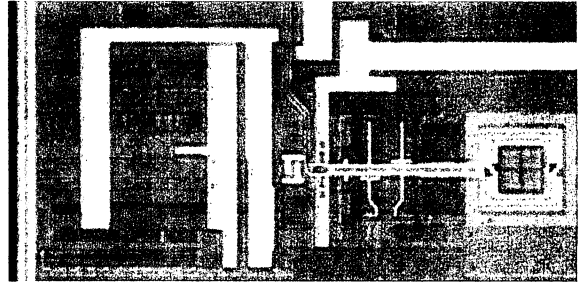


図10 チップ写真

文献

- [1] M. Zargari et al., "A single-chip dual-band tri-mode CMOS transceiver for IEEE 802.11a/b/g wireless LAN," IEEE J. Solid-State Circuits, vol. 39, pp. 2239-2249, Dec. 2004.
- [2] R. B. Staszewski et al., "All-digital TX frequency synthesizer and discrete-time receiver for Bluetooth radio in 130-nm CMOS," IEEE J. Solid-State Circuits, vol. 39, pp. 2278-2291, Dec. 2004.
- [3] H. Ishikuro et al., "A single-chip CMOS Bluetooth transceivers with 1.5MHz IF and direct modulation transmitter," in ISSCC Dig. Tech. Papers, Feb. 2003, pp. 94-95.
- [4] T. H. Lee and A. Hajimiri, "Oscillator Phase Noise: A Tutorial," IEEE J. Solid-State Circuits, vol. 35, pp. 326-336, Mar. 2000.
- [5] J. J. Rael and A. A. Abidi, "Physical Processes of Phase Noise in Differential LC Oscillators," in Proc. IEEE Custom Integrated Circuits Conf., May 2000, pp. 569-572.
- [6] E. Hegazi, H. Sjoland, and A. A. Abidi, "A Filtering Technique to Lower LC Oscillator Phase Noise," IEEE J. Solid-State Circuits, vol. 36, pp. 1921-1930, Dec. 2001.
- [7] Y. Wu and V. Aparin, "A monolithic low phase noise 1.7GHz CMOS VCO for zero-IF cellular CDMA receivers," in ISSCC Dig. Tech. Papers, Feb. 2004, pp. 396-397.
- [8] A. D. Berny, A. M. Niknejad, and R. G. Meyer, "A 1.8GHz LC VCO with 1.3GHz Tuning Range and Mixed-signal Amplitude calibration," in Symposium on VLSI Circuits Dig. Tech. Papers, June 2004, pp. 54-57.