

## SOI を用いたキャパシタレス・ツイントランジスタ RAM (TTRAM)

行天 隆幸<sup>†</sup> 森下 玄<sup>†</sup> 野田 英行<sup>†</sup> 岡本 真子<sup>‡</sup>  
一法師 隆志<sup>†</sup> 前川 繁登<sup>†</sup> 堂阪 勝己<sup>†</sup> 有本 和民<sup>†</sup>  
<sup>†</sup>(株)ルネサステクノロジ 〒664-0005 兵庫県伊丹市瑞原 4-1  
<sup>‡</sup>大王電機(株) 〒664-0002 兵庫県伊丹市荻野 1-101  
E-mail: <sup>†</sup>gyoten.takayuki@renesas.com, <sup>†</sup>morishita.fukashi@renesas.com

**あらまし** 本稿では、SOI を用いた新規のメモリとして、キャパシタレス・ツインセルトランジスタ RAM (TTRAM) を提案する。提案する TTRAM は、従来の SOI-CMOS プロセスと互換性があり、特別なプロセスを必要としない。今回は 130nm SOI-CMOS プロセスを用いてメモリ容量 2Mb のテストチップを試作し、2つのメモリセル (ツインセル) が2つの保持状態を持つこと、及びデータ保持時間が、80°C で 100ms となることを確認した。また、6.1ns のアクセス時間と 250MHz 動作 (2バンク・8ビットバーストモード) を確認した。

**キーワード** SOI-CMOS, ツイントランジスタ, 混載メモリ

## A Capacitorless Twin-Transistor Random Access Memory (TTRAM) on SOI

Takayuki GYOHTEN<sup>†</sup> Fukashi MOMRISHITA<sup>†</sup> Hideyuki Noda<sup>†</sup> Mako OKAMOTO<sup>†</sup>  
Takashi IPPOSHI<sup>†</sup> Shigeto MAEKAWA<sup>†</sup> Katsumi DOSAKA<sup>†</sup> Kazutami ARIMOTO<sup>†</sup>  
<sup>†</sup> Renesas Technology Corp. 4-1 Mizuhara, Itami, Hyogo, 664-0005, Japan  
<sup>‡</sup> Daioh Electric Corp. 1-101 Ogino, Itami, Hyogo, 664-0002, Japan  
E-mail: <sup>†</sup>gyoten.takayuki@renesas.com, <sup>†</sup>morishita.fukashi@renesas.com

**Abstract** We propose a novel capacitorless twin-transistor random access memory (TTRAM). The 2Mb test device has been fabricated on 130nm SOI-CMOS process. We demonstrate the TTRAM cell has two data-storage states and confirm the data retention time of 100ms at 80°C. TTRAM process is compatible with the conventional SOI-CMOS and never requires any additional processes. A 6.1ns row-access time is achieved and 250MHz operation can be realized by using 2bank 8b-burst mode.

**Keyword** SOI-CMOS, Twin transistor, embedded memory

### 1. はじめに

近年、キャパシタを必要としない 1 トランジスタ (1T) のゲインセルが組み込み型の 1T1C-DRAM を置き換える技術として提案されている [1-2]。提案されている 1T のゲインセルは、従来の 1T1C-DRAM と比べてセル面積が小さく、また構成が複雑でなくスケールアップが進んだ場合においても対応しやすいため、次世代 (65nm テクノロジ以降) での大容量メモリとしての応用が期待されている。しかし従来の技術は、多数の内部電源を用いて複雑なアレイ制御が必要なため、周

辺回路が複雑になってしまうことや高速動作に不向きであるなどの課題があった。

そこで本稿では、標準的な SOI-CMOS プロセスと互換性を持つとともに、アレイ制御も容易な TTRAM セルを提案する [3]。TTRAM で構成されているメモリセルは 2 つのセル (ツインセル) を必要とするが、多数の内部電源を必要とせず、1T のゲインセルと比べて簡単なアレイ制御を実現でき従来の組み込み型の 1T1C-DRAM のような高速動作を達成できる。さらに、ビット線の電圧を  $1/2V_{DD}$  の振幅に抑える構成にする

ことで、動作電力を削減することができる。また TTRAM セルは、従来の IT 版のような特別な安定化容量を必要としないため、SOI-CMOS プロセスと互換性がよくプロセスの微細化に容易に対応することができる。したがって、本稿で提案する TTRAM は、従来の ITIC-DRAM に代わる次世代の大容量メモリとしての応用が期待できる。

## 2. TTRAM の概要

提案する TTRAM セルを図 1 に示す。TTRAM セルは、2つのシリアルなトランジスタで構成されている。2つのトランジスタは、両方とも基板電位がフローティングとなるような構造をしており、これらの基盤はフルレンチ分離 (FTI) で分離されている。また、TTRAM はプロセスの追加を必要としない。データの記憶は、ストレージトランジスタのフローティングな基板電位の状態を変化させることで実現している。これらストレージトランジスタの基板電位は、TTRAM セルのストレージノードに相当する。アクセストランジスタは、読み出し動作時にストレージトランジスタの読み出し電流が過度にならないように制限し、書き込み動作時に2つのトランジスタ間のノード (PN) を制御する役割を果たす。

図 2 に TTRAM のメモリセルの動作を示す。メモリセルの動作には、「ライト」、「リード」、「ホールド」、「リフレッシュ」の4つの動作が存在する。まずは、ライト動作 (図 2 (a)) を説明する。ライト動作では、

最初にビット線 (BL) とワード線 (WL) が 0V と 1/2VDD にそれぞれプリチャージされる。この状態では、SN のデータは「0」(0プリチャージ) に固定される。続いて書き込みデータが、チャージ線 (CL) によるゲートカップリングを受けて SN に保存される。「0」ライト (Write0) の場合は、BL は 0V にキープされる。この状態では、CL が VDD まで上昇した場合においても、アクセストランジスタのチャンネルが形成されているので基盤電位が抑えられる [4]。「1」ライト (Write1) の場合は、CL が上昇する前に BL を 1/2VDD に昇圧させている。この場合は、アクセストランジスタがカットオフ状態になっているので、PN がフローティングの状態になっている。したがって、CL が VDD に上昇すると、2つのフローティングのノード (SN と PN) の双方が、キャパシタのカップリングによって VDD 近

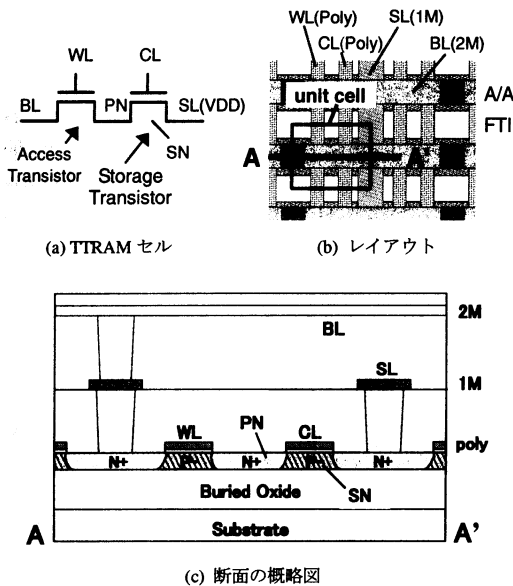


図 1 : メモリセルの基本構成図

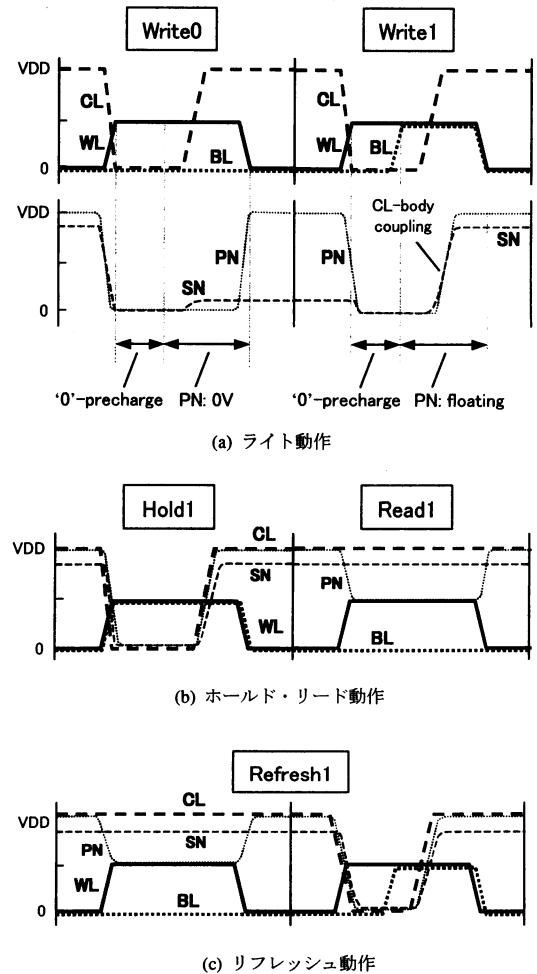
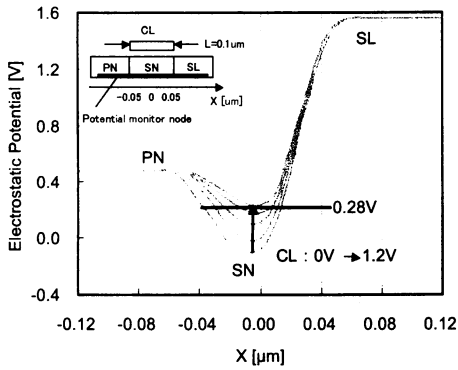


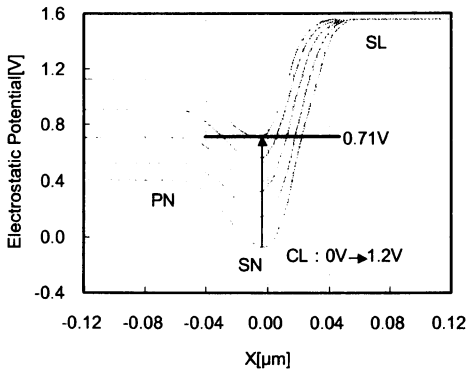
図 2 : メモリセルの基本動作

くにまで昇圧する。このように、2つのメモリセルとフローティングの基板電位を利用して、2つの保持状態を実現できる。

ホールド動作(図2(b))は、DRAMの「リストア」に相当する。ライト動作時における活性化ブロックの



(a) 「0」データ



(b) 「1」データ

図3：電気ポテンシャルのデバイスシミュレーション結果

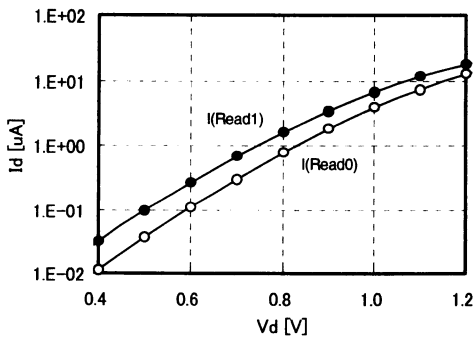


図4：セル電流のシミュレーション結果

非選択ビット線は、このホール動作の状態を保持している。ホールド動作では、BLの状態だけがライト動作の場合と異なる。BLは、ストレージノードの状態に依存することなく、WLの活性化している間は $1/2VDD$ の電位状態を保持する。したがって、CLから受けるキャパシタカップリングの影響を立上がりりと立下りで十分に均衡させることができるため、データ保持状態が変化することなく維持することができる。

次に、リード動作(図2(b))を説明する。リード動作では、CLをVDDに固定する。このようにCLの電位を固定することで、BLの電位が0Vの場合において、TTRAMセルにBLの方向へ電流が流れる。「0」データと「1」データは、シリアル接続されているトランジスタに流れる読み出し電流の差によって認識することができる。またリード動作時のワード線(WL)の振幅は、 $1/2VDD$ となるように制御している。なぜなら、WLを単純にVDDに上昇させた場合において過電流が流れてしまい、「1」データの破壊が生じる可能性があるためである。この過電流とは、SNからBLへのフォワードバイアス電流によって誘導されるバイポーラ電流である。リード動作時はCLが固定されているため、フローティングの基板電位が急激に変化することはない。

リフレッシュ動作(図2(c))は、2サイクルを使って、読み出し動作を行った後にすぐ書き込み動作を行うことで実現している。上記メモリセルの4つの動作は、VDDと $1/2VDD$ のみを用いて実現することができるので、従来の1Tのゲインセルのように複雑な電圧制御を必要としない。図3に静電ポテンシャルのデバイスシミュレーション結果を示す。この図は、CLの電位が変化した場合におけるストレージトランジスタの電位がプロットされている。CLはVSSからVDDまでの範囲でシミュレーションを行っている。これは、ライト動作時における、「0」プリチャージからデータ保持までの動作を想定している。図3(a)において、「0」ライト動作の場合、SNの電位は0.36Vまで上昇し、SN電位の最終的な値は0.28Vになる。続いて、「1」ライト動作の場合、CLがキャパシタのカップリングによって1.2Vまで上昇しているため、SN電位は0.71Vまで上昇し、最終的には0.71Vになる。リード動作においても、CLの電位がVDDに保持されているので、SNの電位が保持されたままとなる。このように、2つのデータ保持状態を、基板電位がフローティングである2つのトランジスタを用いることによって実現できることをデバイスシミュレーションで確認した。

図4は「0」リード(Read0)と「1」リード(Read1)におけるメモリセルトランジスタに流れる電流をシミュレーションした結果を示している。この電流の違い

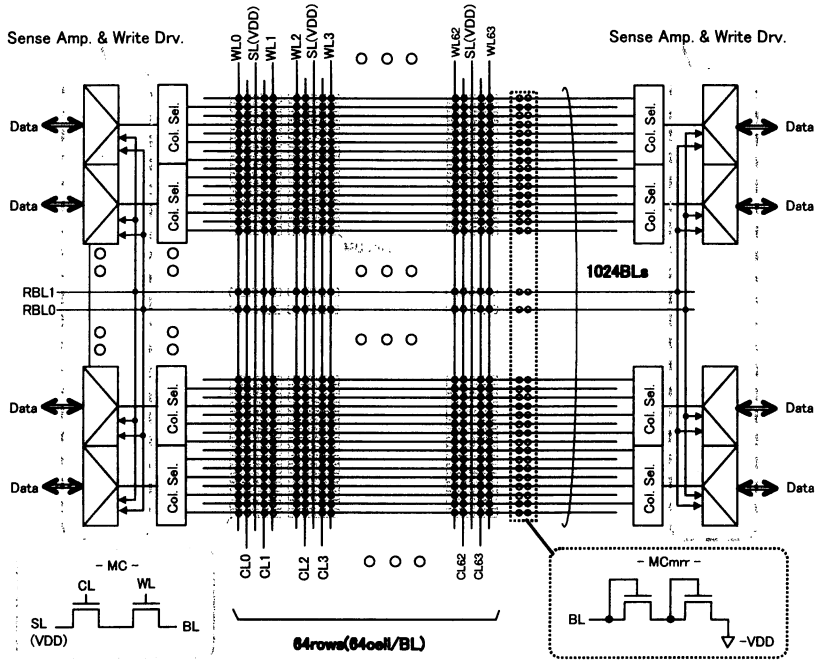


図5：メモリアレイ構成

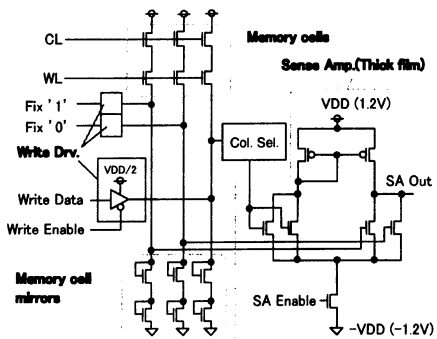


図6：メモリセルとセンスアンプの回路構成

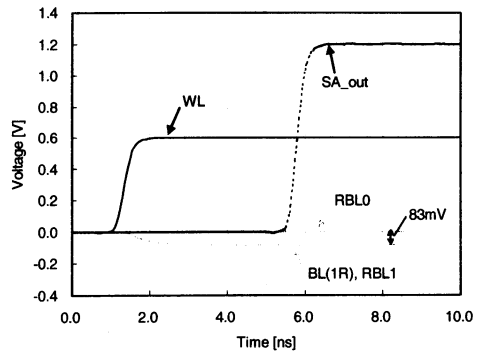


図7：センスアンプのシミュレーション動作波形

は、図3に示すように基板電位の違いによって生じる。提案する TTRAM では、この電流の違いを高速に検出するために電流センス型センスアンプを用いている。このセンスアンプ回路では、「0」データと「1」データを読み出すことのできるリファレンス・メモリセルを用意し、正規のメモリセルとの電流をカレントミラー型の電流比較回路を用いて電流差を比較することで高速な読み出し動作を安定して行うことを可能とした。また、この電流センス方式を用いることにより、一般的な DRAM と異なりメモリセルに繋がるビット線の

充放電が抑制されるため、消費電力を大幅に削減することができる。

### 3. TTRAM アレイ構成

TTRAM のメモリアレイ構成を図5に示す。本メモリアレイは、64Kbit のサブアレイが 64 行並んだ構成をしている。1本のビット線には、64個のメモリセルとミラーセル (MCmrr) が接続されている。1つのサブアレイは2つのリファレンスビット線対 (RBL0, RBL1) をもち、これらは常にそれぞれ「0」データと

「1」データが書き込まれた状態となっている。4つの BL 対をカラム選択回路で選択し、センスアンプ (SA) やライトドライバ (WD) に接続することでメモリセルを選択する。

図6は、SAとWDの回路構成を示している。SAはカレントミラー型の回路構成で、厚膜トランジスタを用いて構成されている。SAは、それぞれBL対及びRBL対につながっている。SAとMCmrrのソースノードにはVDDの負電圧のノードが接続されている。この電圧は、チャージポンプ回路によって供給されている。

図7は、「1」リード時におけるSAの動作波形のシミュレーション結果を示している。シミュレーション結果より、BL対とRBL対の電位差が83mVとなり、これらの電位差がそのままSAの入力電圧の差となる。またSAが、WLが活性化してから電位差を検知して、4.3ns後に増幅された保持データを出力することを確認した。

#### 4. テストチップ評価結果

今回試作した2MbのTTARMのチップ写真を図8に示す。またテストチップの仕様を表1に示す。テストチップは、130nmのSOI-CMOSプロセスを用いて試作

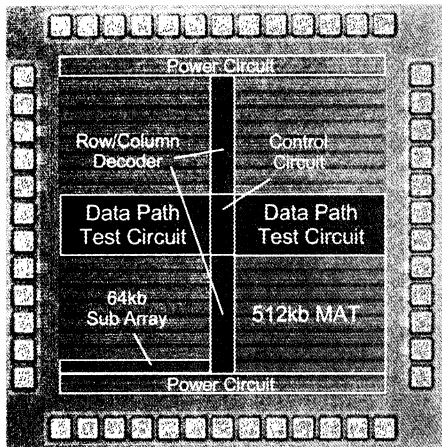


図8：試作チップ写真

表1：チップ仕様

Design rule	130nm SOI-CMOS
Cell size	0.33 $\mu\text{m}^2$
Supply voltage	1.2V
I/O	256b
Row access	6.1ns (Latency=1)
Max. Frequency	133MHz (random cycle mode, Latency=1) 250MHz (8b-burst mode, 2bank, Latency=3)
Active power	148mW@250MHz

した。TTRAMセルは部分空乏型 (PD) のトランジスタで構成されており、基板電位はフローティングとなっている。セルサイズは0.33 $\mu\text{m}^2$ であり[5], 同じ130nmプロセスを用いた混載DRAMセルの0.35 $\mu\text{m}^2$ より小さいメモリセルを実現した。テストチップは、メモリ容量が512Kbitのメモリマツト, ロウ・カラムデコーダ, データパス, 及び内部電源回路で構成されている。512Kbitのメモリマツトは、図5に示すように64Kbitのサブアレイを複数個並べた構成をしている。そして、メモリセルに構成されている2つのトランジスタのサイズは、それぞれゲート長Lが0.1 $\mu\text{m}$ , ゲート幅Wが0.28 $\mu\text{m}$ である。64Kbitのサブアレイは64行と1024本のBL対で構成されている。本テストチップを測定した結果、ランダムサイクルモード (レイテンシ1) において133MHz, 8bitのバーストモード (レイテンシ3) において250MHzの動作周波数を実現した。測定時のそれぞれのモードは、モードレジスタを切り替えることによって設定される。

図9に測定したデータ出力 (Dout) の動作波形を示す。測定の条件は、VDDを1.2V, 温度を80 $^{\circ}\text{C}$ として測定した。この条件において、8bitのバーストモード

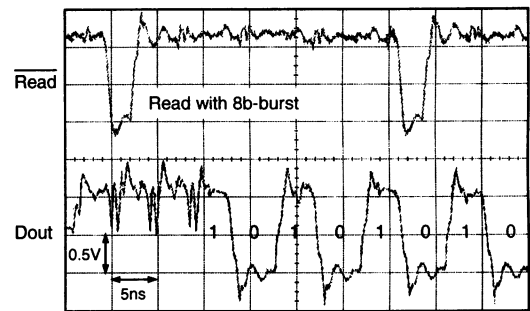


図9：出力データ Dout の測定波形

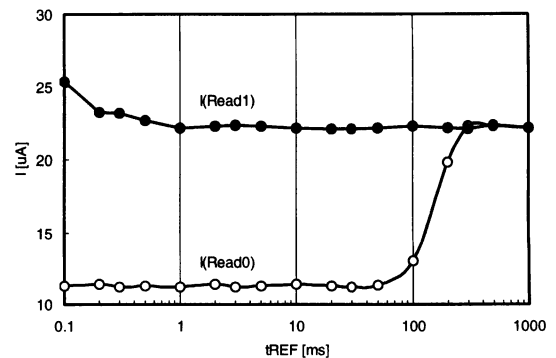


図10：セル電流の測定結果

時に 250MHz の動作周波数を達成した。このテストチップは、高速ランダムアクセスのために 3 クロックのレイテンシが必要であり、クロック毎に 8bit のバーストモードを実現している。

図 10 は、温度が 80°C でのメモリセルに流れるセル電流の特性を示している。メモリセルに必要な 2 つの保持状態でのセル電流の測定は、テストモードを用いることでそれぞれ直接測定することができる。リフレッシュ時間 ( $t_{REF}$ ) が増加するにつれて、「0」データを保持している状態のセルの電流が少しずつ増加し、 $t_{REF}$  が 60ms 付近で急速に電流が上昇し、100ms でデータが破壊される。メモリセルのデータ破壊のメカニズムは、ストレージトランジスタのソースとフローティング基板の接合電流に起因するものと考えられる [6]。これら測定結果により、100ms のデータ保持時間が 80°C で達成できることが分かった。

## 5. まとめ

本稿では、次世代の大容量メモリの新しい技術として、キャパシタレス・ツイントランジスタ RAM (TTRAM) を提案した。TTRAM のプロセスは、従来の標準的な SOI-CMOS プロセスと互換を持ち、新たなプロセスの追加を必要としないため、プロセスの微細化に容易に対応することができる。また、130nm の SOI-CMOS プロセスを用いてメモリ容量 2Mb のテストチップを試作し、TTRAM の基本メモリ動作を確認した。リフレッシュ特性は、温度が 80°C 時に 100ms のデータ保持時間を達成することを確認した。また動作速度は、ロウアクセス時間が 6.1ns となり、2バンクで 8bit のバーストモードにおいて 250MHz の動作周波数を実現できることを確認した。したがって、TTRAM は次世代の高速かつ大容量混載メモリに高い性能があるといえる。

## 文 献

- [1] T. Ohsawa et al., "Memory design using one-transistor gain cell on SOI," ISSCC Dig. Tech. Papers, pp. 152-153, 2002.
- [2] S. Okhonin et al., "A SOI capacitor-less 1T-DRAM concept," Int. SOI Conf., pp. 153-154, 2001.
- [3] F. Morishita et al., "A Capacitorless twin-transistor random access memory (TTRAM) on SOI," Proc. CICC, pp. 435-438, 2005.
- [4] F. Morishita et al., "Dynamic floating body control SOI CMOS for power managed multimedia ULSIs," Proc. CICC, pp. 263-266, 1997.
- [5] F. Morishita et al., "A 312-MHz 16-Mb random-cycle embedded DRAM macro with a power-down data retention mode for mobile applications," J. Solid-State Circuits, vol.40, No.1, pp. 204-212, 2005.

- [6] F. Morishita et al., "Leakage mechanism due to floating body and countermeasure on dynamic retention mode of SOI-DRAM," Symp. VLSI Technology Dig., pp. 141-142, 1995.