

混載 DRAM 技術を用いてソフトエラー耐性を高めた 新規 TCAM アーキテクチャ

矢野 祐二 野田 英行 堂阪 勝巳 森下 玄 井上 一成 小川 俊行 有本 和民

株式会社 ルネサステクノロジ 〒664-0005 兵庫県伊丹市瑞原 4-1

E-mail: {yano.yuji, noda.hideyuki, dosaka.katsumi, morishita.fukashi, inoue.kazunari, ogawa.toshiyuki, arimoto.kazutami}@renesas.com

あらまし 大容量・高速化が進む TCAM において、プロセス微細化に伴いソフトエラー対策が必要不可欠になってきている。従来の ECC 回路を TCAM に組み込んでソフトエラー対策を行う場合、データチェック・エラー訂正のために TCAM のサーチ動作を停止させなければならず、TCAM のパフォーマンス低下を引き起こすことになる。そのため ECC は TCAM のソフトエラー対策として十分有効であるとは言えない。提案アーキテクチャは混載 DRAM 技術を用いて面積オーバーヘッドの小さなデータ二重化、ECC によるバックグラウンドでのエラー訂正処理が可能であり、高いパフォーマンスを維持したままソフトエラー対策を講じることができる。提案アーキテクチャを実装したテストチップを評価した結果、従来よりもソフトエラー耐性を 10^6 のオーダーで向上させることができ、高信頼性・高パフォーマンスを要するアプリケーションへ応用可能であることが確認できた。

キーワード TCAM、混載 DRAM、ソフトエラー、ECC

A Novel Soft-Error Immune TCAM Architecture with Associated Embedded DRAM

Yuji Yano, Hideyuki Noda, Katsumi Dosaka, Fukashi Morishita,

Kazunari Inoue, Toshiyuki Ogawa and Kazutami Arimoto

Renesas Technology Corporation 4-1 Mizuhara, Itami, Hyogo, 664-0005 Japan

E-mail: {yano.yuji, noda.hideyuki, dosaka.katsumi, morishita.fukashi, inoue.kazunari, ogawa.toshiyuki, arimoto.kazutami}@renesas.com

Abstract Decreasing soft-error rate is necessary for SRAM-based TCAM which has high-performance and large memory capacity. Conventional ECC technique improves soft-error immunity of RAMs, but it is not suitable for TCAMs. The searching performance of TCAM with ECC circuit degrades seriously because of freezing their look-up processing during the maintenance period. This paper describes a novel TCAM architecture with associated embedded DRAM. The design concept improves the soft error immunity by 6digits, and also resolves the critical problems of the look-up table maintenance of TCAM. The proposed architecture in this paper is especially attractive for realizing soft-error immune, high-performance TCAM chips.

Keyword TCAM, Embedded DRAM, Soft-error, ECC

1. はじめに

CAM(Content Addressable Memory)はアレイ配置された比較回路が並列動作することで高速な内容検索を実現するハードウェアであるが、近年の大容量・高速化とプロセス微細化に伴い、ソフトエラーの問題が顕著に現れるようになってきた。ソフトエラーは半導体原料やパッケージ材料が発するアルファ線、宇宙からの中性子線によりメモリやラッチのビットデータが反転する不良であり(図1)、従来から高信頼性を必要とするメモリ LSI が抱える課題のひとつであった。

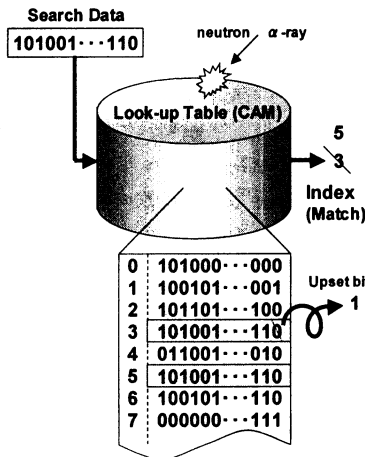


図1: ソフトエラーによるビット反転の例

ソフトエラーはその名前が示すようにハード故障を伴わない不良であるため、冗長ビットを用いてビット反転データを検出・訂正する ECC(Error Checking and Correction)技術[1]や、その他の符号化技術を用いて対策されてきた。しかしながらメモリ LSI の中でも CAM のようにリード/ライト動作よりもサーチ動作に重点を置くハードウェアでは ECC のデータチェック・エラー訂正期間にサーチ動作を止める必要があり、そのためのパフォーマンス低下を考慮に入れると ECC によるソフトエラー対策は CAM にとって十分有効な解であるとは言えない。

また、もうひとつのソフトエラー対策は高信頼性メモリをメインメモリとは多重化技術であるが、これはハードウェア増加によるコスト上昇を伴うため、実際の応用分野は特定の高信頼性用途に限られる。

そこで、高いパフォーマンスを維持したままソフトエラー耐性を向上させ、更にハードウェアコストを最小限に抑える手法を開発し、実装テストチップの評価を行うことで提案手法の有効性を確認した。

2. 提案アーキテクチャ

2.1. 混載 DRAM による高信頼性アーキテクチャ

図2は混載 DRAM(embedded DRAM:eDRAM)[2]を用いてソフトエラー耐性を高めた TCAM(Ternary CAM)[3]アーキテクチャを表しており、テーブルルックアップを行う TCAM 部、高信頼性のデータ保持を行う eDRAM 部、そしてデータチェック・エラー訂正を行う ECC 回路により構成されている。TCAM はそれぞれのセルが 0/1/Don't Care の三値(Ternary state)を保持することでビットマスク検索機能を提供しており、TCAM セル 1bit あたり SRAM セル 2 個と比較回路ひとつで構成される。

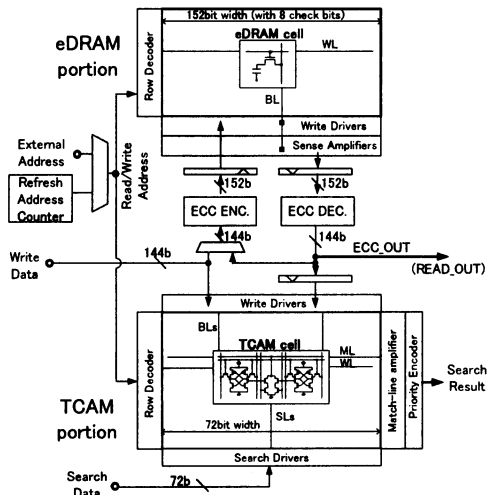


図2: 提案アーキテクチャ

図に示す TCAM は 72bit 検索が可能で、アレイ内の比較回路が入力検索データと TCAM 内データをビット単位で比較し、後段のマッチアンプが 72-bit データの一致/不一致を判定する。プライオリティエンコーダはマッチした複数エントリの中から最優先エントリのアドレスを計算する回路である。

eDRAM 部は 152-bit データを保持し、エントリ数は TCAM 部と同数である。152-bit データの構成は 144-bit (72-bit \times 2)のデータビットと 8-bit のチェックビットから成っており、チェックビットは ECC 回路により入力データに付加される。また、ECC 回路がリード/ライト/リフレッシュ時に活性となり、eDRAM 領域の保持データを読み出し、反転ビットの検出・訂正を行った後で、eDRAM 部と TCAM 部の両方にデータを書き戻すことで全体のエラー訂正を行う。TCAM 領域へのデータ書き込みタイミングを TCAM で周期的に発生するサーチ期間と重ならないようにタイミングの制御

を行うことで TCAM のパフォーマンスを低下させることなくエラー訂正が実現可能である。

また、eDRAM セルはビット当たり MOS トランジスタひとつ、キャパシタひとつの計 2 素子で構成されており、TCAM と比べて非常に小面積であることから二重化による面積オーバーヘッドを小さく抑えることが可能である。eDRAM セルのレイアウト面積が TCAM セルの約 20 分の 1 であること、3 値情報ひとつを表現するために RAM セルが 2 ビット必要であることから、デコーダ、ドライバ等の周辺回路を無視した場合に eDRAM 領域を TCAM 領域の約 10 分の 1 の小面積で実装できる。

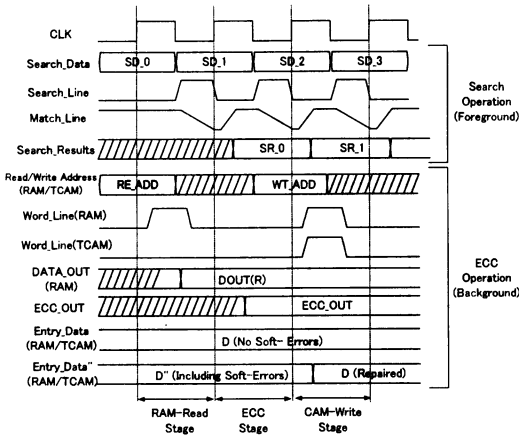


図 3：信号タイミング(エラー訂正)

図 3 は提案アーキテクチャの動作タイミング図であり、周期的に発生しているサーチ動作と、サーチに対してバックグラウンドで発生する eDRAM データ読み出し、ECC 回路のデータチェック、エラー訂正、TCAM と eDRAM 両領域への書き込み動作を表している。

図 3 が示すように、エラー訂正されたデータの TCAM 領域への書き込み動作は次のサーチ動作以前に完了しておく必要があり、サーチ時に TCAM データが確定していることが保障されなければならない。そのため、書き込み時のワード線はサーチ線が不活性の期間に活性化し、TCAM ストレージノードがサーチ線の活性時よりも前の時点で確定しているように時間的余裕を持って入力されなければならない。

この状況では通常時の同一データ上書きの場合でも、エラー訂正時の逆データ書き込みの場合でもサーチ時に TCAM データが固定されていることになり、エラー訂正処理がサーチ動作に対して何も影響を及ぼさず、完全なバックグラウンド動作とみなせる。

表 1 はソフトエラーの発生状況と提案アーキテクチャでの修復可能性を示すものである。今回実装したデ

ータビット 144-bit に対する ECC ビット 8-bit はビット反転エラー 1bit を訂正可能であり、そのため、データチェックを行う eDRAM 領域では同一アドレスで発生した複数 bit エラー以外を訂正可能である。

表 1：ソフトエラー発生箇所とエラー訂正

エラーの種類		1-bit error	Multi-bit error (different address)	Multi-bit error (same address)
発生箇所	TCAM	期間(tREF)で修復可能		
	eDRAM	修復可能	修復可能	修復不可能

また、TCAM 領域のデータは常に eDRAM 領域のデータが上書きされるため、TCAM 内で発生するビット反転エラーであれば eDRAM のリフレッシュ期間 (tREF) 待つことで、複数ビットエラーであっても修復可能である。

2.2. ソフトエラー検出回路

提案アーキテクチャは eDRAM 領域のビット反転データを検出し、eDRAM・TCAM 両領域へデータを書き戻すシステムであるため、TCAM 領域で発生するビット反転の発生を正しく検出できないという問題がある。これは、リフレッシュ期間 (tREF) で eDRAM 領域データが TCAM 領域に上書きされることに起因しており、TCAM 領域のソフトエラー評価のためには、TCAM 領域でのビット反転発生からデータ上書きまでの間にエラー情報をトラップする機構が必要であることを意味している。更に、TCAM 出力はプライオリティエンコーダを通過することでマッチした最優先エントリのアドレスとなっているため、優先度の低いエントリの情報が外部に出力されないという問題もある。

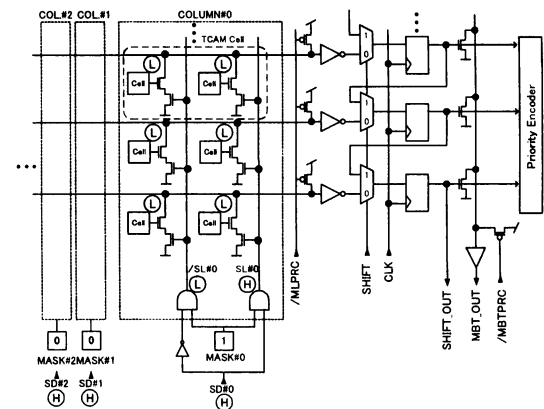


図 4：ソフトエラー検出用テスト回路

以上のことから、プライオリティエンコーダの入力部でサーチ結果信号をレジスタに取り込み、(1)全てのORを取ることでミスマッチのエントリの有無を出力する回路、(2)エントリ方向にデータをシフトさせることでエンコードされる前の各エントリのサーチ結果を取り出すソフトエラー検出のためのテスト回路を組み込んだ(図4)。

この回路を用いて、全てのエントリがマッチとなる検索を周期的に繰り返すことで、TCAM 領域で発生するソフトエラーをエラー訂正前に MBT_OUT 信号から検出可能である。また、MBT_OUT でエラーを検出した後、直ちにエンコーダ入力部のレジスタを取り込みモードからシフトモードに切り替えることで、ビット反転を起こしたエントリを SHIFT_OUT 信号から推定することが可能である。

2.3. バックグラウンドでのデータメンテナンス

CAM に格納されるデータはテーブルルックアップのための優先度つきデータであり、エントリ追加、エントリ削除に代表されるテーブル更新処理が通常メモリのリード/ライトと異なっている。例えばエントリ追加であれば、データを書き込むアドレスに既に他のデータが入っている場合、そのアドレスよりも優先度の低い連続エントリデータをひとつずつシフトすることで“空き”を明示的に作り出す必要がある。削除の場合も複数連続エントリデータのシフトが必要であり、これらメンテナンス処理の期間は TCAM サーチ動作を中断しなければならない。

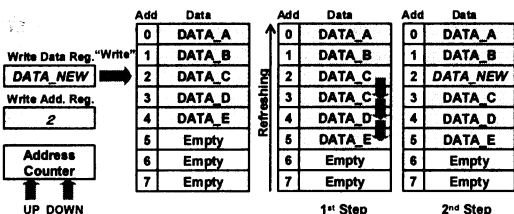


図 5: テーブルメンテナンス(エントリ追加)

提案アーキテクチャは eDRAM 領域を有しており、両領域への書き込み時以外は eDRAM 領域と TCAM 領域とを分離した動作が可能である。そのため、テーブルメンテナンス処理は eDRAM 領域に対して実行し、メンテナンス完了時に TCAM 領域にデータを書き込むことでデータの整合性を取ればよい。eDRAM 領域のメンテナンス中は TCAM 領域でサーチを実行可能であり、メンテナンスによる TCAM のパフォーマンス低下を最小限に留めることができる。

エントリ追加の例、エントリ削除の例をそれぞれ図 5,6 に示すが、eDRAM が元来持つリフレッシュ機構を

利用することで、TCAM の場合と比べて容易にシフト機構を実現できる。基本的には各種レジスタとアドレスカウンタ、そしてシフト対象かどうかを判定するための回路があればよい。シフト機構をサポートするためのブロック図を図 7 に示す。

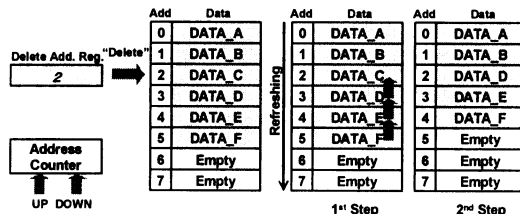


図 6: テーブルメンテナンス(エントリ削除)

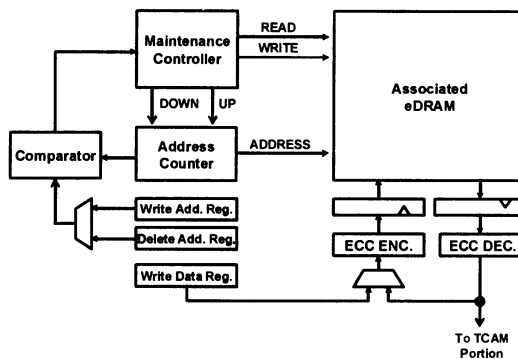


図 7: バックグラウンドでのメンテナンス

3. シミュレーション結果、実装評価結果

図 8 は 200MHz サーチを行う提案 TCAM 回路のシミュレーション結果波形である。eDRAM リフレッシュと TCAM サーチが繰り返し実行されているが、リフレッシュ時の TCAM データ書き込みはビット線 BL、/BL、SRAM ストレージノード SN、/SN の波形で表現されており、サーチ線 SL 不活性時にデータ書き込みが完了していることが分かる。

また、提案アーキテクチャを評価するためのテストチップを図 9 に示す。これは 130nm プロセスノード、6 層銅配線、eDRAM 技術を用いて設計されたテストチップであり、(1)72-bit の 2K エントリに対するサーチを行う 144K-bit TCAM 部、(2)152-bit、2K エントリを格納する 320K-bit の eDRAM 部、(3) ECC 回路で構成された周辺部の三部構成となっている。ECC 回路は P&R ツールを用いて設計しており、eDRAM 部と周辺部を合わせた回路は TCAM の 25% の面積で実装した。eDRAM 部と ECC 回路をフルカスタム設計することで更なる小面積化が可能である。

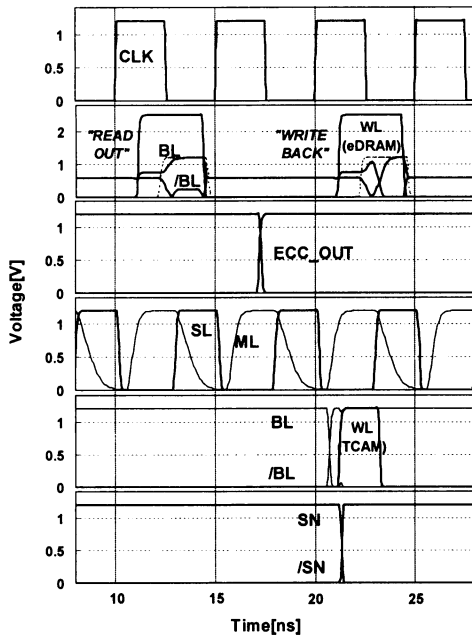


図 8：シミュレーション波形

テストチップを用いて測定したソフトエラー評価結果を図 10 に示す。これはテストチップに α 線を照射した場合の比較結果であり、提案 TCAM のサーチ結果はマルチビットテストモードを利用して検出したものである。

結果のグラフから、提案アーキテクチャは従来の SRAM ベース TCAM よりも 10^6 のオーダーでソフトエラー耐性が向上していることが分かる。

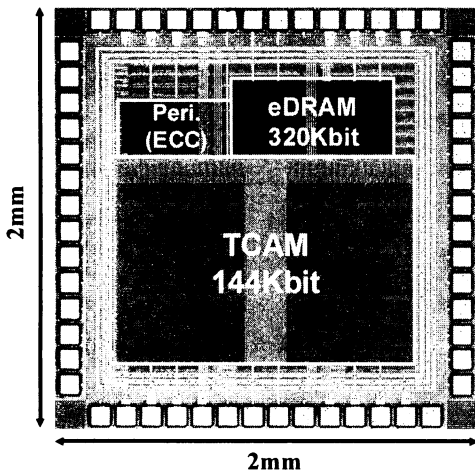


図 9：テストチップ写真

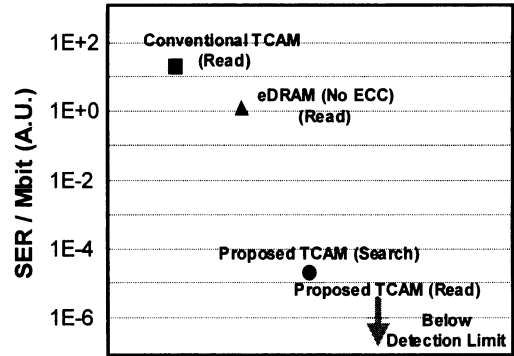


図 10：ソフトエラー評価結果

4. まとめ

混載 DRAM による高信頼性 TCAM アーキテクチャを提案し、テストチップの評価結果から提案アーキテクチャが従来の SRAM ベースの TCAM と比較してソフトエラー耐性を 10^6 オーダーで向上させることを示せた。また、サーチ動作に対してバックグラウンドで ECC のデータチェック・エラー訂正を実行することで CAM のパフォーマンスを低下させることなくソフトエラーを防ぐことが可能であり、これにより今後の高性能・高信頼性 CAM アプリケーションへ広く応用可能であることを示すことができた。

今後はアーキテクチャの更なる改良と面積コストの厳密な評価、実開発品種への適用である。

文 献

- [1] A. Fifield and C. H. Stapperet, "High-Speed On-Chip ECC for Synergistic Fault-Tolerant Memory chips," IEEE Journal of Solid-State Circuits, vol. 26, pp. 1449-1452, Oct. 1991.
- [2] F. Morishita, et al., "A 312MHz 16Mb Random-Cycle Embedded DRAM with 73uW Power-Down Mode for Mobile Applications," IEEE International Solid-State Circuits Conference Digest of Technical Papers, pp.202-203, Feb. 2004.
- [3] G. Kasai, Y. Takarabe, K. Furumi, and M. Yoneda, "200MHz/200MSPS 3.2W at 1.5V Vdd, 9.4Mbits Ternary CAM with New Injection Match Detect Circuits and Bank Selection Scheme," Proceedings Of the IEEE Custom Integrated Circuits Conf., pp.387-390, Sep. 2003.