

拡張テンプレートを複数併用する HDTV 用 4 画素精度動きベクトル検出器の構成

小林 仁[†] 平松 高浩[†] 佐々木 敬泰[‡] 近藤 利夫[‡]

[†] 三重大学大学院 工学研究科 〒514-8507 三重県津市栗真町屋町 1577

[‡] 三重大学工学部 〒514-8507 三重県津市栗真町屋町 1577

E-mail: [†] {koba, hiramatsu}@arch.info.mie-u.ac.jp, [‡] {sasaki, kondo}@arch.info.mie-u.ac.jp

あらまし 異形状拡張テンプレートの併用により、精度向上と大幅な演算量低減を両立する階層型動き検出器を実現する上で要となる MPEG-2 1080p 対応の一次探索部を設計した。PE を一次元アレー状に 256 並列並べた演算部、その出力より拡張テンプレートごとの予測ブロックとの間の不一致度（差分絶対値和）を算出する部分和演算部、最小の差分絶対値和を検出する比較部で構成している。拡張テンプレート間の重複部分の再計算を最小限に留める 8×8 の並列のブロックマッチング構成により、回路規模と消費電力の低減を図っているのが特徴である。0.18 μm 5 層メタル配線の CMOS テクノロジーを用い、周波数 125MHz、電源電圧 1.8V、で動作させることを条件に設計したところ、レイアウト面積は 2030×2200mm²、消費電力は動作で 350mW となった。

キーワード HDTV, MPEG2, 動き検出, 消費電力, 1080p

Four-Pixel accuracy Motion Estimation Unit using Multiple Extended Templates for HDTV Encoding

Jin KOBAYASHI[†], Takahiro HIRAMATSU[†], Takahiro SASAKI[‡], and Toshio KONDO[‡]

[†] Graduate School of Engineering, Mie University 1577 Kurimamachiya-cho, Tsu city, Mie, 514-8507 Japan

[‡] Faculty of Engineering, Mie University 1577 Kurimamachiya-cho, Tsu city Mie, 514-8507 Japan

E-mail: [†] {koba, hiramatsu}@arch.info.mie-u.ac.jp [‡] {sasaki, kondo}@arch.info.mie-u.ac.jp

Abstract This paper describes the design of a first-stage motion estimation unit using different extended templates for the hierarchical HDTV(1080p) motion estimator. The designed unit is composed of a 256-parallel PE array part, a partial sum part for the extended template SAD calculation and a compare part for detection of the minimum SAD. The main feature is the parallel search structure simultaneously executing 8x8 block matching in order to avoid recalculation of partial block SADs. The motion estimation unit has been designed up to mask pattern layout by using 0.18 μm five-layer metal CMOS technology. As a result, we obtained the area size of 2.030x2.200mm² and the power consumption of 348mW at a 125MHz clock frequency and at a 1.8V supply voltage.

Keyword HDTV, MPEG2, Motion Estimation, Power Consumption, 1080p

1. はじめに

BS デジタル放送に続く、地上デジタル放送の開始により、一般にも HDTV の高精細な映像が身近に視聴できるようになった。この HDTV 化の一翼を担ったのが MPEG-2 符号化復号化システムの進歩である。例えば、地上デジタル放送向けの機器には、HDTV 映像と音声の符号化復号化から符号化ストリームのマルチプレクス・ディマルチプレクスまでをこなす 1 チップ構成の LSI [1] がすでに組み込まれている。

しかし、HDTV の圧縮符号化の演算量は膨大で、必ずしも放送用途に十分な圧縮性能が実現されているわ

けではない。

実際、HDTV 映像を少し仔細に観察すれば、画質劣化がしばしば生じていることは素人目にもわかる。この画質劣化の要因の一つとして挙げられるのが、動きベクトルの誤検出である。ほぼ確実に正解の動きベクトルを見つけれられる全探索法では約数十 TOPS もの演算量が必要となるため、大幅に演算量の低減が可能な探索法を使用せざるを得ず、結果として検出精度が犠牲になっているからである。

動きベクトルの検出の演算量低減の研究は古くから行われ、現在では平均の PSNR 劣化量 0.1dB 程度と 1/100 程度の演算量低減を両立する探索法がいくつも

提案されている[2]。しかし、これはあくまで平均的な性能であり、現状のHDTV放送映像が抱えている特定の画像、シーンで生じる動きベクトル誤検出の問題が必ずしも解決されているわけではない。

筆者等はこのような問題認識の基に、画質の違いにロバストな特性の得られる拡張テンプレート[3]（ここでテンプレートとは探索手段であるブロックマッチングにおいて基準になる符号化対象ブロックの事）を用いる探索法を採り上げ、動きベクトル検出の精度向上と演算量低減を両立する手法について検討してきた。その結果、異形状の拡張テンプレートを複数併用することで、一次探索に16:1程度の粗いサブサンプリング画像を用いながら、安定的に高精度の動き検出が可能となる階層探索法（異形状拡張テンプレート複数併用法、以下MET[Multiple Extended Templates]法と略す）を見出した[3]。

しかし、MET法はそのまま実装しようとする、ブロックマッチング時のマッチング面積が9倍にも広がり、階層探索の演算量低減効果が損なわれる問題がある。そこで、筆者等は、隣接する6×6ブロックのマッチング処理を一括して行い、ブロック単位のマッチング結果を互い利用し合う事でマッチング面積の増加を抑える手法を考案し、HDTV（MPEG-2, 1080p）対応の階層型動き検出器の一次探索部である4画素精度動き検出器に組み込んだ[4]。

本報告では、この4画素精度動き検出器について、その構成・動作について詳述すると共に、ハードウェア規模低減手法とその効果を示す。また、レイアウト結果、消費電力のシミュレーション結果などを基に、再利用を行わない場合と検討する。

2. 拡張テンプレート複数併用法

動き検出では参照画像の探索領域中でのテンプレートの差分絶対値和(SAD)が最も小さくなるブロックを検出する。この動き検出の精度が向上すると、MPEG-2の圧縮性能が改善される。

1. で記述したように、精度に勝る従来の全探索法ではHDTVに対しては膨大な演算量が必要になるのでそのまま使用するのは困難である。このため演算量を大幅に低減する手法が用いられてきた。代表的な例として、サブサンプリング画像を用いた階層探索法[5]が挙げられる。しかしサブサンプルによりマッチングに必要な情報まで省かれてしまうため、精度よく探索することは困難である。

MET法は、図1のようにテンプレートと隣接するブロックを組み合わせた異形状の拡張テンプレートを複数用いる手法で、異なる動きが交錯する部分でも、い

ずれかの拡張テンプレートが周辺の異なる動きの影響を受けずに正しい候補ベクトルを検出できる。

このため表1のように従来の演算量低減法で不得意であったシーンであっても優れた探索精度が得られる。

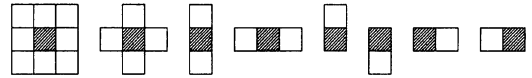


図1 併用する拡張テンプレート

表1 他方式とのPSNR改善量(平均/最悪)の比較

	Mobile & Calendar	Football	Bronze with Credits	Japanese Room
全探索	26.94	33.02	29.82	39.88
2階層型	0.34/-0.81	-0.13/-0.64	-0.19/-0.38	-0.21/-1.6
MRCMS[2]	-0.05/-0.17	-0.1/-0.71	-0.46/-0.96	-0.14/-0.96
本方式	0.03/-0.03	0.03/-0.24	-0.11/-0.34	-0.02/-0.3

符号化条件 探索範囲:フレーム間距離1当り
縦±32/横±16, M:3, N:15 符号化レート:5Mbps,
符号化対象フレーム:60-859(ITU-R)1-450(ITE)

3. MET法の問題点と解決法

MET法はそのまま実装すると、階層探索の演算量低減効果を大きく損なう。前述したように、MET法では本来のテンプレートの周囲のブロックの探索も同時に行う必要があるからである。

この問題を解決するために、拡張テンプレートの構成ブロックが他の拡張テンプレートのそれと重複することで生じる冗長な演算を除去することを考える。図2は横方向に隣接する3つのテンプレート($T_{m,n}$), ($T_{m+1,n}$), ($T_{m+2,n}$)に対する拡張テンプレートと、その位置関係を示している。

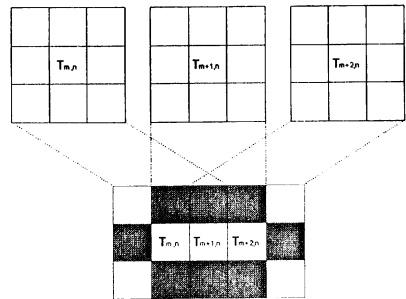


図2 横方向に隣接する3ブロックとその拡張テンプレートの関係

この図の黒色部分は、拡張テンプレート間で重複す

る部分ブロックである。テンプレート毎に SAD の計算を別個に行おうとすると、重複ブロックの SAD 演算を繰り返し行うが必要になる。同様の冗長な SAD は縦方向でも生じる。

そこでこの冗長な SAD 演算を削減するためには、ブロック毎の SAD を一定期間保持し、拡張テンプレート毎にその構成ブロックの SAD を読み出すことで、拡張テンプレートの形状に対応する SAD 間の和を取るようになる。ただし全ての SAD を保持すれば、今度は保持用のバッファの大きさが問題となる。

そこで 8×8 個のテンプレートの計算を同時に行い、必要な拡張テンプレートの SAD がすべて求まる 6×6 のブロックの動きベクトルを一度に検出することにする。重複する演算を繰り返す必要が無くなるため、テンプレートの拡張を行わない従来法に対し約 78% の演算量の増加で済む。

しかしこの方法では、ブロック毎の SAD が、隣接するブロックの SAD とほぼ同じタイミングで求まなければならない。従来法では、ブロックに対して探索領域から SAD を順に求めれば良かったのに対し、MET 法では上記のブロック毎の冗長演算を低減しようとする、隣接ブロック間の SAD が求まるタイミング上の制約まで満たされなければならない。

このため 1 次元シストリックアレー型 [6] など、これまでいくつも提案されてきた探索器をそのまま利用するわけには行かない。

4. 4 画素精度動きベクトル検出器の構成

本章では MET 法の演算量増加問題を解決し、HDTV(1080p) の MPEG-2 符号化を実時間処理可能な 4 画素精度動きベクトル検出器の構成を提案する。

提案検出器のブロック図を図 3 に示す。最初に動画データデータを格納する外部フレームメモリからテンプレートと探索領域のデータをバッファに読み込む。次に 8×8 のテンプレート配列とその探索領域のデータを PE array 部に読み込み、SAD 演算を並列に実行にする。

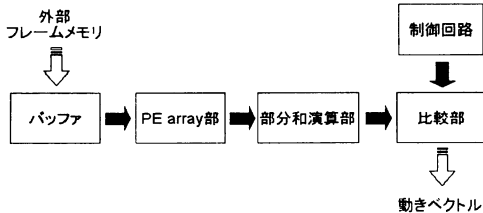


図 3 検出器構成とその処理の流れ

部分和演算部では求まったブロック毎の SAD の配列から、図 1 で示した拡張テンプレートの形状に対応

する部分の SAD 間の和を拡張テンプレートの SAD として参照位置毎に求める。

そして比較部では、それらの拡張テンプレートの SAD の中の最小値を与える参照位置を動きベクトルに換算し拡張テンプレート毎に 1 つ出力する。ただしこの動きベクトルは制御回路で生成し、比較部へ送出している。

4.1. PE array 部

PE array は、テンプレートと探索領域中の参照ブロックとの画素間で差分絶対値和を求める複数の PE (Processing Element) で構成し、SAD の演算を高速に処理する。拡張テンプレートによる演算量の増加を考慮した結果、1080p の実時間処理を周波数 125 [MHz] で実現しようとする、約 256 並列程度必要なことが分かった。

16:1 にサブサンプリングされた 4×4 画素の 1 ブロックを処理する演算器の構成を図 4 に示す。4 つの PE と加算器ツリーで構成している。図 4 の $t(x,y)$ はテンプレートの画素を、 $s(x,y)$ は探索領域の画素を表す。 4×4 画素のデータを 1 行ずつ上から放送し、求まった部分 and を加算すれば、4 cycle で 1 ブロックの SAD が求まる。これを組み合わせた PE array x8 の構成を図 5 に示す。

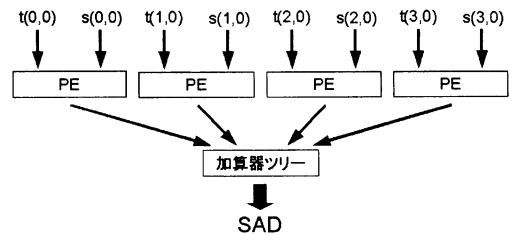


図 4 1 次元アレー状に並んだ PE

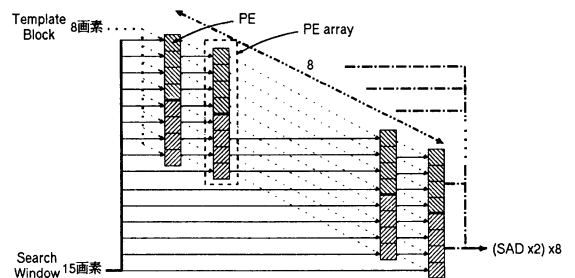


図 5 PE array x8 の構成

この図では 4 つの PE を画像横方向に 2 つ並べた物を、PE array と呼んでいる。この PE array が 4 cycle 動作すると、横方向に隣接する 2 つのブロックの SAD が同時に求められる。

8 つ並べた PE array のそれぞれに対して横方向に 1

画素ずつずれた参照ブロックが入るように探索領域の画素が放送される。

さらに図6のように図5のPE array x8を4つならべ、かつ入力テンプレートのデータを、左端のレジスタをシフトさせることで、1サイクルずつ遅延させる。するとブロックに対して探索領域が縦方向にずれてデータが放送される。1次元アレーでは4サイクルで1つのSADが求まり、それぞれのPE array x8から求めるSADは1サイクルずつ遅れて求まるので、4つのPE array x8からは順にSADが休み無く求まる。そのSADをマルチプレクサで切り換えて、出力側で連続するようにしている。

このような構成と動作により、PE array部全体では並列度256を実現している。

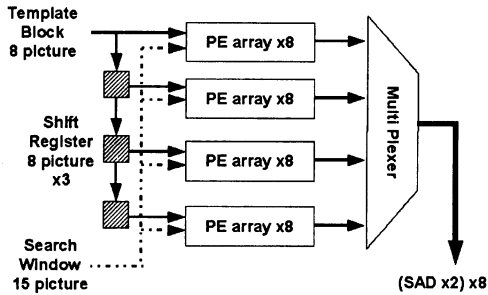


図6 PE array部の構成

図7.8ではPE array部に放送するテンプレートと探索領域のデータの流れを示した。探索領域1080pのPピクチャの探索に十分な4画素精度で(±12,±6)に設定した。図7のように8×8ブロックのテンプレートは、まず左上端から2ブロック幅8画素ずつ読み出す。この読み出しを、32サイクル繰り返し2×8ブロックの最下段まで読み出す。そしてテンプレートの下段のPE array x8への遅延を確保するため、3サイクルアイドルさせる。ここまでがStep1である。

次に8×8のテンプレートの最上段に戻り右に8画素、2ブロック分ずれた場所から、Step1と同様に下方向へ読み出しを行う。この操作をStep4で繰り返すと、8×8ブロックのテンプレートが読み出し終わる。

Step5からは、Step1からStep4と同様にデータの放送し、これをStep36まで繰り返す。

探索領域のデータは、図8のように探索領域の左上から右方向に15画素ずつの読み出し操作を、サイクル毎に読み出し位置を1画素分下にずらしながら繰り返す。35サイクルでテンプレートの遅延データと対応する探索領域のデータが読み出せる。ここまでをテンプレートの読み出しと同様にStep1と呼ぶ。次のStep2では探索領域の最上段に戻り、右方向に8画素、2ブ

ロック分ずれた場所からStep1と同様に下方向に読み出し始める。この操作をStep4まで繰り返す。

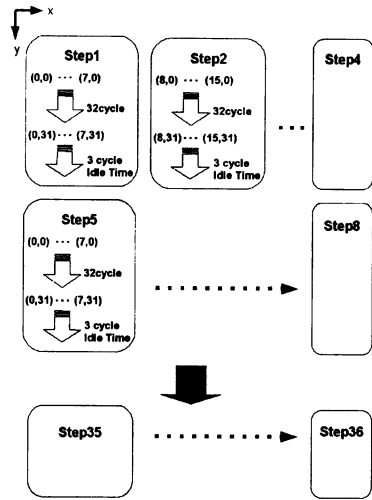


図7 PE array部へ放送されるテンプレート(8×8)の流れ

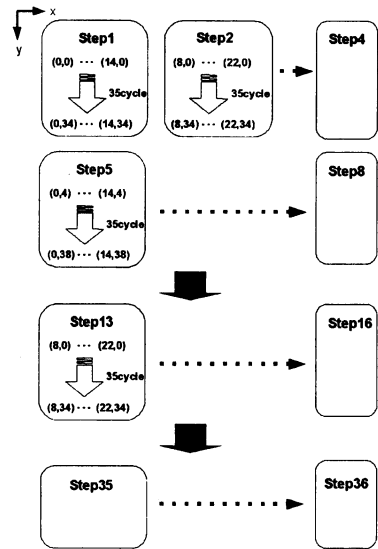


図8 PE array部へ放送される探索領域の流れ

次のStep5からStep8までは、Step1~4で読み出した探索領域のデータを、下に4画素(1ブロック分)ずらしたデータを読み出していく。下に4画素ずらすのは、前述したテンプレートの遅延により、縦にずれたSADがPE array部で先に演算が行われているためである。探索領域は縦に±6と設定しているのので、Step12で探索領域の最下段まで完了する。

次に最上段に戻り、Step1~12 の操作を、探索領域右方向に 8 画素移動した読み出しを Step13~24 まで行う。また探索領域はテンプレートに対して横に±12 と設定しているので、これを Step36 まで繰り返すと探索領域の読み出しが終了する。

4.2. 部分和演算部

MET 法ではテンプレートブロックの周囲のブロックの探索結果を拡張テンプレートの部分テンプレートとして利用する。3. で述べた通り、拡張テンプレートに必要なブロックは重複する。そこで部分和演算部を工夫することで、冗長な演算を除去する。

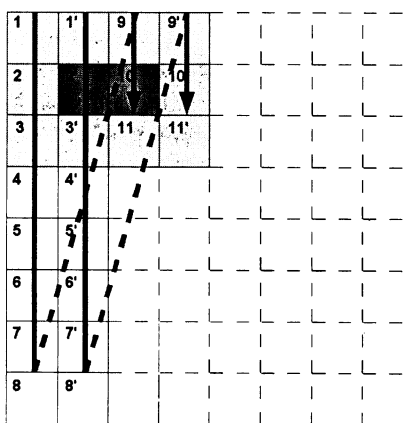


図 9 8×8 ブロックに対してシフトレジスタに格納されるデータの流れ

図 9 のように、SAD は PE array 部から左右に隣り合う 2 ブロックずつ、図の番号の順に求める、

図 9 の 11 番まで求めれば、図 9 で塗りつぶされた 2 ブロックのテンプレートを中心とする拡張テンプレートの分の SAD(3×4 個の SAD)が揃う。

これらの SAD が拡張テンプレートの SAD の評価が終わるまで保持できるように、PE array 部の出力をシフトレジスタに流し、拡張テンプレートの 3×4 の SAD が揃う位置で、拡張テンプレートの形状に対応した部分 and SAD が取れるように加算器を組み込む構成とした。

この部分 and 演算部の問題は PE array 部の出力に合わせて 8 並列分も用意する必要があることである。このためにシフトレジスタの容量が総計 6Kbit にもなり、ハードウェア規模増加の要因になっている。

4.3. 比較部

比較部では、これまで求めた拡張テンプレートの複数の形状の部分 and 毎に最小値を検出して、それらを与える位置より候補ベクトルを検出する。

具体的には、部分 and 演算部から拡張テンプレートの

形状に対応した 7 種の部分 and を、PE array x8 毎に 8 個 (8 探索点分)出力する。これらの部分 and から、拡張テンプレートの形状毎に最小の部分 and を絞り込む。

絞り込まれた部分 and とそれに対応する動きベクトル(局所探索結果)はバッファ(容量 6Kbit)に格納する。

続いて 7 種 8 点分の探索結果が PE array より入力される毎に、それらの部分 and の大きさをバッファに格納された部分 and と比較する。その結果最小の部分 and として検出された場合は、入力の局所探索結果で保持している探索結果を更新する。ただし対応する動きベクトルは制御回路で生成する。

探索終了時、バッファには最小の部分 and と、それに対応する動きベクトルが最終的な探索結果として残る。その動きベクトルが本検出器の検出結果であり、本検出器の次段に配置する 2 次検出器の候補ベクトルとして出力する。

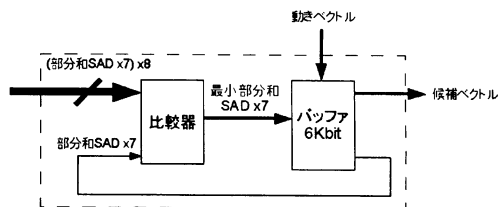


図 10 比較器のブロック図

5. 論理、レイアウト設計および消費電力評価

0.18 μm 5 層メタル配線の CMOS テクノロジーを用いて動き検出器のレイアウトを行った。論理合成ツールにシノプシス社の Design Compiler、配置配線ツールにシノプシス社の Astro を使用した。表 2 に機能毎のゲート数を示す。バッファ部を除く論理部のゲート数は 91.8K ゲートとなった。表 2 にその内訳を示す。

表 2 検出器のゲート数(2 入力 NAND 換算)

PE array 部	部分 and 演算器部	比較部	制御回路
29,167	53,946	8,464	258

5.1. レイアウト結果

入力のテンプレートのメモリのサイズは 677x700 mm²、探索領域のメモリのサイズは 1353x700mm²、論理部の面積は 2030x1500mm²、合計で 2030x2200mm² となった。ただし比較部のバッファはこのレイアウトの中に入っていない。レジスタファイルマクロで構成する必要があるが、生成可能なメモリコンパイラを使用できなかったからである。

仮に 2 ポートレジスタファイルが他の部分同様に 30K ゲート/mm² のゲート密度で 1bit 当たり 3 ゲートの割

合で集積できたとすれば、バッファ分の面積が 0.60 mm^2 程度加わることになる。

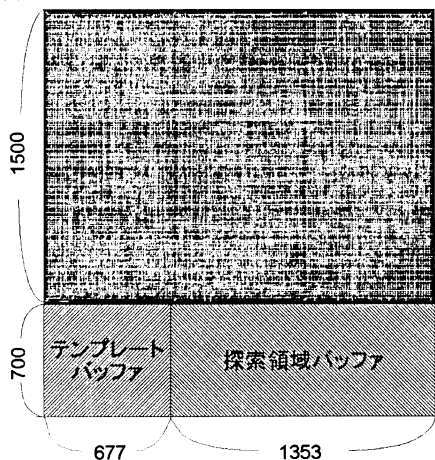


図 11 4画素検出器のレイアウト

5.2. 消費電力

消費電力はシノプシス社の nanoSim によるシミュレーションにより求めた。入力には実際の画像を用いている。電源電圧 $1.8[\text{V}]$ 、動作周波数が $125[\text{MHz}]$ の条件で論理部が $305[\text{mW}]$ 、テンプレートと探索領域用のメモリマクロが合わせて $45[\text{mW}]$ で、全体では $350[\text{mW}]$ となった。ただし、これには比較部のバッファの消費電力は入っていない。

6. 結果の評価と考察

拡張テンプレート併用型の動き検出器の設計は、今回が初めてなので他にも考えられる効率的な構成法との具体的な比較は出来ない。そこで、ここでは冗長な SAD 演算の削除を一切行わず、PE array 部のハードウェア規模が 9 倍に増加する場合と比較して評価する。

表 2 から明らかのように、本検出器構成では論理部全体のゲート数は、PE array 部単体の 3 倍程度に収まっている。しかし、最外周のブロックの SAD は再利用できないことから、SAD の利用効率が $6^2/8^2$ に落ちており、実質的には 5 倍程度に増加してしまっている。ただし、一次元アレー構成により PE array 部のアイドル期間を、一回の縦方向操作方向当たりテンプレートブロックの入力を遅延させる分の 3 クロックに抑えられた結果、稼働率が 91% にまで高められているのを考慮すると、ハードウェアの規模低減効果はもう少し改善されていることになる。それでも、結局は一切冗長な SAD 演算を削減しない場合と比べ、ゲート数を半分程度にしか低減できていないことになる。

一方、消費電力についてはゲート数のような単純な

比較は出来ないが、まだ改善すべきところは残っている。例えば部分和演算部のゲート規模の約 $1/3$ 程度を占めるシフトレジスタである。現在は、DFF をそのまま連結することで構成しているが、レジスタファイルに置き換えれば、この部分の消費電力の削減が図れる。

7. まとめ

HDTV の膨大な演算量の低減と、全探索法並の画質を両立するために異形状拡張テンプレート併用(MET)法に基づく 4 画素精度動き検出器を設計した。この検出器は、 8×8 ブロックの SAD 計算を、16PE からなる一次元構成 PE array を 16 組用いて並列実行することで、隣接する拡張テンプレートの重複部分の SAD 再計算を極力削減する構成により効率の改善を図っている。しかし、周辺ブロックでは再計算を完全に省けないことが障害となり、結局再計算削除を一切行わない場合に比べ、ゲート規模を半分程度にしか低減できていない。

今後は本構成・設計法の最適化を一層進め、ゲート規模と消費電力の低減を図る。また、他の効率的な SAD 再計算削除構成法についても、具体的な設計評価を行い、16:1 のサブサンプリング画像の探索を許容する MET 法の演算量低減効果を十分に引き出せる動き検出器の実現を目指す。

謝辞

東京大学大規模集積システム設計センターを通しシノプシス株式会社のソフトを利用させていただき感謝します。また研究を協力していただいた研究室の方々に感謝します。

参考文献

- [1] 岩崎, 長沼, 中島, 田代, 中村, 吉留, 大西, 池田, 泉岡, 遠藤, 八島, "高画質対応組み込み用 1 チップ MPEG-2CODEC LSI(ISIL)", 情報処理学会研究報告, Vol.2003, No.105, pp25-30, Nov.2003.
- [2] B.C.Song, IEEE and K.W.Chun, "Multi-resolution block matching algorithm and its VLSI architecture for fast motion estimation in an MPEG-2 video encoder", IEEE Trans. Circuit Syst. Video Technol., Vol. 14, pp1119-1137, Sept. 2004.
- [3] 近藤, 小林, 平松, 佐々木, 大野, "照合用拡張テンプレートを複数併用する階層型動き探索方式", 電子情報通信学会総合大会論文集, pp.22, Mar.2005.
- [4] 小林, 平松, 佐々木, 大野, 近藤, "拡張テンプレートを複数へ移用する HDTV 用 4 画素精度動き検出器の構成", 電子情報通信学会総合大会論文集, pp.23, Mar.2005.
- [5] 榎本, "画像 LSI システム設計技術", コロナ社, pp.64-153, MAR.2003.
- [6] 南, 近藤, 村主, 笠井, "1 次元シストリックアレー型全探索動きベクトル検出器の提案", 電子情報通信学会論文誌, Vol.J78-D-1, No12, pp.913-925, DEC.1995.