

畳込み圧縮器のガロア体上への拡張に関する一考察

新井 雅之[†] 福本 聡[†] 岩崎 一彦[†]

[†] 首都大学東京 システムデザイン学部 〒192-0397 東京都八王子市南大沢 1-2

E-mail: [†] {arai, fukumoto, iwasaki}@eei.metro-u.ac.jp

あらまし 畳込み圧縮器は、不定値を含むテスト応答圧縮に対して有効な技術である。本稿では、圧縮率および X マスク確率の改善を目的として、畳込み圧縮器の構成をガロア体上に拡張する手法について検討する。X マスク確率とは、誤りが不定値 X によって検出不能となる確率である。従来の構成では、各スキャンチェーンは EOR ゲートによって独立に接続される。これに対して、提案手法では q 本の信号線をガロア体 $GF(2^q)$ 上の元とみなし、 $GF(2^q)$ 上の乗算回路を用いて接続する。提案手法による圧縮器の構成法について示し、ハードウェアオーバーヘッドについて評価する。また、X マスク確率についてシミュレーションによる評価を行う。

キーワード 畳込み圧縮器, テスト応答圧縮器, X マスク確率, ガロア体

A Note on Expansion of Convolutional Compactors over Galois Field

Masayuki ARAI[†] Satoshi FUKUMOTO[†] and Kazuhiko IWASAKI[†]

[†] Faculty of System Design, Tokyo Metropolitan University 1-2, Minami-Osawa, Hachioji, Tokyo 192-0397, Japan

E-mail: [†] {arai, fukumoto, iwasaki}@eei.metro-u.ac.jp

Abstract Convolutional compactors offer a promising technique of compacting test responses. In this study we expand the architecture of convolutional compactor onto Galois field in order to improve compaction ratio as well as reduce X-masking probability, which means the probability that an error is masked by unknown values. While each scan chains are independently connected by EOR gates in the conventional arrangement, the proposed scheme treats q signals as an element over $GF(2^q)$, and the connections are also configured on the same field. We show the arrangement of the proposed compactors, and evaluate hardware overheads. We also evaluate the effectiveness of proposed expansion in terms of X-masking probability by simulations.

Keyword convolutional compactor, test response compactor, X-masking probability, Galois Field

1. はじめに

半導体技術の微細化および高速化に伴い、VLSI のテストコストはますます増加している [1]。テストコスト削減のためには、テストデータ量の圧縮が重要な課題の一つであり、これまで組込み自己テスト (BIST: built-in self-test) 手法など多くの研究が行われてきた [2-5]。また、スキャン設計と BIST を組合わせたテスト手法 [6] やハイブリッド BIST [7-9] によってテストパターンを被テスト回路 (CUT: circuit under test) により適合させるための研究がなされてきた。一方、MISR における誤り見逃し確率に関しては、解析的な評価がなされている [10]。

ハイブリッド BIST における重要な技術の一つとして、不定値 (X 値) の抑制が挙げられる。多くの場合、不定値を抑制するための機能がテスト応答圧縮器に付加される。また、 n 検出テストにおける不定値マスクについても研究が行わ

れている [11]。

X-compact 手法では、EOR ゲートのネットワークを用いてテスト応答を圧縮する [12]。このため、CUT から入力された不定値は 1 クロック間だけ出力される。一方、Rajski らが提案した畳込み圧縮器では、EOR ゲートのネットワークと、無帰還シフトレジスタを用いて応答を圧縮する [13]。EOR ネットワークの構成によって、100 倍以上の圧縮率を達成しつつ、2 重および任意の奇数個の誤りを検出可能である。これまで、畳込み圧縮器における誤り見逃し率および X マスク確率について解析的評価が行われている [14,15]。ここで、X マスク確率とは、出力された誤りが不定値によって検出不能となる確率である。解析結果から、出力系列を充分長く観測した場合、誤り見逃し率は非常に小さくなることが明らかになった。しかし、不定値のマスクについては課題が残されている。

本稿では、畳込み圧縮器における圧縮率および X マスク確率の改善を目的として、その構成をガロア体上に拡張す

る手法について検討する。従来の構成では、各スキャンチェーンは EOR ゲートによって独立に接続される。これに対して、提案手法では q 本の信号線をガロア体 $GF(2^q)$ 上の元とみなし、 $GF(2^q)$ 上の乗算回路を用いて接続する。まず、提案手法による圧縮器の構成法について示す。次に、提案手法による構成が $GF(2)$ 上で等価に記述可能であることを示し、ハードウェアオーバーヘッドについて評価する。また、X マスク確率についてシミュレーションによる評価を行う。

2. 畳込み圧縮器

図1に、畳込み圧縮器の構成例を示す。CUT から出力された S 本のスキャンチェーンは、インジェクタネットワークと呼ばれる EOR ゲートのネットワークを経由して、 M 個のフリップフロップ (FF) に接続される。畳込み圧縮器から出力される信号線数を b とする。このとき、 M 個の FF は b 個の組に分割され、各組は長さ M/b の無帰還シフトレジスタを構成する。シフトレジスタ内の FF と CUT 内のスキャンチェーンは、同一クロックにより動作する。従って、 N スキャンシフトクロックに対して、CUT は $S \cdot N$ ビットのテスト応答を出力し、畳込み圧縮器は $b \cdot N$ ビットの圧縮されたテスト応答を出力する。すなわち、テスト応答の圧縮率は b/S となる。

図1では、スキャンチェーン1は FF1, 2, および3に接続されているが、FF4には接続されていない。スキャンチェーン1から誤りが入力された場合、この誤りは接続されている3個のFFに伝播される。従って、畳込み圧縮器は誤りを含む応答を3回出力する。

インジェクタネットワークの接続を、 S 行 b 列の接続行列 $CN(x)$ で表す。

$$CN(x) = \begin{bmatrix} CN_{1,1}(x) & \cdots & CN_{b,1}(x) \\ \vdots & \ddots & \vdots \\ CN_{1,S}(x) & \cdots & CN_{b,S}(x) \end{bmatrix}, \quad (1)$$

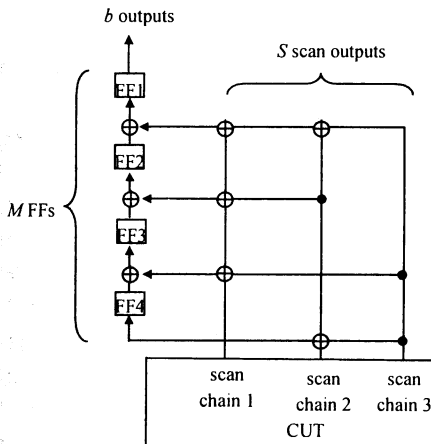


図1 畳込み圧縮器の構成例 ($b=1, M=4, S=2$)

Figure 1. Example arrangement for original convolutional compactor. ($b=1, M=4, S=2$)

で表す。ここで、行列の各要素 $CN_{i,j}(x)$ は $GF(2)$ 上の最大 $M/b-1$ 次の多項式であり、

$$CN_{i,j}(x) = c_{i,j,1} + c_{i,j,2} \cdot x + \cdots + c_{i,j,M/b} \cdot x^{M/b-1}. \quad (2)$$

と表される。スキャンチェーン j が i 番目のシフトレジスタ内の k 番目の FF に接続されている場合、 $c_{i,j,k}$ は 1 となる。例えば、図1に示した畳込み圧縮器における接続行列は以下のようになる。

$$CN(x) = \begin{bmatrix} 1+x+x^2 \\ 1+x^2+x^3 \\ 1+x+x^3 \end{bmatrix}. \quad (3)$$

また、接続行列は M 行 S 列の 2 元行列 CN としても表現可能である。すなわち、

$$CN = \begin{bmatrix} CN_1 \\ \vdots \\ CN_b \end{bmatrix}. \quad (4)$$

と表される。ここで、 CN_1, \dots, CN_b は M/b 行 S 列の 2 元行列であり、

$$CN_i = \begin{bmatrix} c_{i,1,1} & \cdots & c_{i,S,1} \\ \vdots & \ddots & \vdots \\ c_{i,1,M/b} & \cdots & c_{i,S,M/b} \end{bmatrix}. \quad (5)$$

と構成される。従って、図1に示した畳込み圧縮器は

$$CN = \begin{bmatrix} 1 & 1 & 1 \\ 1 & 1 & 0 \\ 1 & 0 & 1 \\ 0 & 1 & 1 \end{bmatrix}. \quad (6)$$

とも表される。

外部テストは、誤りを含む値が 1 回以上出力された場合、誤りを検出可能であるとする。畳込み圧縮器では、各スキャンチェーンは複数個の FF に接続されるため、1 個の誤り入力に対して複数回の誤りを出力する。しかし、2 個以上の誤りが入力された場合、互いにマスクされ、誤りがない場合と同じ値が出力される。すなわち誤りが見逃される可能性がある。誤り見逃しの発生を抑えるため、畳込み圧縮器の構成には制限が存在する [21]。

(R1) 各スキャンチェーンが接続される FF 数は全て等しく、 u (u は奇数) 個である。すなわち、 $c_{1,i,1}, \dots, c_{b,i,M/b}$ のうち u 個は 1 であり、その他は 0 である。

(R2) $CN_{i,1}(x) = x^k CN_{j,1}(x), \dots, CN_{i,S}(x) = x^k CN_{j,S}(x)$ を満たす i, j, k ($1 \leq i, j \leq b, i \neq j, k \geq 0$) の組は存在しない。

(R1) より、任意の奇数個の誤りは検出可能となる。(R2) より、任意の 2 重誤りは検出可能となる。

3. 畳込み圧縮器の $GF(2^q)$ への拡張

3.1 基本構成

本稿では、畳込み圧縮器の構成をガロア体 $GF(2^q)$ 上に拡張する。ガロア体 $GF(2^q)$ 上には 2^q 個の元が存在し、各元は q ビットの 2 進数(ベクトル)または原始元 α のべき乗として表現される。例えば、 $GF(2^2)$ は 4 個の元 $(0, 0), (0, 1), (1, 0), (1, 1)$ を持つ。これらの元はまた $0, 1, \alpha, \alpha^2$ とも表されるが、べき表現とベクトル表現の対応は適用される原始多項式により決定する。 $GF(2^2)$ 上で原始多項式 x^2+x+1 を用いた場合、 $0 = (0, 0), \alpha^0 = 1 = (0, 1), \alpha = (1, 0), \alpha^2 = (1, 1)$ が成立する。

図 2 に、 $q = 2$ とした場合の拡張畳込み圧縮器の構成例を示す。外観は図 1 と同様だが、細い線は $GF(2^2)$ 上の元、すなわち 2 ビットの信号線となる。また、シフトレジスタ内の各 FF も 2 ビットに拡張されている。灰色の四角は $GF(2^2)$ 上の乗算器を表す。乗算器は、下から入力された値に対して、示された固定値で乗算を行い、右から入力された値と加算して左に出力する。また、上には下から入力された値がそのまま出力される。

$GF(2^q)$ 上において、CUT からの入力数を S' 、拡張畳込み圧縮器の出力数を b' 、FF 数を M' と表す。実際には、 $S = qS'$ 個のスキランチェーン、 $b = qb'$ 個の出力、 $M = qM'$ 個の FF が存在し、圧縮率は $b/S = b'/S'$ となる。

従来手法と同様に、拡張手法においても、インジェクタネットワークの接続を、 S' 行 b' 列の接続行列 $CN'(x)$ で表す。ここで、行列の各要素 $CN'_{i,j}(x)$

$$CN'_{i,j}(x) = c'_{i,j,1} + c'_{i,j,2} \cdot x + \dots + c'_{i,j,M/b} \cdot x^{M/b-1}. \quad (7)$$

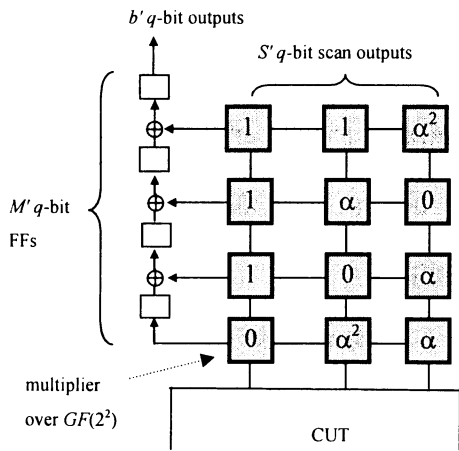


図2 $GF(2^2)$ 上に拡張した畳込み圧縮器の構成例

($b' = 1, M' = 4, S' = 2$)

Figure 2. Example arrangement for expanded convolutional compactor over $GF(2^2)$. ($b' = 1, M' = 4, S' = 2$)

は $GF(2^q)$ 上の最大 $M'/b' - 1$ 次の多項式である。すなわち、 $c'_{i,j,k} \in GF(2^q)$ である。式(6)と同様に、インジェクタネットワークは 2^q 元の行列 CN' としても記述される、例えば、図 2 のインジェクタネットワークにおいては

$$CN' = \begin{bmatrix} 1 & 1 & \alpha^2 \\ 1 & \alpha & 0 \\ 1 & 0 & \alpha \\ 0 & \alpha^2 & \alpha \end{bmatrix}. \quad (8)$$

となる。

3.2 $GF(2)$ 上の等価表現

一般的な $GF(2^q)$ 上の乗算は、多大な時間的または空間的なコストを必要とする。しかし、提案手法で必要とする乗算器は、与えられた固定値の乗算ができればよい。また、 $GF(2^q)$ 上の加算は、ベクトル表現上でビット毎の EOR により計算可能である。

再び、原始多項式 x^2+x+1 を用いた $GF(2^2)$ について考える。この原始多項式の特性行列 A は

$$A = \begin{pmatrix} 0 & 1 \\ 1 & 1 \end{pmatrix} \quad (9)$$

で与えられる。ベクトル表現における乗算は特性行列 A を用いて計算可能である。 $\mathbf{g}, \mathbf{d} = (d_1, d_2), \mathbf{r} = (r_1, r_2)$ を $GF(2^2)$ 上の元とする。提案手法が必要とする乗算器は、4 とおりの \mathbf{g} に対して $\mathbf{g} \cdot \mathbf{d} + \mathbf{r}$ の形式で与えられる。ここで、 $\mathbf{g} = 0, \alpha^0, \alpha^1, \alpha^2$ に対して、以下の式が成立する。

$$0 \begin{pmatrix} d_1 \\ d_2 \end{pmatrix} + \begin{pmatrix} r_1 \\ r_2 \end{pmatrix} = \begin{pmatrix} 0 & 0 \\ 0 & 0 \end{pmatrix} \begin{pmatrix} d_1 \\ d_2 \end{pmatrix} + \begin{pmatrix} r_1 \\ r_2 \end{pmatrix} = \begin{pmatrix} r_1 \\ r_2 \end{pmatrix}, \quad (10)$$

$$\begin{aligned} \alpha^0 \begin{pmatrix} d_1 \\ d_2 \end{pmatrix} + \begin{pmatrix} r_1 \\ r_2 \end{pmatrix} &= A^0 \begin{pmatrix} d_1 \\ d_2 \end{pmatrix} + \begin{pmatrix} r_1 \\ r_2 \end{pmatrix} \\ &= \begin{pmatrix} 1 & 0 \\ 0 & 1 \end{pmatrix} \begin{pmatrix} d_1 \\ d_2 \end{pmatrix} + \begin{pmatrix} r_1 \\ r_2 \end{pmatrix} = \begin{pmatrix} d_1 + r_1 \\ d_2 + r_2 \end{pmatrix}, \quad (11) \end{aligned}$$

$$\begin{aligned} \alpha^1 \begin{pmatrix} d_1 \\ d_2 \end{pmatrix} + \begin{pmatrix} r_1 \\ r_2 \end{pmatrix} &= A^1 \begin{pmatrix} d_1 \\ d_2 \end{pmatrix} + \begin{pmatrix} r_1 \\ r_2 \end{pmatrix} \\ &= \begin{pmatrix} 0 & 1 \\ 1 & 1 \end{pmatrix} \begin{pmatrix} d_1 \\ d_2 \end{pmatrix} + \begin{pmatrix} r_1 \\ r_2 \end{pmatrix} = \begin{pmatrix} d_2 + r_1 \\ d_1 + d_2 + r_2 \end{pmatrix}, \quad (12) \end{aligned}$$

$$\begin{aligned} \alpha^2 \begin{pmatrix} d_1 \\ d_2 \end{pmatrix} + \begin{pmatrix} r_1 \\ r_2 \end{pmatrix} &= A^2 \begin{pmatrix} d_1 \\ d_2 \end{pmatrix} + \begin{pmatrix} r_1 \\ r_2 \end{pmatrix} \\ &= \begin{pmatrix} 1 & 1 \\ 1 & 0 \end{pmatrix} \begin{pmatrix} d_1 \\ d_2 \end{pmatrix} + \begin{pmatrix} r_1 \\ r_2 \end{pmatrix} = \begin{pmatrix} d_1 + d_2 + r_1 \\ d_1 + r_2 \end{pmatrix}. \quad (13) \end{aligned}$$

従って、乗算器は図 3 に示すとおりに実装可能である。すなわち、 $GF(2^q)$ 上の畳込み圧縮器のインジェクタネットワークは、EOR ゲートだけを用いて構成可能である。また、その

構成は2元行列 CN によって GF(2) 上で等価に記述可能である。

図4は、図2に示した拡張畳込み圧縮器の GF(2) 上の等価表現を示す。図4では、2ビットの信号線が2本の1ビット信号線に展開されている。行列 CN は

$$CN = \begin{bmatrix} 1 & 0 & 1 & 0 & 1 & 1 \\ 1 & 0 & 0 & 1 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 1 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 1 & 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 0 & 1 & 1 \end{bmatrix} \quad (14)$$

と構成される。ここで、式(14)は出力数 b が2の場合にお

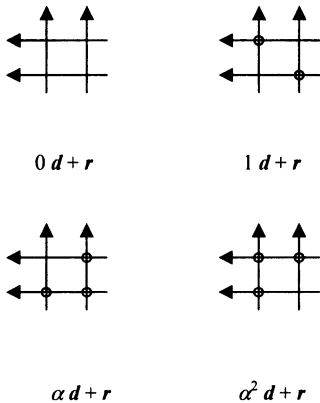


図3 原始多項式 $x^2 + x + 1$ を用いた場合の、ガロア体 $GF(2^2)$ 上の乗算器の EOR ゲートによる実装

Figure 3. Fixed-value multiplier over $GF(2^2)$ with polynomial $x^2 + x + 1$, implemented by EOR gates.

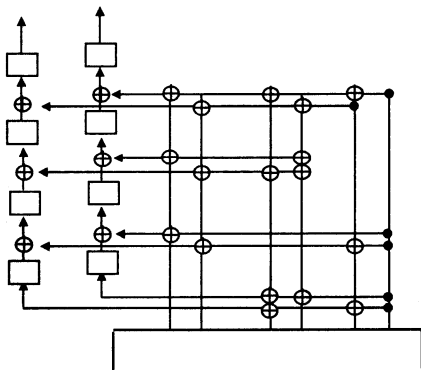


図4 $GF(2^2)$ 上の畳込み圧縮器の、 $GF(2)$ 上の等価表現回路 ($b' = 1, M' = 4, S' = 2$)

Figure 4. Equivalent representation over $GF(2)$ of expanded convolutional compactor over $GF(2^2)$.

($b' = 1, M' = 4, S' = 2$)

る行列であり、各シフトレジスタに対する接続状態は上下の4行にそれぞれ記述されている。

式(8)では CN' の各列は3個の非零の要素を持っていたが、CN の各列中における要素1の数は3, 4, 5のいずれかとなる。各列における要素1の個数は、CN' の構成と、適用される原始多項式に依存する。また、常に等しい数の1が存在することは保証されない。

従来の畳込み圧縮器において $S = 6, b = 2, M = 8, u = 3$ とした場合、インジェクタネットワークには18個のEORゲートが存在する。式(8)に示された構成によって、等しい圧縮率およびスキャンチェーン数において $GF(2^2)$ 上に拡張した場合、付加されるEORゲート数は5である。

以降、拡張畳込み圧縮器の構成では、従来の畳込み圧縮器に対して設けられた制限を緩和する。2節で述べた条件(R2)については、 $CN_{i,j}(x)$ を $CN'_{i,j}(x)$ に置き換えてそのまま適用する。これに対して、拡張手法では、条件(R1)を満たさなくてよいものとする。すなわち、各列中の非零の要素数は等しくなくてもよく、また偶数でもよいとする。

上記の緩和は、ハードウェアオーバーヘッドの削減だけではなく、X マスク確率の低減に対しても効果的であると考えられる。不定値は、多くの場合、回路内のメモリやバスにおいて発生する。従って、あるスキャンセルが不定値を出力する場合、近隣のスキャンセルもまた不定値を出力することがある。また、不定値の発生箇所はテスト生成時に特定可能である。多数の不定値を出力し、またその発生に関して相関のあるような q 本のスキャンチェーンを1個の $GF(2^q)$ 上の元とみなして、少数のEORゲートを持つような接続(例えばCN'において2個の要素1を持つ列など)を割り当てることにより、他のスキャンチェーンから出力された誤りがマスクされることを防ぐことが可能である。

誤り見逃しに関しては、緩和により能力が悪化すると考えられる。しかし、我々の以前の研究では、誤り見逃し率は比較的短い観測期間において最大値を持ち、観測期間が増加するのに従って低下することが示された。従って、充分長い観測期間においては、誤り見逃しの影響はX マスクと比較して小さいと考えられる。また、非零の要素が偶数個であった場合にも、等価表現における1の個数が偶数であるとは限らず、偶数個の多重誤りが常に検出不可能となるとは限らない。

4. シミュレーションによる X マスク確率の評価

シミュレーションによって、 $GF(2^q)$ 上の畳込み圧縮器における評価を行った。本稿では、我々は X マスク確率に着目した。各試行において、1ビットのスキャンチェーンのうち1本から、誤りが1回だけ入力されると仮定した。不定値は、与えられた確率分布に従って発生するものとした。10,000

回の試行から、誤りが不定値によってマスクされ、1 回も観測されない確率を X マスク確率として求めた。

図 5 に、 $S = 100$, $b = 2$, $M = 32$ における X マスク確率の測定結果を示す。横軸はテスト応答 1 ビットあたりの不定値発生率である。100 本のスキャンチェーンは 2 本ずつまとめられ、50 個のグループが構成された。各グループ内のスキャンチェーンにおける不定値の発生状況は、完全に相関があると仮定した。すなわち、片方のスキャンチェーンが不定値を出力する場合、グループ内の他方のスキャンチェーンも不定値を出力するとした。これは、不定値が $GF(2^2)$ 上で発生していると考えることができる。

縦軸は、 $GF(2^2)$ に拡張した畳込み圧縮器における X マスク確率である。行列 CN' 中の各列中の非零の個数は 2 とした。X マスク確率は、不定値発生率の増加に伴って単調増加しているのが判る。不定値発生率が 0.5% 以上の場合、X マスク確率は 20% 以上となった。また、不定値発生率は 10% 以上の場合、X マスク確率はほぼ 100% に達した。

図 5 は、 $u = 3$ とした従来手法に対する、拡張手法の X マスク確率の差分も示している。差分が 0 より高い場合、 $GF(2^2)$ 上の拡張手法が従来手法と比較して改善された(低い) X マスク確率を持つことを示す。不定値発生率は 0.005 より高い場合、拡張手法は従来手法より低い X マスク確率を示し、その差は最大で約 8% である。

インジェクタネットワークは、与えられた条件において乱数により生成された。拡張手法に対するインジェクタネットワークは、266 個の EOR ゲートを含む。従って、300 個の EOR ゲートを含む従来手法と比較して、11.3% の EOR ゲートが削減された。

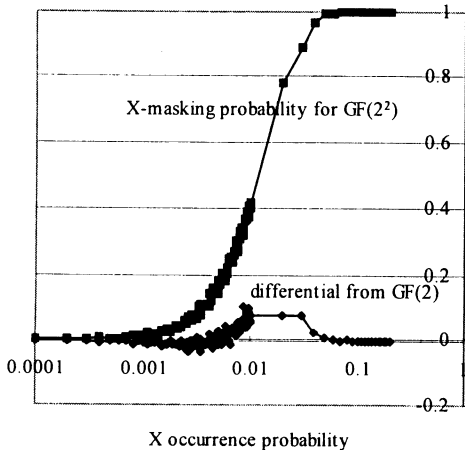


図 5 $GF(2^2)$ 上の畳込み圧縮器における X マスク確率の計算結果。不定値は $GF(2^2)$ 上で発生するとした。($b = 2, M = 16, S = 100$)
Figure 5. Calculation results of X-masking probability for convolutional compactor over $GF(2^2)$, where X-values are output over $GF(2^2)$. ($b = 2, M = 16, S = 100$)

図 6 に、図 5 と異なる不定値発生確率分布における、拡張手法に対する X マスク確率とその従来手法からの差分を示す。不定値全体のうち、半分がスキャンチェーンの 10% (10 本のスキャンチェーン、すなわち 5 個のグループ) によって出力されるとした。従って、横軸は全てのスキャンチェーンに対する平均の不定値発生率を示す。この場合においても、拡張手法における X マスク確率は図 5 と同様の傾向を示した。すなわち、低い不定値発生率においては従来手法より高い X マスク確率を示すが、不定値発生率が 0.5% 以上の場合、従来手法より低い X マスク確率を示し、その差は最大約 7% となった。

図 7 に、不定値が各スキャンチェーン毎に独立に一定確率で発生した場合における、拡張手法に対する X マスク確率と従来手法からの差分を示す。この場合、低い不定値発生率における X マスク確率の差分の最大の増加率と、高い不定値発生率における X マスク確率の差分の最大の減少率はほぼ等しく、約 3% となった。

図 8 に、 $S = 100$, $b = 4$, $M = 32$ における、 $GF(2)$, $GF(2^2)$, および $GF(2^4)$ 上の畳込み圧縮器の X マスク確率を示す。ここでは、不定値は $GF(2^4)$ 上、すなわち 4 ビット毎に発生するとした。拡張手法は、従来手法と比較して低い X マスク確率を示した。しかし、より大きなガロア体上に拡張することで、常に X マスク確率を削減できるとは限らない。

本稿では、基礎的な検討として、乱数で生成した行列に対して、多重の不定値が与える影響について評価した。3 節で述べたように、スキャンチェーン毎の不定値の発生状況と EOR ゲート数を考慮した構成により、提案手法の X マ

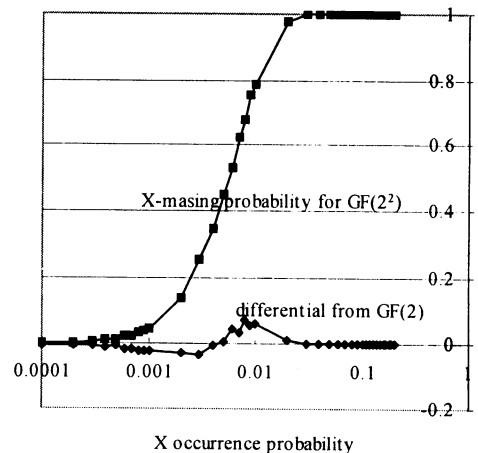


図 6 $GF(2^2)$ 上の畳込み圧縮器における X マスク確率の計算結果。不定値は $GF(2^2)$ 上で発生し、10% のスキャンチェーンが半分の不定値を出力する。($b = 2, M = 16, S = 100$)
Figure 6. Calculation results of X-masking probability for convolutional compactor over $GF(2^2)$, where X-values are output over $GF(2^2)$ with high probability in 10 scan chains. ($b = 2, M = 16, S = 100$)

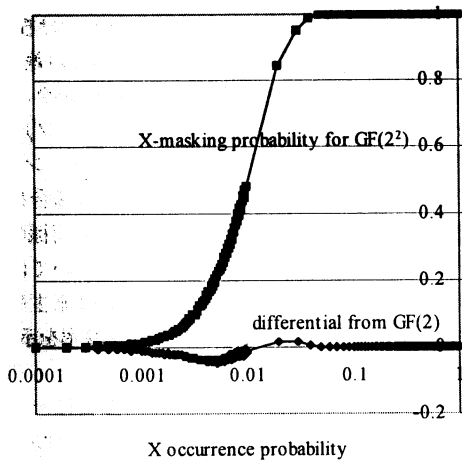


図7 $GF(2^2)$ 上の畳込み圧縮器における X マスク確率の計算結果。不定値は各スキャンチェーン毎に独立に発生する。

($b=2, M=16, S=100$)

Figure 7. Calculation results of X-masking probability for convolutional compactor over $GF(2^2)$, where X-values are output independently for each scan chain.

($b=2, M=16, S=100$)

マスク確率はさらに低減可能であると考えられる。

5. まとめ

本稿では、畳込み圧縮器の構成をガロア体上に拡張する手法について検討した。提案手法では、 q 本の信号線をガロア体 $GF(2^q)$ 上の元とみなし、 $GF(2^q)$ 上の乗算回路を用いて接続する。提案手法による圧縮器の構成法について示し、この構成が $GF(2)$ 上で等価に記述可能であることを示した。従来手法と比較して接続の条件を緩和することにより、ハードウェアオーバーヘッドをあまり増加させることなく拡張が可能であることを示した。また、X マスク確率についてシミュレーションによる評価を行い、ビットあたりの不定値発生率が比較的高い状況では、提案手法は従来手法と比較して低い X マスク確率を持つことを示した。

参考文献

- [1] Semiconductor Industry Association, International Technology Roadmap for Semiconductors, 2003 Edition, 2003.
- [2] M. L. Bushnell and V. D. Agrawal, Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits, Kluwer, 2000.
- [3] C. E. Stroud, A Designer's Guide to Built-In Self-Test, Kluwer, 2002.
- [4] B. Nadeau-Dostie, Design for At-Speed Test: Diagnosis and Measurement, Kluwer, 2000.
- [5] R. Rajsuman, System-on-a-Chip Design and Test, Artech House, 2000.

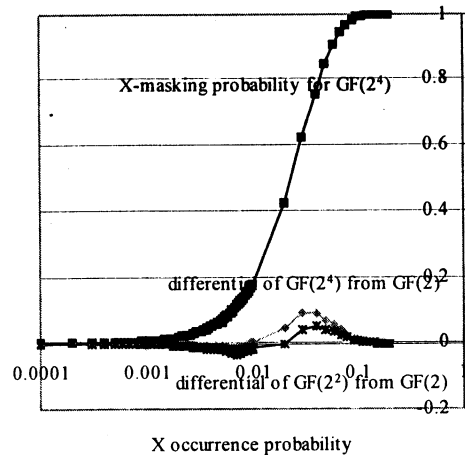


図8 $GF(2^2)$, $GF(2^4)$ 上の畳込み圧縮器における X マスク確率の計算結果。不定値は $GF(2^4)$ 上で発生する。

($b=4, M=32, S=100$)

Figure 8. Calculation results of X-masking probability for convolutional compactor over $GF(2^2)$ and $GF(2^4)$, where X-values are output over $GF(2^4)$

($b=4, M=32, S=100$)

- [6] B. N. Destie, D. Burek, and A. Hassan, "Scan BVIST: A Multifrequency Scan-Based BIST Method," IEEE Design & Test of Comput., Vol. 11, No. 1, pp. 7-17, 1997.
- [7] K. H. Tsai, S. Hellebrand, J. Rajski, and M. Marek-Sadowska, "A STARBIST: Scan autocorrelated random pattern generation," DA Conf., pp. 472-477, 1997.
- [8] D. Das and N. A. Touba, "Reducing test data volume using external/LBIST hybrid test patterns," Proc. ITC, pp. 115-122, 2000.
- [9] N. A. Touba and E. J. McCluskey, "Altering a pseudo-random BIT sequence for scan-based BIST," Proc. ITC, pp. 167-175, 1996.
- [10] R. David, Random Testing of Digital Circuits. Theory and Applications, Marcel Dekker, 1998.
- [11] M. Naruse, I. Pomerantz, S. M. Reddy, and S. Kundu, "On-Chip Compression of Output Responses with Unknown Values Using LFSR Reseeding," Proc. ITC, pp. 1060-1068, 2003.
- [12] S. Mitra and K. S. Kim, "X-Compact: an efficient response compaction technique for test cost reduction," Proc. ITC, pp. 311-320, 2002.
- [13] J. Rajski, J. Tyszer, C. Wang, and S. M. Reddy, "Convolutional Compaction of Test Responses," Proc. ITC, pp. 745-754, 2003.
- [14] Y. Han, Y. Hu, H. Li, X. Li, "Theoretic Analysis and Enhanced X-Tolerance of Test Response Compact based on Convolutional code," Proc. IEEE Asia and South Pacific Design Automation Conference, pp. 53-58, 2005.
- [15] M. Arai, S. Fukumoto, and K. Iwasaki, "Analysis of Error-Masking and X-Masking Probabilities for Convolutional Compactors," Proc. ITC, to be presented, 2005.