

セルレイアウトの歩留まり最適化のための タイミング制約下におけるデコンパクション手法

飯塚 哲也[†] 池田 誠^{†,††} 浅田 邦博^{†,††}

[†] 東京大学 大学院 工学系研究科

^{††} 東京大学 大規模集積システム設計教育研究センター (VDEC)

〒113-8656 東京都文京区本郷 7-3-1

E-mail: †{iizuka,ikedada,asada}@silicon.u-tokyo.ac.jp

あらまし 本稿では歩留まり最適化のためのセルレイアウトのデコンパクション手法を提案する。歩留まりを考慮した論理合成やフィジカル合成などにおいては歩留まりを最適化したセルライブラリが必要不可欠であり、提案手法では元々のセルレイアウトをデコンパクションすることでレイアウトの歩留まりを自動的に最適化する。本手法では、与えられたタイミング制約の下でセルレイアウトのデコンパクションを行う。タイミング制約の記述には、与えられる元々のレイアウトの遅延時間からの、デコンパクションによる遅延の増分を近似計算するモデルを提案し、それを用いる。実験結果から遅延時間の近似が十分な精度を実現していることが示され、またセルの性能と歩留まりのトレードオフカーブが得られることが示された。このようなトレードオフカーブから必要な性能のレイアウトを選び出し、歩留まりを最適化したライブラリとして追加しておくことで、歩留まりを考慮した最適化手法に必要な不可欠なライブラリの構築を行うことができる。

キーワード セルレイアウト, 歩留まり, クリティカルエリア, デコンパクション, タイミング制約

Timing-Driven Cell Layout De-Compaction for Yield Optimization by Critical Area Minimization

Tetsuya IIZUKA[†], Makoto IKEDA^{†,††}, and Kunihiro ASADA^{†,††}

[†] Dept. of Electronic Engineering, University of Tokyo

^{††} VLSI Design and Education Center (VDEC), University of Tokyo

7-3-1, Hongo, Bunkyo-ku, Tokyo, 113-8656 Japan

E-mail: †{iizuka,ikedada,asada}@silicon.u-tokyo.ac.jp

Abstract This paper proposes a yield optimization method for standard-cells under timing constraints. Yield-aware logic synthesis and physical optimization require yield-enhanced standard cells and the proposed method automatically creates yield-enhanced cell layouts by de-compacting the original cell layout. However, the careless modification of the original layout may degrade its performances severely. Therefore, the proposed method de-compacts the original layout under given timing constraints using a Linear Programming (LP). We develop a new accurate linear delay model which approximates the difference from the original delay and use this model to formulate the timing constraints in the LP. Experimental results show that the proposed method can pick up the yield variants of a cell layout from the trade off curve of cell delay versus critical area and is used to create the yield-enhanced cell library which is essential to realize yield-aware VLSI design flows.

Key words Cell layout, yield, critical area, de-compaction, timing constraints

1. はじめに

近年の半導体技術の発展に伴い、一つのチップ上に数千万のトランジスタが集積可能となり、またその性能も飛躍的に向上している。しかしながら、同時にその設計は非常に複雑なものとなっており、歩留まりやばらつきを考慮した設計が新たに必要となってきたことで、製造容易化設計 (DFM: Design For Manufacturability) などの概念が注目されている。近年、VLSI

の歩留まりの最適化のための設計フローが数多く提案されている [6] [7] [8]。

これらの研究においては、歩留まりの最適化を VLSI 設計の後処理として行うのではなく、論理合成やフィジカル合成の段階から歩留まりをコストとした最適化を行う。[8] では歩留まりを考慮した論理合成手法が提案されている。この手法ではテクノロジマッピングの際のコストとして、従来のように面積を用いるのではなく、各セル毎に与えた歩留まりの指標を用いてい

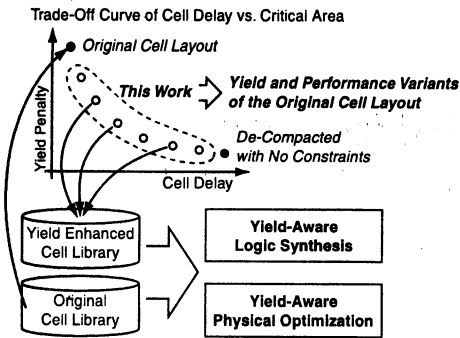


図1 提案するタイミング制約下でのデコンパクション手法の概念図。
Fig. 1 Overview of the proposed timing-driven cell layout de-compaction method.

る。さらに、この方法ではセルライブラリに歩留まりを最適化したセルを追加しておくことで、より大きく歩留まりを向上できることが示されている。[6]で提案されている設計フローでは、タイミングドリブンの論理合成・配置配線において歩留まりをコストとして用いており、歩留まりを考慮した論理合成・配置配線・タイミング最適化を繰り返し行って、VLSIの歩留まりの最適化を行う。このフローにおいてはDFM Extension Libraryと呼ばれる、歩留まりへのコストの異なるセルレイアウトを登録したライブラリを通常のライブラリと合わせて使用する。商用ICを用いた比較により、この設計フローで歩留まりを向上できることが示されている。

以上で紹介したような歩留まり最適化フローにおいては、歩留まりを考慮して設計されたセルレイアウトを通常のライブラリに追加して用いることで、その効果を上げられることが示されており、高い歩留まり向上効果を得るためにはこのようなライブラリが必要不可欠である。しかしながら、ここで使用された歩留まりを向上させたセルライブラリは主に人手で設計されており、このような目的のためのセルレイアウトの自動歩留まり最適化手法は提案されていない。本稿ではスタンダードセルレイアウト向けの自動歩留まり最適化手法として、デコンパクションによる歩留まり最適化手法を提案する。

デコンパクションを用いた歩留まり最適化手法は過去にいくつか提案されている[4][5]。しかしながら、これらの方法ではセルの面積と歩留まりのみを考慮しており、セルレイアウトの性能などを考慮していない。そのため、これらの手法では与えられたレイアウトを不用意にデコンパクションすることでそのセルの性能を著しく劣化させる可能性があり、目的とする設計制約から、得られたセルレイアウトを使用することができない場合がある。従って、本稿ではタイミング制約下での歩留まり最適化手法を提案する。提案手法では線形計画法(LP; Linear Programming)を用いて、セルレイアウトの幅を広げてセル内の配線密度を低減することにより歩留まりが最適となるレイアウトを得る。提案手法においてセルレイアウトを初めから自動生成せずにレイアウトのデコンパクションを用いた理由としては、通常VLSIの設計フローにおいては、人手で最適化され設計された品質の高いセルライブラリが用意されていると考えられ、これらを用いることで元々のレイアウトの信頼性を保持することができ、また得られるセルの性能の予測性も高くなるためである。またレイアウト設計の計算量が、一からレイアウトを設計するよりも大幅に少なくて済むという理由も挙げられる。

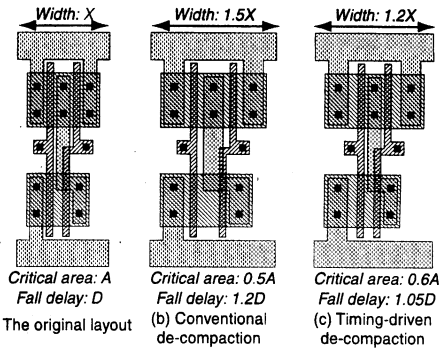


図2 2入力 NAND セルに対する従来のデコンパクション手法と本手法の生成するレイアウトの比較。

Fig. 2 The conceptual layouts of 2-input NAND created by the conventional and the timing-driven de-compaction methods.

図1に提案手法の概念図を示す。本手法では、与えられたタイミング制約下で歩留まりの最適化されたレイアウトを生成することができ、得られた歩留まりと性能のトレードオフカーブから必要な性能のセルを取り出して、ライブラリとして登録することができる。このようなライブラリを歩留まりを考慮した論理合成やフィジカル合成に用いることで、より歩留まりに高い効果を得ることができ、図2に、従来の性能を考慮しないデコンパクション手法により生成されるレイアウトと、本手法により生成されるレイアウトの概念図を示す。従来手法ではタイミングを考慮しないため、セル内のポリゴンの幅や間隔を一律に増加させているが、本手法では制約された遅延時間に影響のある配線や拡散領域の面積を増加させないようにして、遅延制約を満たしたレイアウトを生成する。従って本手法では、与えられる制約条件によって異なった性能を持つ、歩留まりを最適化したレイアウトを自動的に生成することができる。

2. 設計ルール制約

本手法はスタンダードセルレイアウトの歩留まり最適化を目的としており、通常スタンダードセルレイアウトではセルの高さは固定となっているため、本稿では横方向のデコンパクションのみを取り扱う。デコンパクションによって得られるレイアウトは設計ルール規則を満たしている必要があるが、これらの制約条件はレイアウト内のポリゴン間を結ぶ制約グラフとして表現することができる。制約グラフ中の頂点はレイアウト内のポリゴンの縦方向の辺に対応し、それらをつなぐ制約グラフ中のエッジは最小間隔や最小幅といった設計制約に対応した重みを持っている。このような制約グラフから設計制約を表現する線形制約条件式を簡単に作ることができ、LPへの定式化が可能となる。最小間隔や最小幅に関する設計制約以外の他のさまざまな規則も同じように定式化される。

3. クリティカルエリア面積の最小化

本手法ではセル内のクリティカルエリア(CA; Critical Area)の面積を最小化することで歩留まりの最適化を行う。CAとは、VLSI製造時に発生するスポット状の欠陥の中心がその領域内にあるときに、セル内の配線などに短絡や断線などの故障を起こす領域として定義され、その面積を削減することは従来から歩留まり向上の一つの基準として採用されている。本節では、LPへの定式化においてCA面積の総和を最小化するための方

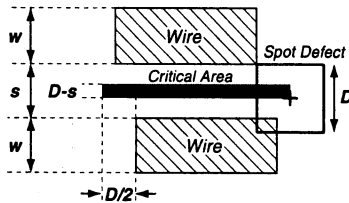


図3 2配線間に発生する短絡欠陥に関するクリティカルエリアの例。
Fig. 3 Schematic diagram of a short type critical area.

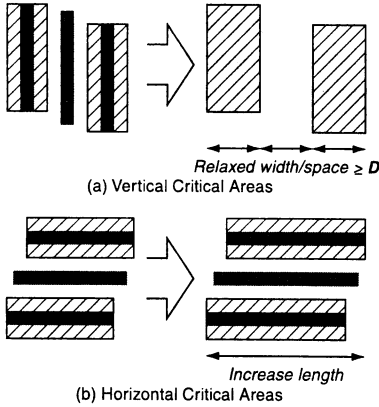


図4 デコンパクションによる (a) 縦方向と (b) 横方向のクリティカルエリアの変化。
Fig. 4 Variation of (a) vertical and (b) horizontal critical areas after horizontal de-compactation.

法を説明する。図3に、欠陥の大きさを D としたときに、幅が w 、間隔が s で並走する二つの配線間に発生する CA の例を示す。本稿では CA の計算を簡略化するために欠陥の形状は正方形と仮定している。この欠陥の中心が図中の CA 内にあるとき、これらの二つの配線は短絡してしまい故障となる。一つの配線に断線の故障が発生する場合の CA も同じように定義できる。セル内の CA の総面積は、レイアウト中のすべてのポリゴンの各頂点の座標が分かれば簡単に計算可能であるが、今回の定式化ではポリゴンの各頂点の座標が変数となっており、これらは CA の総面積を最小化するように LP を用いて決定される。図4は、縦方向、横方向の CA がセルレイアウトのデコンパクションによりそれぞれどのように変化するかを示している。縦方向の CA はポリゴンの幅や間隔を広げることで減らすことが可能であり、最終的に幅および間隔が欠陥の大きさ D 以上とすることで 0 にすることができる。しかしながら、横方向の CA はセルレイアウトのデコンパクションにより横方向の配線長が伸びることにより増加する。これらのうち横方向の CA 面積は、配線の長さに比例して増加するため、容易に線形の式として表現可能である。それに対して縦方向の CA は、図5に示すようにポリゴンの幅もしくは間隔が欠陥の大きさ D と等しくなったところで 0 となるように変化するため、単純には線形の式として表現できない。このような縦方向の CA 面積の変化を表現するため、新たな変数 r, l を導入し定式化を行う。これらの変数は以下のように定義できる。

$$r \geq \frac{x_1 + x_2}{2}, \quad r \geq x_1 + \frac{D}{2} \quad (1)$$

$$l \leq \frac{x_1 + x_2}{2}, \quad l \leq x_2 - \frac{D}{2} \quad (2)$$

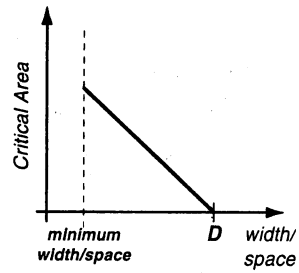


図5 ポリゴン間隔または幅を変化させた際の縦方向のクリティカルエリアの変化。
Fig. 5 Change of the vertical critical area by the width or space.

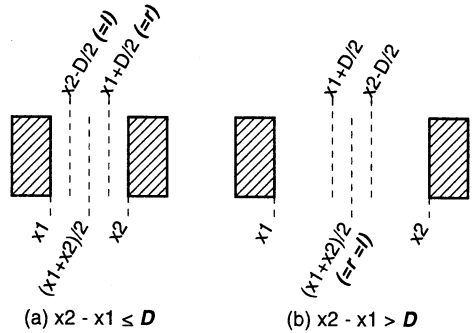


図6 縦方向のクリティカルエリアの計算。
Fig. 6 Calculation of the vertical critical area.

ここで、 x_1, x_2 はそれぞれ図6に示すように、ポリゴンの右端および左端の座標であり、 D は欠陥の大きさである。このとき、 A をこれらのポリゴン間に発生する CA の面積とすると、 $A \propto (r-l)$ となる。 A を最小化するためには、 r を最小に、 l を最大にする必要がある。この条件下では、 r, l はそれぞれ以下のように表現できる。

$$\begin{cases} r = x_1 + D/2, \quad l = x_2 - D/2 & (x_2 - x_1 \leq D) \\ r = l = (x_1 + x_2)/2 & (x_2 - x_1 > D) \end{cases} \quad (3)$$

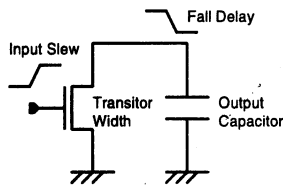
図6にもこの条件が示されている。このような変数を導入することで、図5のようなコスト関数を表現でき、すべての CA の総和をコストとして CA の最小化条件を定式化する。

4. 遅延時間計算モデル

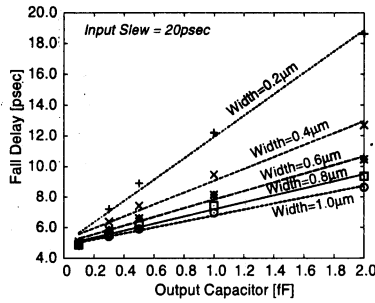
タイミング制約条件を LP に定式化するために線形の遅延モデルが必要となる。最も良く知られた遅延時間の線形近似としてはエルモア遅延モデルがある。図7に2入力 NAND の場合のエルモア遅延計算の例を示す。入力 A が 0 から 1 に立ち上がった場合に出力 Y が 0 に立ち下がる場合、図中 (a) のトランジスタネットワークは (b) のような抵抗と容量のネットワークに置き換えられる。抵抗 R_1, R_2 はそれぞれトランジスタ $M1$ と $M2$ のオン抵抗であり、 C_1, C_2 は各ノードに寄生する容量である。エルモア遅延モデルではこの場合の A の立ち上がりから Y の立ち下がりまでの遅延時間は以下のように計算される。

$$Delay_{A \rightarrow Y} = (R_1 + R_2) \times C_1 + R_2 \times C_2 \quad (4)$$

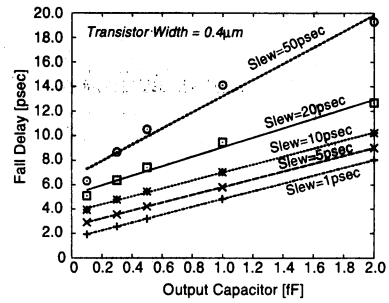
しかしながら、このモデルでは近年の微細なプロセスのトランジスタ遅延を十分正確に表現できない。そこで本稿では、デコンパクションによる寄生成分の変化による遅延の変化分のみを



(a) Test Circuit

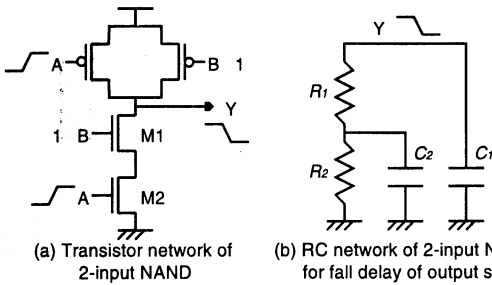


(b) Delay variation by transistor width



(c) Delay variation by input slew

図8 トランジスタの幅および入力信号スルーの値を変化させたときの遅延時間の変化。
Fig. 8 Preliminary results of delay variation by changing the transistor width and the input slew.



(a) Transistor network of 2-input NAND

(b) RC network of 2-input NAND for fall delay of output signal Y

図7 2入力 NAND とそのエルモア遅延を計算するための RC ネットワークの例。
Fig. 7 Examples of 2-input NAND and its RC network for calculating Elmore delay.

計算するモデルを提案し、定式化に用いる。今回のデコンパクション手法では元々のセルライブラリが存在することを仮定しており、デコンパクション前のレイアウトが与えられるため、あらかじめデコンパクション前のレイアウトから寄生成分を抽出し、HSPICE [2] によって遅延時間を計算しておくことができる。遅延時間の計算は最初に一度だけ行えばよい。元々の遅延時間が与えられていれば、遅延時間の変化は図8に示すように線形近似することができる。図ではN型トランジスタの出力容量の値に対する立ち下がり遅延時間の変化を示している。シミュレーションに用いた回路図は図中(a)に示されている。図中(b)はトランジスタの幅を変化させた場合、(c)はトランジスタのゲート入力信号のスルーを変化させた場合のグラフを示している。どちらの場合においても、遅延の値は出力容量の値に対してほぼ線形に変化しており、それらの傾きが異なっている。従って、N型、P型それぞれのトランジスタに対して、トランジスタ幅とゲート入力信号スルーのテーブルの形式で遅延変化の傾きの値をあらかじめシミュレーションにより求めておき、遅延変化の計算に用いる。この傾きの値を用いて、以下のような手順で遅延の変化分を計算する。

- (1) 図7に示すようにトランジスタネットワークをRCネットワークに置き換え、エルモア遅延計算の式を作る。
- (2) オン抵抗の値を、トランジスタ幅と入力スルーから決定される遅延変動の傾きの値に置き換える。
- (3) 寄生容量の値を、それぞれの寄生容量のデコンパクション後の変化分に置き換える。

図7の例において、立ち下がり時間の増分 $\Delta Delay_{A \rightarrow Y}$ は、寄生容量の変化による線形の式として以下のように表現される。

$$\Delta Delay_{A \rightarrow Y} = (k_1 + k_2) \times \Delta C_1 + k_2 \times \Delta C_2 \quad (5)$$

ここで、 k_1 , k_2 はそれぞれトランジスタ M1, M2 に対応する傾きの値であり、 ΔC_1 , ΔC_2 はそれぞれデコンパクションによる寄生容量 C_1 , C_2 の変化分である。この近似計算を用いることで、タイミング制約を線形制約として記述することができる。

このモデルをLPに用いるためには、デコンパクションによる寄生容量の変化も同様に線形の式で表現できなければならない。トランジスタの拡散容量は、各拡散領域の面積および周囲長による線形の式で計算できる。また、配線の対地および層間のオーバーラップ容量は、その面積から計算されるため線形の式で表現可能である。層内の線間容量は、横方向に並走する配線の線間容量はその長さに対して線形で近似してよいが、縦方向に並走する配線の線間容量においては、横方向のデコンパクションにより線間距離が増加するため、線形の式として表現することができない。しかしながら、本デコンパクション手法においては各ポリゴン間の距離はそれほど大きく変化しないため、この線間容量の変化を傾きが負の線形の式で近似する。実験結果において、この近似を用いても遅延時間制約を十分な精度で表現できることを示す。線間に抽出された容量はそれぞれの配線から対地への容量として計算される。その際、それぞれの対地容量は元々の線間容量と等しい値を持つ。これらの方法でセル内の寄生容量の変化を各ポリゴンの座標の線形の式として近似し、タイミング制約を線形で表現することでLPにおけるタイミング制約を実現する。

このモデルにより、シングルステージの回路の遅延時間を近似できる。マルチステージの回路の遅延時間計算のためには出力信号のスルーも近似する必要があり、現在開発を行っている。

5. デコンパクション手順

図9に本デコンパクション手法の全体の手順を示す。本手法に入力として与えられるのは、元々のセルの情報と設計制約条件である。セルの情報には元々のセルのレイアウトおよび遅延時間と、トランジスタの接続関係が記述されているネットリストが含まれる。設計制約には各入力から出力への遅延時間制約と幅の制約が含まれる。最大幅の制約については前の節では触れなかったが、これは設計ルール制約の一つとして簡単に導入することができる。これらの情報を元に、線形の制約条件が作られ、LPソルバにそれらの制約条件を解かせることで解を得る。得られた解からレイアウト内の各ポリゴンの座標を決定し、デコンパクションされたレイアウトを作る。

表 1 実験に用いた回路.

Table 1 The benchmark circuits used in this experiment.

Circuit	explanation	#trans.	Delay _{orig} [psec]	Area _{orig} [μm^2]	CA _{orig} [μm^2]
NAND3.1	3-input NAND	6	33.05	3.70	0.97
NAND3.2	3-input NAND (buffered)	12	34.56	6.53	1.97
NAND4.3	4-input NAND (buffered)	36	53.11	22.15	10.97
NOR4.1	4-input NOR	8	73.65	4.76	1.30
NOR4.2	4-input NOR (buffered)	28	65.95	17.41	8.47
ON2222.3	Series-parallel circuit for (A0 \vee A1) \wedge (B0 \vee B1) \wedge (C0 \vee C1) \wedge (D0 \vee D1)	56	64.83	28.75	9.92

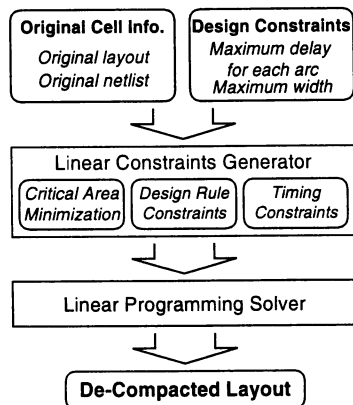


図 9 提案手法の全体の手順.

Fig. 9 The overall flow diagram of the proposed method.

6. 実験結果

本デコンパクション手法を実装し、その効果を確認するための実験を行った。実験では線形計画法のソルバとして CPLEX 9.1 [3] を用い、90nm テクノロジのセルライブラリ内に含まれる 6 つのシングルステージのセルをベンチマーク回路として用いた。表 1 に実験に用いた回路の特性をまとめる。表には、回路名とその説明、セル内のトランジスタ数、ある入出力ペアに対する元々の遅延時間、元々のセル面積、元々のセル内の CA 面積を示している。この実験では、ここに遅延時間を示す入出力ペアの遅延時間に制約を設定する。元々の遅延時間の計算においては、セル内寄生容量の抽出に Calibre [1] を用い、回路シミュレーションに HSPICE [2] を用いた。遅延変化の傾きの値は、あらかじめ P、N トランジスタ共に HSPICE を用いて計算しておいた。遅延計算においては、セル内の寄生成分の影響を明らかにするため出力容量は付加しなかった。CA 計算のために必要な欠陥の大きさには設計ルール上の配線の最小幅および最小間隔の 1.5 倍の値を用い、第一層メタルに対してのみ CA の計算を行った。

表 2 に本手法をベンチマーク回路に適用した結果を示す。表には制約として与えた遅延時間と実際にシミュレーションによって計算された遅延時間を示しており、またデコンパクション後のセル面積および CA 面積を示している。Target Delay の欄の "No Constraint" はデコンパクション時にタイミング制約を与えなかった場合を示している。第 3 節で説明を行ったように、デコンパクションによって縦方向の CA は減少させることができるが横方向の CA は増加するため、CA の総和は最小値を持つ。タイミング制約を与えなかった場合に得られるレイアウト内の

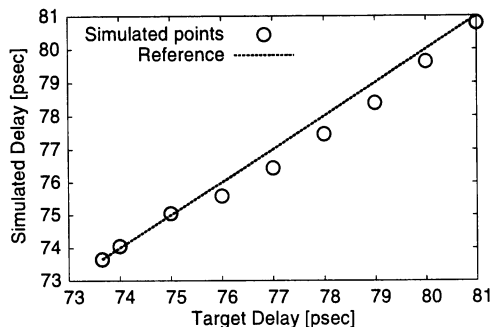


図 10 NOR4.1 回路における提案タイミングモデルの精度.

Fig. 10 Accuracy of the proposed delay model in the case of NOR4.1.

CA がその最小値となっている。デコンパクションにかかる実行時間は 56 個のトランジスタを持つ比較的大きな ON2222.3 回路に対しても 0.1 秒程度であり、本手法は非常に高速に処理を終了する。ここでは、最初に一度だけ行う元々のレイアウトのシミュレーション時間は含んでいない。デコンパクションにより得られたレイアウトに対しても同様に Calibre により寄生容量の抽出を行い、HSPICE により回路シミュレーションを行い遅延時間を計算した。制約として与えた遅延時間とシミュレーションにより得られた遅延時間の差はほとんどの場合で 1% 以下であり、平均では 0.63% となった。図 10 に NOR4.1 回路において、電源に最も近い P トランジスタの入力信号を立ち下げた場合に出力が立ち上がるまでの遅延時間に対する制約遅延時間と得られたレイアウトの遅延時間を比較した結果を示す。制約として与えた遅延時間とシミュレーションで得られた遅延時間はよく一致していることが分かり、今回用いた遅延計算モデルが本デコンパクション手法において十分な精度を実現していることが分かる。

与えた制約条件によって、各セルの面積増加は 10% から 50% 程度増加し、また CA 面積は 10% から 50% 程度減少する。タイミング制約が厳しいほど CA の減少が抑えられ、同時に面積の増加も抑えられる。図 11 に NOR4.1 回路の場合の遅延時間と CA 面積のトレードオフカーブ、およびセル面積と CA 面積のトレードオフカーブを示す。従来の遅延制約を扱わないデコンパクション手法では、ここに示すようなさまざまな性能を持つ、歩留まりを最適化したセルレイアウトを得ることはできないが、本手法では異なる歩留まり、遅延時間、面積を持つセルレイアウトをこのようなトレードオフカーブから取り出すことができる。このようなセルを新たなライブラリとして追加しておくことで、歩留まりを考慮した VLSI 設計フローに必要な不可欠な、歩留まりを最適化したライブラリの構成が可能となる。

表2 本デコンパクション手法の実験結果.

Table 2 Results of the proposed timing-driven de-compaction method. The runtime of de-compaction for each cell is less than 0.1 second for all cases.

Circuit	Target Delay [psec]	Actual Delay [psec]	error [%]	Area [μm^2]	increase [%]	CA [μm^2]	reduction [%]
NAND3.1	35	34.98	0.06	5.70	54.05	0.47	51.55
	37	36.77	0.63	5.70	54.05	0.47	51.55
	No constraint	37.92	—	5.70	54.05	0.47	51.55
NAND3.2	35	34.95	0.14	8.11	24.20	1.56	20.81
	36	35.76	0.67	8.49	30.02	1.47	25.38
	No constraint	36.54	—	8.49	30.02	1.47	25.38
NAND4.3	54	53.81	0.35	23.87	7.77	10.29	6.20
	55	54.72	0.51	24.81	12.01	10.10	7.93
	No constraint	55.83	—	25.58	15.49	10.00	8.84
NOR4.1	76	75.59	0.54	5.71	19.96	0.92	29.23
	80	79.62	0.48	6.02	26.47	0.85	34.61
	No constraint	81.33	—	6.02	26.47	0.85	34.61
NOR4.2	67	67.47	-0.70	19.33	11.03	7.59	10.39
	70	68.87	1.64	20.25	16.31	7.30	13.81
	No constraint	70.06	—	20.76	19.24	7.27	14.17
ON2222.3	66	65.63	0.56	31.20	8.52	9.11	8.17
	67	66.18	1.25	31.29	8.83	8.94	9.88
	No constraint	67.65	—	31.68	10.19	8.86	10.69
average	—	—	0.63	—	25.91*	—	24.20*

* : the average of the no constraint cases

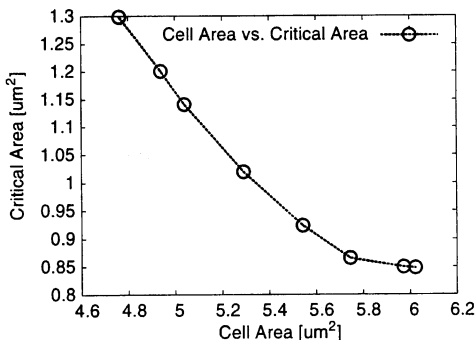
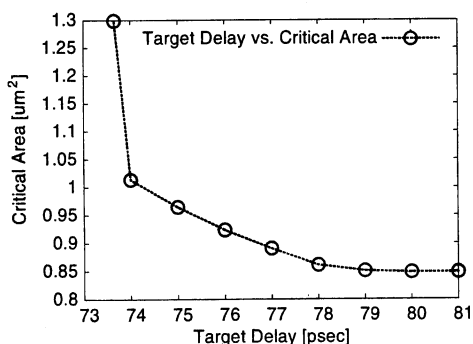


図 11 NOR4.1 回路に対して得られたトレードオフカーブ.

Fig. 11 Trade off curves of delay versus CA and cell area versus CA in the case of NOR4.1.

7. まとめ

本稿では、歩留まり最適化のためのセルレイアウトのデコンパクション手法を提案した。本手法では元々のセルレイアウトを、与えられたタイミング制約下でデコンパクションすることでレイアウトの歩留まりを自動的に最適化する。タイミング制約は線形制約条件として記述され、線形計画法を用いてデコンパクションされたレイアウトを得る。タイミング制約の記述には与えられる元々のレイアウトの遅延時間からの、デコンパクションによる遅延の増分を線形近似するモデルを提案し、それを用いた。実験結果から遅延時間の近似が十分な精度を実現していることが示され、またセルの性能と歩留まりのトレードオフカーブが得られることが示された。このようなトレードオフカーブから必要な性能のレイアウトを選び出し、歩留まりを最適化したライブラリとして追加しておくことで、歩留まりを考慮した最適化手法に必要な不可欠なライブラリの構築を行うことができる。

今後の課題として、本手法をマルチステージのセルにも適用

可能にするため、提案したタイミングモデルを拡張することが挙げられる。また歩留まりの指標として、CA 面積以外にレイアウトの規則性などを導入することも検討中である。

文 献

- [1] *Calibre xL User's Manual*, Mentor Graphics, Corp., 2005.
- [2] *HSPICE Simulation and Analysis User Guide*, Synopsys, Inc., 2005.
- [3] *ILOG CPLEX 9.1 User's Manual*, ILOG, Inc., 2005.
- [4] C. Bamji and E. Malavasi, "Enhanced Network Flow Algorithm for Yield Optimization," in *Proc. ACM/IEEE 33rd Design Automation Conference*, pp. 746-751, 1996.
- [5] Y. Bourai and C.-J. R. Shi, "Layout Compaction for Yield Optimization via Critical Area Minimization," in *Proc. IEEE/ACM Design, Automation and Test in Europe*, pp. 122-125, 2000.
- [6] C. Guardiani, N. Dragone, and P. McNamara, "Proactive Design For Manufacturability (DFM) for Nanometer SoC Designs," in *Proc. IEEE Custom Integrated Circuits Conf.*, pp. 15.1.1-15.1.8, 2004.
- [7] J. Mitra, P. Yu, and D. Z. Pan, "RADAR: RET-Aware Detailed Routing Using Fast Lithography Simulations," in *Proc. ACM/IEEE 42nd Design Automation Conference*, pp. 369-372, 2005.
- [8] A. Nardi and A. L. Sangiovanni-Vincentelli, "Synthesis for Manufacturability: a Sanity Check," in *Proc. IEEE/ACM Design, Automation and Test in Europe*, pp. 796-801, 2004.