

統計的遅延解析におけるモデルと精度に関する一考察

新田 泉 本間 克己 澁谷 利行

富士通研究所 〒211-8588 川崎市中原区上小田中 4-1-1

E-mail: {nitta.izumi, km.homma, shibu}@jp.fujitsu.com

あらまし 回路のタイミング性能が目標周波数を満たすかどうかは、クリティカルパスのスラック値によって判断される。我々は統計的遅延解析を ASIC のタイミングサインオフに適用するという観点から、スラック値の精度に着目し、スラック値を確率分布として計算することにより、スラック値を精度良く見積もる手法を提案する。また、ASIC の実回路に適用し提案手法の具体的効果を報告する。

キーワード 統計的遅延解析、遅延バラツキ

A Study of the Model and the Accuracy of Statistical Timing Analysis

Izumi NITTA Katsumi Homma and Toshiyuki SHIBUYA

FUJITSU LABORATORIES LTD. 4-1-1 Kamikodanaka, Nakahara-ku, Kawasaki-shi, 211-8588 Japan

E-mail: {nitta.izumi, km.homma, shibu}@jp.fujitsu.com

Abstract The criteria of timing performance of the circuit is determined by the slack values of critical paths. When we apply the statistical timing analysis for the design of ASIC, the accuracy of slack value is important. This paper proposes a technique to calculate slack value as a probability distribution which estimates a -3σ slack value more accurately. We also report the experimental results for ASIC data.

Keyword Statistical Timing Analysis, Variation

1. はじめに

テクノロジーの微細化により、プロセス、温度、電圧、クロストーク等を要因とする遅延バラツキが増大している。STA(Static Timing Analysis)による最悪条件の遅延解析では、すべてのゲートがバラツキの最悪値をとる場合の遅延を計算するが、実際にはこのようなケースが起こる確率はほとんどなく、遅延が過剰に見積もられてしまう。バラツキの増大にともない、この過剰な見積りも増大し、タイミング設計が難しくなっている。近年注目されている統計的遅延解析 (SSTA: Statistical Static Timing Analysis) は、ランダムな遅延バラツキを確率分布として統計的に扱うことによって、タイミングの見積もりを適正化する技術である。多くの報告がなされており、[1]において統計的遅延解析の基本的手法や遅延バラツキモデル等の代表的手法について系統的に把握することができる。

本稿は、統計的遅延解析技術を ASIC 設計、特にタイミングサインオフで実用化する観点より書かれている。従来の ASIC 設計において、タイミングサインオフとは、STA が求めた回路の最小スラック値がサインオフの基準を満たしているか判断することである。スラック値とは、2本のパス遅延の差に基づく値である。したがって、統計的遅延解析を ASIC のタイミングサ

インオフに適用するには、パス遅延の精度だけでなく、スラック値の精度が重要である。我々は、パス遅延の差を分布として計算することにより、スラック値を確率分布として精度良く見積もる手法を提案する。

また、統計的遅延解析では遅延を分布として扱うことから、回路の動作周波数を歩留分布として得ることができる。これは、従来の STA では得られなかった指標である。ASIC の設計では、この周波数歩留分布から目標性能における歩留リスクを見積もることが可能になり、一方、プロセッサ設計では、特定の周波数でチップが歩留何%で取れるかを予測することが可能になると期待されている[2]。我々は、提案手法を用いたスラック値の確率分布から、周波数歩留分布を算出する方法についても示す。

提案手法により、一般的な統計的スラック算出方法の悲観性を改善することが数学的に証明されるが、実際の ASIC 回路データへの適用実験によりその具体的効果の検証を行った。

2. 準備

2.1. スラック値の定義

本稿で議論するスラック値は次のように定義する。図1に示すような、フリップフロップ FF1 から FF2 に至るパスの SETUP のスラック値は、クロックソースか

らフリップフロップ FF1 を經由して、フリップフロップ FF2 の端子 A へ至るパス a の遅延時間 D_a と、クロックソース S から端子 B へのパス b の遅延時間 D_b から、

$$(\text{スラック値}) = \min(D_b - D_a) + T - c \quad (1)$$

によって得られる。

STA ではパス a の最大遅延時間 D_{a_max} と、パス b の最小遅延時間 D_{b_min} を用いて、次の式より得られる。

$$(\text{スラック値}) = D_{b_min} - D_{a_max} + T - c \quad (2)$$

ここで、 T はクロック周期、 c はセルの SETUP 時間等の定数項である。以下、本稿では図 1 に示すような、クロックソース S から FF2 に至るパス a とパス b を含む部分回路を SETUP チェックパスと呼び、パス a をデータパス、パス b をクロックパスと呼ぶ。

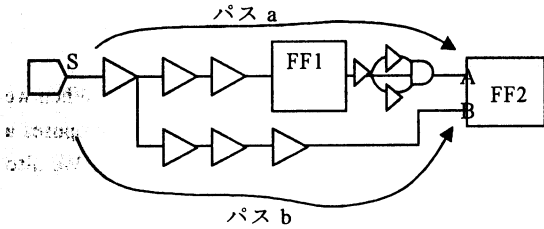


図 1. SETUP スラックの計算

統計的遅延解析においても、STA と同様に、パス a、パス b の遅延を求め、その差の最小値からスラック値が得られる。その詳細は 3 節で説明する。

2.2. 統計的遅延解析の基本演算

パスの遅延解析はタイミンググラフと呼ぶアサイクリックグラフ $G=(V,E)$ を用いて行う。図 2 に簡単なタイミンググラフの例を示す。各ノード $v_i \in V$ はゲートの入力または出力であり、ノード間を結ぶエッジ $e_i \in E$ は、ゲートまたは配線のランダムな遅延パラッキを確率変数として持つ。一方、各ノードはソース v_0 からの遅延を確率変数として持つ。統計的遅延解析の目的は、ソース v_0 から各ノードの遅延分布を計算し、シンク v_5 における遅延分布を求めることであるが、これは統計的 ADD と統計的 MAX の 2 つの演算で求められる。

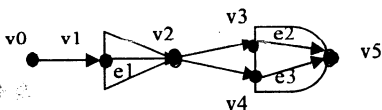


図 2. タイミンググラフ

図 2 において、ノード v_2 の遅延分布はノード v_1 の遅延分布とエッジ e_1 の遅延分布の統計的 ADD で計算される。 v_1 の遅延確率変数を X 、 e_1 の確率変数を Y とすると、 v_2 の遅延確率変数 Z は $Z=X+Y$ となる。ゆえに、統計的 ADD は、 X と Y が互いに独立ならば、良く知られているように下記のような畳み込み演算となる。

$$F_z(t) = \int_{-\infty}^{\infty} F_x(t-s)f_y(s)ds \quad (3)$$

ここで、 F_z は v_2 の遅延分布関数、 F_x は v_1 の遅延分布関数、 f_y は e_1 の分布密度関数である。

一方、 v_5 の遅延分布は、 v_3, e_2 の統計的 ADD 結果の分布と v_4, e_3 の統計的 ADD 結果の分布との統計的 MAX で計算される。 e_2 側のパス遅延確率変数を X 、 e_3 側のパス遅延確率変数を Y とすると、 v_5 の遅延確率変数 Z は、 $Z=\max(X,Y)$ となる。 X の分布関数は v_3, e_2 の遅延分布の統計的 ADD 結果で、 Y の分布関数は v_4, e_3 の遅延分布の統計的 ADD 結果である。これらの分布関数から Z の分布関数を計算する操作が統計的 MAX 演算である。図 1 のように v_1 から v_3 までのパスと v_1 から v_4 までのパスが共有部分を持つ場合、すなわち、 X と Y が独立でない場合の計算は困難である。しかし、もし、 X, Y が独立ならば統計的 MAX の分布関数 F_{max} は下記のように計算できる。

$$F_{max}(t) = F_x(t)F_y(t) \quad (4)$$

ここで F_x は X の分布関数、 F_y は Y の分布関数である。さらに、図 1 のように X と Y が独立でない場合でも、(4)で計算される分布関数は統計的 MAX の分布関数の上限となる、すなわち、各遅延値で(4)の分布関数値が統計的 MAX 分布関数値より小さくなることが示されている[2]。

また、統計的 MAX に関連して統計的 MIN も定義される。これは 2 つの確率変数 X, Y があるとき、確率変数 $\min(X, Y)$ の分布関数を X, Y の分布関数から計算する操作のことである。統計的 MAX と同様に、統計的 MIN も一般に計算は困難であるが、 X, Y が独立の場合には下記のように計算できる。

$$F_{min}(t) = F_x(t) + F_y(t) - F_x(t)F_y(t) \quad (5)$$

ここで F_x は X の分布関数、 F_y は Y の分布関数である。さらに統計的 MAX と同様に、図 1 のように遅延分布が独立でない場合でも(5)式で計算される分布関数は統計的 MAX 分布関数の下限となる、すなわち、各遅延値で(5)式の分布関数値が統計的 MAX 分布関数値より大きくなることが示される。

3. 遅延差分布法

ここでは、2 節に述べたスラック値の定義から、統計的遅延解析においてスラック値を計算する方法について論じ、我々が提案する遅延差分布法について説明する。

統計的遅延解析では、データパス a およびクロックパス b の遅延は、前節で述べた統計的 ADD および統計的 MAX を用いてそれぞれ分布として得られる。(1) 式から、スラック値を得るにはパス b の遅延分布とパス a との遅延分布の差の最小値がわかればよいが、パスの遅延分布の 3σ 、 -3σ 値をそれぞれパス遅延の最大値、最小値と考えることにより、

$$\begin{aligned} \text{(スラック値)} = & \\ & \text{(クロックパス b の遅延分布の } -3\sigma \text{ 値)} - \\ & \text{(データパス a の遅延分布の } +3\sigma \text{ 値)} + T - c \quad (6) \end{aligned}$$

と計算できる。図 3 に $T=c=0$ とした場合の(6)式によるスラック値を示す。以下、(6)式によるスラック値の求め方を遅延値差法と呼ぶ。

遅延値差法に対して、さらに統計的手法を徹底するならば、スラック値も確率分布として扱ったほうがより理にかなっている。そこで、我々はスラック値を確率分布として扱い、その分布関数をパス a, b の分布関数から計算し、スラック確率分布の -3σ 値を最小スラック値とする解析手法を提案する。

パス a, b の遅延分布密度関数をそれぞれ f_a, f_b とすると、パス a, b の分布は独立と仮定するならば、スラック分布関数 F_s は統計的 ADD の場合と同様に以下のように計算できる。

$$\begin{aligned} F_s(t) &= \int_{x-y+T-c \leq t} f_b(x) f_a(y) dx dy \\ &= \int_{-\infty}^{\infty} dy f_a(y) \int_{-\infty}^{y-T+c+t} dx f_b(x) \quad (7) \\ &= \int_{-\infty}^{\infty} dy f_a(y) F_b(y-T+c+t) \end{aligned}$$

ここで F_b はパス b の遅延分布関数である。たとえばパス a, b の遅延分布がともに正規分布で、その各平均が m_a, m_b 、標準偏差が σ_a, σ_b とした場合、

{(6)のスラック} =

$$m_b - m_a - 3 * (\sigma_a + \sigma_b) + T - c \quad (8)$$

{提案手法のスラック} =

$$m_b - m_a - 3 * \text{sqrt}(\sigma_a^2 + \sigma_b^2) + T - c \quad (9)$$

となり、提案手法によるスラックが常に(6)のスラック

よりも大きな値となる。すなわち提案手法により(6)式によるスラック値の悲観性を低減することができる。

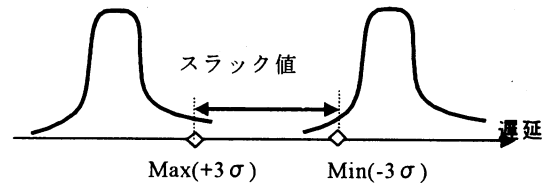


図 3 遅延値差法

この計算方法を以下、遅延差分布法と呼ぶ。遅延差分布法を用いることにより、スラックを確率密度分布として求めることができる。サインオフのクライテリアは図 4 に示すようなスラックの分布の -3σ 値となる。

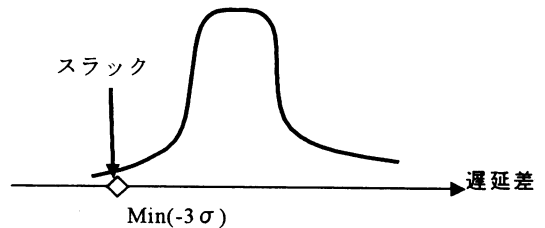


図 4 遅延差分布法

4. 周波数歩留分布

ここでは、統計的解析による周波数歩留分布の考え方について論じ、遅延差分布を用いた回路のスラック確率分布の計算手法とそれに基づく周波数歩留分布の算出方法を提案する。

(6)式による統計的なスラック値から回路のスラック確率分布を求めるには、

$$\begin{aligned} \text{(回路のスラック確率分布)} = & \\ & \text{(クロックパス遅延の } -3\sigma \text{ 値)} - \\ & \text{統計的 MAX(すべてのデータパスの遅延分布)} + T - c \quad (10) \end{aligned}$$

となる。この式における統計的 MAX は 2 つの分布に対する統計的 MAX を繰り返すことで得られる。

次に、(10)式で求めた回路のスラック確率分布から、周波数歩留分布は、

$$\begin{aligned} \text{(周波数歩留分布)} = & \\ & \frac{1}{\text{(クロックサイクル)} - \text{(回路のスラック確率分布)}} \quad (11) \end{aligned}$$

で得られる。

しかし、複数のクロックドメインがある場合には、そ

れらを統一して(10)式の回路全体のスラック確率分布を扱うのは難しい。そこで、我々は、遅延差分布法によって求めた各 SETUP パスのスラック確率分布から、回路のスラック確率分布を計算し、周波数歩留分布を求める手法を提案する。遅延差分布法による回路のスラック確率分布は、全ての SETUP パスのスラック確率分布に対して、これらの SETUP パスが互いに独立であると仮定して、以下のように統計的 MIN を実行する。

$$\text{(遅延差分布法による回路のスラック確率分布)=} \\ \text{MIN}(Z_1, Z_2, \dots, Z_n) \quad (12)$$

ここで、 Z_1, Z_2, \dots は各 SETUP パスのスラック確率分布である。統計的 MIN をとる理由は、ASIC のサインオフではタイミング歩留の -3σ 値をクライテリアとするからである。我々の提案手法は、(12)式で統計的 MIN をとるパスの独立性を仮定しており、統計的 MIN 分布関数の下限となる。実際の回路では、同じ周波数に対する歩留は提案手法で得られた歩留より高い値となる。

5. 分布モデル

従来の統計的遅延解析の研究では、遅延バラツキとして正規分布のみを扱い、合流時の統計的 MAX 演算で正規性が崩れた場合にも正規分布に近似して計算する方式[3][4][5]と、任意の分布を扱えるように分布を区分線形近似し数値演算を行う方式[6][7]に分類される。我々が提案手法の実現にあたって後者を採用した。後者の方法は、ゲートや配線のスラックバラツキが非正規分布の場合や、合流により正規性が崩れた場合でも、そのままの形状を扱えるため正規分布に近似する方法に比べて誤差が小さいという利点がある。しかし、一方で、区分線形近似による誤差を抑えるには分割数を増やさなくてはならず、それにともない計算量が分割数 N に対して $O(N^2)$ で増加する。

我々の扱う分布モデルは図 5 のように、遅延バラツキの分布関数に対して $-n\sigma$ から $+n\sigma$ までに相当する区間を定義域とし、定義域を均一に m 分割し、区分線形近似したモデルである。定義域両端の確率は 0 にする。

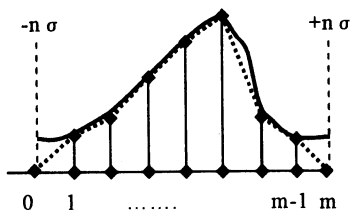


図 5. 遅延分布モデル

(実線が元の分布、点線が近似モデル)

$\pm 3\sigma$ 近辺の精度が重要であることを考慮すると n は 3

より大きい必要があるが、広げすぎると分割が粗くなるため分割数を増やす必要があり、精度と計算コストのトレードオフが必須である。

6. 実験

6.1. 提案手法の実装と ASIC データへの適用

提案手法の有効性を検証するため、ASIC の実回路に適用した場合の効果を調べた。このため、提案手法を適用した統計的遅延解析ツールを実装した。

このツールは、既存 STA のタイミングレポートと、ゲートおよび配線のランダムな遅延バラツキ情報を入力とし、タイミングレポートに記述されたパス情報からクリティカルパスの部分回路をタイミンググラフとして構成し、遅延バラツキ情報に基づいて統計的遅延解析を実行する。その際、同一クロックソースのパスは同時に解析し、途中の合流を考慮する。ただし、再合流によるパスの相関は考慮しない。出力は、SETUP パス毎に、各ノードの遅延分布の 3σ 値、統計的な arrival time, required time、スラックの -3σ 値をタイミングレポートとして出力し、4 節に説明した方法で、回路のスラック確率分布から求めた周波数歩留分布を出力する。

今回の実験では、ゲートのランダムなバラツキは正規分布とし、STA で使用するゲート遅延の typical 値に対して $\pm 10\%$ が $\pm 3\sigma$ 相当であると仮定した。また配線バラツキはなしとした。スルーやバス間の相関は考慮していない。また、分布モデルは $\pm 3.3\sigma$ を定義域とするモデルを 150 分割したものである。

評価に使用したデータは 130nm テクノロジーの回路データ 3 種である。これらについて、既存の STA ツールを適用して出力された SETUP パスタイミングレポートを入力として、我々の統計的遅延解析ツールを実行した。表 1 に使用データの内訳を示す。ここに、解析パス数とは STA 実行時に指定される出力パス数の上限値によって決められた SETUP パス数である。また、表 2 は統計的遅延解析ツールの実行時間、メモリ使用量を示している。

6.2. 遅延差分布法の具体的効果

まず、遅延差分布法の効果を検証する。表 3 は (6) 式による遅延値差法および遅延差分布法による最小スラック値が STA の最小スラック値に比べてどれだけ改善したかを示している。遅延差分布法による改善度が遅延値作法に比べて最大 10% 多いことがわかる。さらに、図 6 のグラフは、パス毎のスラック確率分布の 3σ 値を遅延値差法および遅延差分布法で求め、その差を遅延差分布によるスラック改善値として、バスの段数に対してプロットしたものである。縦軸の大きい値ほど、遅延差分布によるスラック値が大きい、すな

わち、タイミングに余裕があるということになる。パスの段数は、データパスの段数とクロックパスの段数の総和である。一部のパスを除き、段数が大きいほど遅延差分布による改善効果が高くなる傾向にあることがわかる。この理由は、4節の(8)、(9)式から推測できる。遅延差分布による改善効果は、式(8)、(9)より、

$$3 * \{ \sigma_a + \sigma_b - \text{sqrt}(\sigma_a^2 + \sigma_b^2) \} \quad (8)$$

となる。段数が多いほどデータパス、クロックパスともに σ_a 、 σ_b はともに増加するため、式(8)の値も増加するからである。

また、dataC には、改善効果のないパスが数本あるが、これはクロックパス段数が0という特殊なケースで、(9)式における $\sigma_b=0$ の場合である。

実験で使用したデータについて、遅延差分布による改善効果は 40ps~140ps 程度である。この値はゲート1段から数段に相当し、この改善効果によって、パス毎にゲート数段分の余裕ができることを示している。

回路名	ゲート数 (Mgate)	目標周波数 (MHz)	クロックドメイン数	解析パス数
dataA	3.50	108	2	245468
dataB	2.50	118	1	252177
dataC	3.25	250	4	149733

表 1. 使用データ

回路名	実行時間(sec)	メモリ使用量 (GByte)
dataA	5380	2.9
dataB	1941	1.9
dataC	1429	1.4

表 2. 統計的遅延解析ツールの実行結果 (SunOS5.8, CPU:700MHz で実行)

回路名	(遅延値差 最小スラック)-(STA 最小スラック)(ps)	(遅延差分布 最小スラック)-(STA 最小スラック)(ps)
dataA	2228.86	2266.11
dataB	1064.93	1167.70
dataC	980.70	1077.53

表 3. 最小スラック値の比較

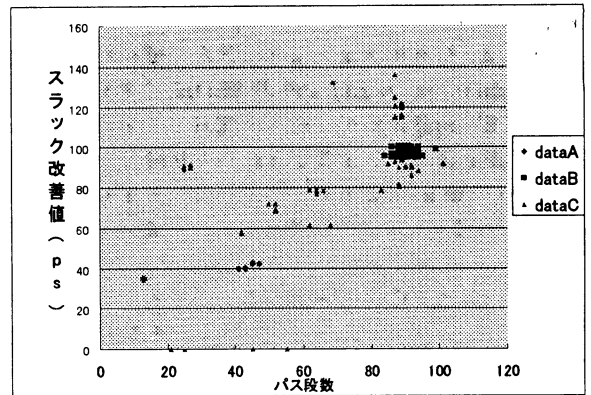


図 6. 遅延差分布による改善効果

6.3. スラック確率分布に基づく周波数歩留分布

次に、遅延差分布法で求めたスラック確率分布から得られる周波数歩留分布について考察する。

図 7 は、dataA の周波数歩留分布であり、STA のレポート上でクリティカルパスの上位 1 本(ワーストパス)、200 本、245468 本のパスのスラック確率分布からそれぞれ周波数歩留分布を計算した結果を示している。また、これらの -3σ における周波数を表 4 に示す。図 7 から、ワーストパスの分布に比べると、上位 200 パスおよび 245468 パスの分布はバラツキが小さくなり、周波数が低下する方向にシフトしていることがわかる。統計的解析では、ワーストパスと同程度の遅延を持つパスが多いほど回路全体の遅延がワーストパスの遅延よりも悪化するという特徴を示すものである。

また、上位 200 パスと 245468 パスの分布形状は重なっている。これは、dataA は上位 200 パス以内にあるパスが回路全体の性能を決定していることを示している。dataA のように数百~数千本のクリティカルパスが回路全体の性能を決めるようなケースでは、回路全体について解析する必要はなく、クリティカルな部分だけを抽出し解析することにより回路性能を予測することが可能であるといえる。統計的遅延解析は STA に比べて重い処理であり、大規模な回路の解析を効率よく行うには、統計的にクリティカルな部分を正確に見積もる手法が課題のひとつとなる。

図 7 の周波数歩留分布において、表 1 に示した目標周波数 108MHz は -3σ 値に比べると約 20MHz 低い値であり、目標周波数が歩留 100%でとれるとみなすことができる。しかし、実際にこの周波数歩留分布をサインオフに適用するには、統計的遅延解析のモデルや演算の精度だけでなく、ランダムなバラツキデータの精度、ランダム以外のバラツキ分の精度なども重要である。今後、プロセスとの関係によりこれらの不確定要因を見極めていく必要がある。

6.4. 分布モデルによる誤差の検証

最後に、分布モデルによる数値計算誤差について述べる。dataA～C の上位 300 の SETUP パスそれぞれについて統計的遅延解析ツールを実行し、スラック分布の -3σ 値を理論式で計算した結果と比較した。理論式は各 SETUP パスが直列パスであると仮定した場合には 3 節(9)式となる。5 節に示した分布モデルの定義域の両端を $\pm 3.2\sigma$ 、 $\pm 3.3\sigma$ 、 $\pm 3.5\sigma$ 、 $\pm 4.0\sigma$ とした場合の計算誤差の最大値および平均値を表 5 に示す。回路依存性はあるが、 3.2σ から 3.5σ の間で誤差が最小となる。今回の実験では、すべてのゲートの遅延パラツキモデルに一律な定義域を設定したが、バラツキの大きさに応じて定義域を変化させるなど精度改善の余地がある。

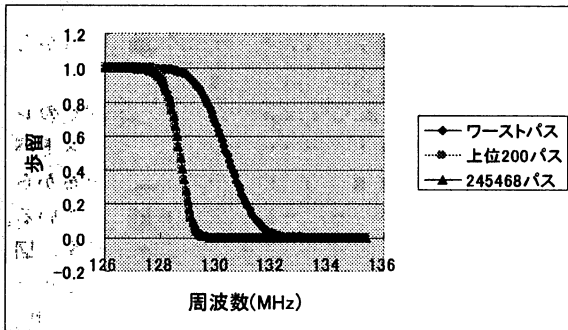


図 7. dataA による周波数歩留分布

	ワーストパス	上位 200 パス	245468 パス
-3σ 周波数 (MHz)	128.0	127.3	127.3

表 4. 周波数歩留の -3σ 値の比較

定義域の幅	最大誤差(ps)			平均誤差(ps)		
	dataA	dataB	dataC	dataA	dataB	dataC
3.2σ	2.23	2.23	53.62	0.10	1.92	12.14
3.3σ	1.69	2.70	37.8	0.13	2.30	6.07
3.5σ	0.69	3.42	12.38	0.50	3.05	1.53
4.0σ	2.15	5.69	46.13	1.56	5.30	10.26

表 5. 分布モデルの定義域の幅とスラック値の誤差

7. まとめ

本稿では、統計的遅延解析において、スラックを確率分布として計算することによりスラック値の見積りの精度を向上する遅延差分布法を提案し、スラック確率分布から周波数歩留分布が得られることを示した。

ASIC の実データの評価では、遅延差分布法によりパス毎に 40～140ps のスラック値の改善効果が見られ、これはゲート数段分に相当することが示された。また、区分線形近似モデルを使うことによる誤差が遅延差分布の改善効果を相殺しないように、特に -3σ 付近の精度を上げるための方策が必要であることを示した。本稿では説明しなかったが、統計的 ADD および統計的 MAX の数値演算誤差についても定量的な分析を行い、精度を上げる方策が必要である。このような分布モデルの精度に関する考察が今後の課題のひとつである。

8. 謝辞

本研究にご協力いただいた富士通 VLSI 株式会社細野敏克氏、吉村輝巳氏、および木全淳氏に感謝いたします。

文 献

- [1] 築山修治, “統計的タイミング解析: 概論,” 第 18 回 回路とシステム 軽井沢ワークショップ 論文集, pp.533-538, 2005.
- [2] C.Visweswariah, “Death, Taxes and Failing Chips,” Proc. DA Conf., pp.343-347, 2003.
- [3] A. Agarwal, V. Zolotov, D. Blaauw, S. Vrudhula, “Statistical Timing Analysis using Bounds,” Proc. DATE2003, pp.62-67, 2003.
- [4] M. Orshansky and K. Keutzer, “A general probabilistic framework for worst case timing analysis,” Proc. DA Conf., pp.555-561, 2002.
- [5] J.A.G. Jess, K. Kalafala, S.R. Naidu, R.H.J.M. Otten, C. Visweswariah, “Statistical timing for parametric yield prediction of digital integrated circuits,” Proc. DA Conf., pp.932-937, 2003.
- [6] 安藤映, 山下雅史, 中田寿夫, 松永裕介, “統計的最長経路問題とその論理回路遅延解析への応用,” DA シンポジウム 2002 論文集, pp.265-270, 2002.
- [7] A. Devgan and C. Kashyap, “Block-based static timing analysis with uncertainty,” Dig. Tech. Paper ICCAD, pp.607-614, 2003.
- [8] A. Agarwal, D. Blaauw, V. Zolotov, S. Sundareswaran, M. Zhao, K. Gala, and R. Panda, “Statistical delay computation considering spatial correlations,” Proc. ASP-DAC, pp. 271-276, 2003.