

## 消費電力を考慮したマルチクロックドメインコアに対する 再構成可能ラッパー設計

田中 裕<sup>†</sup> 米田 友和<sup>†</sup> 藤原 秀雄<sup>†</sup>

<sup>†</sup>奈良先端科学技術大学院大学, 情報科学研究科

〒630-0192 けいはんな学研都市

E-mail: †{yuu-ta,yoneda,fujiwara}@is.naist.jp

あらまし 本論文では, システムオンチップに搭載されるスキャン設計されたマルチクロックドメインコアに対するラッパー設計法を提案する. 提案するラッパーは, スキャンシフト時とキャプチャ時でその構成を切り替え可能な再構成可能ラッパーである. また, シフト時のラッパー設計においてシフト時専用のドメインを追加することで, 消費電力制約下において従来手法よりもシフト時間の削減が可能である.

キーワード システムオンチップ, 再構成可能ラッパー, 消費電力, マルチクロックドメイン

## Re-configurable Wrapper Design for Multi-Clock Domain Cores Under Power Constraints

Yu TANAKA<sup>†</sup>, Tomokazu YONEDA<sup>†</sup>, and Hideo FUJIWARA<sup>†</sup>

<sup>†</sup> Graduate School of Information Science, Nara Institute of Science and Technology

Kansai Science City, 630-0192, Japan

E-mail: †{yuu-ta,yoneda,fujiwara}@is.naist.jp

**Abstract** This paper presents a re-configurable wrapper design for scan-designed multi-clock domain cores in system-on-chips. The proposed wrapper can be reconfigured in between scan-shifting and capture operations. Furthermore, the proposed method can add additional domains to the wrapper design for shift operation. Consequently, shift time can be reduced compared to previous method under power constraints.

**Key words** System-on-Chip, Re-configurable Wrapper, Power Constraints, Multi-Clock Domain

### 1. ま え が き

近年の半導体技術の向上に伴い, 従来では複数のLSIにより構成していたシステムを, 各LSIをコアと呼ばれる機能ブロックとして組み合わせることで一つのLSI上でシステムを実現するシステムオンチップ(System-on-Chip, 以下SoC)が増えてきている. これにより, ボードに搭載するチップ数の低減による実装面積の縮小化, 実装コストの低減, 高速化といった効果を持つ. また設計済みのコアを再利用することで短期間で, 大規模な回路の設計が可能になる. しかし, SoCのテストは従来のボード上に複数のLSIで構成していたシステムに比べ困難であり膨大な時間とコストが必要となるため, SoCに対するテスト容易化設計が必要不可欠である.

SoCにおいては, 内部に埋め込まれたコアはSoC外部からは直接制御, 観測することは出来ない. また, テスト対象コアは他のコアと論理的に切り離してテストする必要がある. これより

SoCのテストには, (1) テストパターン発生器およびテスト応答解析器, (2) テストアクセス機構(Test Access Mechanism, 以下TAM), (3) ラッパーが必要となる[1]. 本研究では, テストパターン発生器およびテスト応答解析器として自動テスト装置(Automatic Test Equipment, 以下ATE)を用いるものとする. TAMとは, ATEとコアを接続するものであり, ラッパーを通じてコアとATE間でのテストデータの伝搬を行う. ラッパーとは他のコアからテスト対象のコアを論理的に独立させ, 通常動作とTAMを利用したテスト動作とを切り替える機能を提供するものであり, IEEE1500[2]として標準化されている. これまでに, テストバス方式に基づくTAM[3][4][5], 透明経路方式に基づくTAM[6][7][8]と数多くのTAMが提案されている. また, ラッパー設計手法も数多く提案されている[9][10]. 更にテスト実行時間を短縮するために様々なテストスケジューリング手法が提案されている[11][12].

近年の通信端末やデジタル信号処理に用いられるSoCでは,

複数のクロックドメインを持つコア（以下、マルチクロックドメインコア（図1））が多く使われている[13]。マルチクロックドメインコアに対するテストでは実動作速度によるテストが重要であり、さらにテスト時の各クロックドメイン間のクロックスキューの問題を解消する手法が必要となる。クロックスキューの問題とは異なる周波数で動作するドメイン間におけるクロック信号のずれによりそのドメイン間のデータ転送が正常に行われず、本来とは異なる値を保持してしまうことをいう。従来のラッパー設計法はこのクロックスキューの問題を考慮しておらず、マルチクロックドメインコアに対しては適用不可能である。[14]で初めてマルチクロックドメインコアに対するラッパー設計法が提案された。この手法ではテスト時のクロックスキューの問題を実動作速度での動作が必要なキャプチャ時と実動作速度での動作が必要でないスキャンシフト時に分割して解決している。キャプチャ時ではキャプチャウィンドウ[15]を用いることでクロックスキューの問題を解決している。シフト時は同一クロックドメインに属する入力端子、出力端子、双方向端子とスキャンチェーンを仮想的にコア（Virtual Core、以下VC）とし、VC毎に独立したラッパーを設計し異なるドメイン間のデータ転送をなくすことで、クロックスキューの問題を解消している。さらに[16]では、シフト時の動作に着目し、消費電力制約下でシフト時間を削減する方法が提案されている。[14]では、シフト時は全てのVCで同一のシフト周波数を使用していたが、[16]ではVC毎に異なるシフト周波数でシフト動作するラッパーを設計することにより、シフト時のクロックスキューの問題を解決したまま消費電力制約下でのシフト時間を削減している。

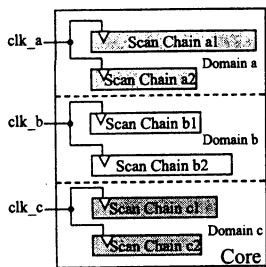


図1 マルチクロックドメインコア

本論文ではシフト時のクロックスキューの問題を解消し、消費電力制約下でさらなるシフト時間の削減が可能なラッパー設計法を提案する。実動作速度で動作させる必要があるキャプチャ時は各ドメイン毎にラッパーを設計する必要があるが、シフト時は実動作速度での動作は必要としないため、各クロックドメイン毎にラッパーを設計する必要はない。そこで、提案手法では、シフト時とキャプチャ時で異なるVCを形成する再構成可能ラッパーを提案する。シフト時に異なるドメインに属するスキャンチェーンを用いてVCを形成しラッパーを設計した場合にはクロックスキューの問題が発生する場合がある。提案手法では、ラッチを用いたクロックスキューの問題の解決方法を導入する[17]。さらにシフト時専用のクロックドメインを新た

に追加することにより、通常動作時は単一の周波数でしか動作しないドメインをシフト時は複数の周波数で動作可能としている。これにより、ラッパー設計時のスキャンチェーン接続の自由度、および各ラッパー・スキャンチェーンの周波数選択の自由度が増し、電力制約下でのシフト時間を大幅に削減することが可能となる。

以下、2章ではマルチクロックドメインコアラッパーについて説明する。3章で諸定義、4章で問題の定式化を行い、5章でラッパー設計法の説明をする。6章で実験結果を示し、7章でまとめを行う。

## 2. マルチクロックドメインコアラッパー

### 2.1 従来手法 [DAC'05 [16]]

[16]で提案されているマルチクロックドメインコアラッパーを図2に示す。同一のクロックドメイン内のスキャンチェーン、入力端子、出力端子、双方向端子を仮想的にコア（VC）とみなし、そのVCに対しラッパー（Virtual Core Wrapper、以下VCW）を設計している。これによりシフト時は他のドメインとのデータ転送を無くし、クロックスキューの問題を解決している。各VCWにはバーチャルテストバス（Virtual Test Bus、以下VTB）が接続され、各VCは異なった周波数で動作することが可能である。TAMとVTBは動作周波数が異なるのでVTB逆多重化回路（VTB-Demultiplexing interface unit、以下VTB-DIU）、VTB多重化回路（VTB-Multiplexing interface Unit、以下VTB-MIU）を通じてデータの転送が行われる。スキャンコントロールブロック（Scan Control Block、以下SCB）は、VTB-DIUとVTB-MIUのデータ転送の制御、各VCへのクロック信号、およびスキャンイネーブル信号を供給しキャプチャウィンドウの制御を行う。

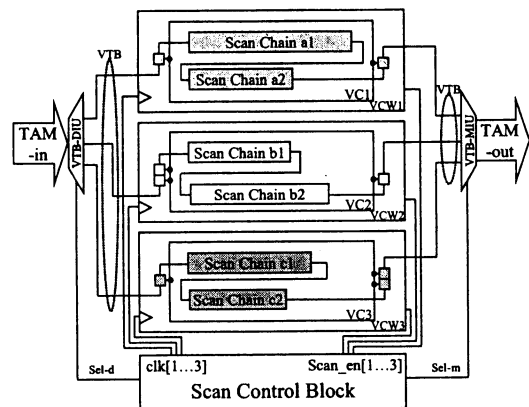


図2 マルチクロックドメインコアラッパー[16]

### 2.2 提案手法

本論文では、シフト時とキャプチャ時で異なるVCを形成する再構成可能ラッパーを提案する。図3に提案手法におけるシフト時のマルチクロックドメインコアラッパーを示す。異なるドメインに属するスキャンチェーンを用いてVCを形成し、各VC毎に異なる周波数で動作するラッパーを設計すること

で消費電力制約下で短いシフト時間が達成可能である。異なるドメインに属するスキャンチェーンを用いて VC を形成しラッパーを設計した場合にはクロックスキューの問題が発生する場合がある。提案手法では、ラッチを追加してクロックスキュー問題を解決する [17]。図 3 ではスキャンチェーン a2 と b1, b2 と c1 でドメインが異なるので、それらの間にスキューを吸収するラッチが必要となる。a2 と b1 の間に追加されるラッチを図 4 に示す。さらに本手法では同一ドメイン内のスキャンチェーンを複数の周波数で動作させることを考える。この際に既存のクロックツリーでは 1 種類の周波数しか供給できないため、新たにシフト時専用のクロックツリー追加することにより、同一ドメイン内のスキャンチェーンを異なる周波数で動作可能とする。図 5 では図 3 のスキャンチェーン b2 のクロック入力に対してマルチプレクサを挿入することにより b1 と b2 を異なる周波数で動作可能としている。

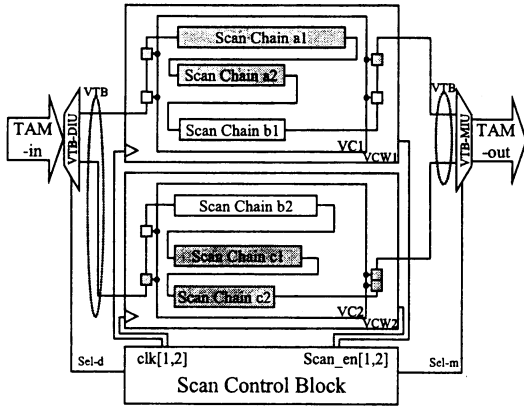


図 3 提案法アーキテクチャ：シフト時

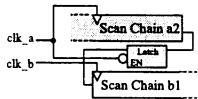


図 4 ラッチの追加

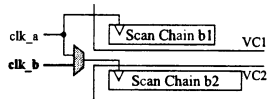


図 5 クロックツリーの追加

本研究ではキャプチャ時に関しては [16] と同一のキャプチャウィンドウを用いる。キャプチャウィンドウ内では実動作速度でシフトする必要があり、各ドメイン毎にラッパーを設計する必要がある。しかし、スキューロードテストにおいては実動作速度でのシフト動作が一度のみしか必要ないのでキャプチャ時のラッパー設計に因らざテスト時間は一定である。またキャプチャウィンドウに必要な時間はシフト時間に比べて短いため、以後本論文ではシフト時のラッパー設計法についてのみ提案する。

### 3. 諸定義

#### 3.1 消費電力

CMOS トランジスタにおける消費電力には、静的なものと同動的なものがある。リーク電流や電源から連続的に流れ込むその他の電流が静的な消費電力を発生させる。一方、動的な消費電力は短絡電流や負荷容量の充放電による出力のスイッチング

で発生する。しかし、スイッチング動作による動的な電力消費に比べるとリーク電流などによる電力消費は無視できる。そこで、2 つのテストパターン ( $V_{k-1}, V_k$ ) を回路に印加したときの CMOS 回路全体の消費電力  $P_{active}$  は次式で近似される。

$$P_{active}(k) = \frac{1}{2} \cdot f \cdot V_{DD}^2 \cdot \sum C_i \cdot S_i(k) \quad (1)$$

ここで、 $S_i(k)$  は、 $i$  番目のゲートの出力値が ( $V_{k-1}, V_k$ ) を印加後、変化したときに 1、そうでなければ 0 となる関数であり、 $C_i$  は  $i$  番目のゲートの負荷容量である。この式を用いると平均消費電力  $P_{ave}$ 、ピーク消費電力  $P_{peak}$  はそれぞれ以下の式で与えられる。

$$P_{ave} = \sum_{k=1}^n P_{active}(k) / n \quad (2)$$

$$P_{peak} = \max_k(P_{active}(k)) \quad (3)$$

ここで、 $n$  はテストパターン数である。本論文では、式 (1)~(3) より平均消費電力とピーク消費電力は共に周波数に比例するものとする。また、本論文で提案する手法は、平均消費電力またはピーク消費電力のどちらかを制約として考慮した場合でも同様に扱うことが可能であるので、以降は単に消費電力とし、平均消費電力とピーク消費電力を区別しない。

#### 3.2 パーシャルテストパス

本論文では [18] と同じくパーシャルテストパス (VTB) という概念を利用する。TAM-in のビット幅を  $W_{ext}$ 、動作周波数を  $f_{ATE}$  とする。VC の数を  $n$  とし、各 VC  $V_i$  ( $1 \leq i \leq n$ ) に接続する VTB のビット幅を  $W_i$ 、その動作周波数を  $f_{VTB,i}$  とすると以下の関係が成立する。

$$W_{ext} \times f_{ATE} \geq \sum_{i=1}^n (W_i \times f_{VTB,i}) \quad (4)$$

この式を満たす範囲で各 VTB のビット幅および動作周波数を変更可能である。ある VC  $V_i$  に接続する VTB が持つ周波数を  $\frac{1}{d}$  倍にすると式 (1) よりその  $V_i$  の消費電力も  $\frac{1}{d}$  倍になる。しかし、この周波数の低下に伴い、VTB を用いない場合はシフト時間は  $d$  倍となる。ここで VTB を用いることで  $d$  倍のビット幅を使用可能になるのでシフト時間の増加を防ぐことが可能である。

### 4. 問題の定式化

消費電力制約下において、シフト時間の最小化を目的としたシフト時のマルチクロックドメインコアラッパー設計を以下の最適化問題として定式化する。

[定義 1] マルチクロックドメインコアラッパー設計問題  
入力

- ATE 周波数  $f_{ATE}$
- TAM 幅  $W_{ext}$
- 最大許容消費電力量  $P_{max}$
- シフト時に使用可能な周波数の集合

$$F = \{f_1, f_2, f_3, \dots, f_m | f_i = 2 \times f_{i+1}, i \in 1, \dots, m-1\}$$

- 入力端子数  $N_{in}$
- 出力端子数  $N_{out}$
- 双方向端子数  $N_b$

- スキャンチェーン数  $N_{sc}$
  - 各スキャンチェーン  $i$  ( $1 \leq i \leq N_{sc}$ ) に対して、
    - 長さ  $l_i$
    - $f_{ATE}$  で動作した場合の消費電力量  $p_i$
- 出力

- VC の集合  $V = \{V_1, V_2, V_3, \dots, V_k\}$
- 各 VC  $V_j \in V$  に対して
  - シフト周波数  $f_{VTB,j}$
  - VTB のビット幅  $W_j$
  - ラッパー設計

目的

- シフト時間の最小化

制約

- VTB のビット幅とシフト周波数に関する制約

$$W_{ext} \times f_{ATE} \geq \sum_{j=1}^{|V|} (W_j \times f_{VTB,j})$$

- 使用可能なシフト周波数に関する制約

各 VC  $V_j \in V$  に対して  $f_{VTB,j} \in F$

- 消費電力量に関する

VC  $V_j$  に属するスキャンチェーンの集合を  $SC_j$  とした時、

$$P_{max} \geq \sum_{j=1}^{|V|} \sum_{i \in SC_j} p_i \times \frac{f_{VTB,j}}{f_{ATE}}$$

## 5. ラッパー設計法

本章ではマルチクロックドメインコアに対するシフト時のラッパー設計法について述べる。シフト時間最小化のためには、マルチクロックドメインコアを構成する全てのスキャンチェーン、入力端子、出力端子、双方向端子を1つのVCとし、そのVCのシフト周波数を使用可能なシフト周波数の最大値としてラッパーを設計することが望ましい。しかしながら、使用可能なシフト周波数の最大値のみを用いてラッパーを設計すると、与えられた電力制約を満たさない場合が存在する。この場合、設計されたラッパーに対して1ビットのVTBとそのVTBに属するスキャンチェーン、入力端子、出力端子、双方向端子をVCから削除する。削除したスキャンチェーン、入力端子、出力端子、双方向端子で新たなVCを形成し、そのVCに対してより低い周波数で動作するラッパーを再設計することで消費電力を削減する。この際、シフト時間の増加が最も少ないVTBを選択することで短いシフト時間を達成する。この手続きを電力制約を満たすまで繰り返す。図6に提案するアルゴリズムの概要を示し、その詳細を以下に示す。

### ステップ1：初期設定

VCの集合  $V = \{V_1\}$  とし、 $V_1$  を全てのスキャンチェーン、入力端子、出力端子、双方向端子で形成する。 $V_1$  のシフト周波数  $f_{VTB,1}$  を  $f_1$  とし、 $W_1$  を以下の式を満たす最大の整数とする。式を満たす  $W_1$  が存在しない場合にはシフト周波数  $f_{VTB,1}$  を下げて同様の処理を繰り返す。

$$W_{ext} \times f_{ATE} \geq (W_1 \times f_{VTB,1}) \quad (5)$$

### ステップ2：シフト時間優先型ラッパー設計

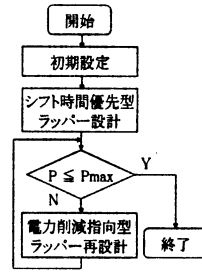


図6 提案アルゴリズムの概要

VC  $V_1$  に対して消費電力制約を考慮せずに[9]のアルゴリズムを用いてラッパーを設計する。ここでラッパー設計後のVC  $V_i$  に接続するVTB  $VTB_{i,j}$  ( $1 \leq j \leq |W_i|$ ) に属するスキャンチェーンの集合、入力端子の集合、出力端子の集合、双方向端子の集合をそれぞれ  $S_{i,j}^{sc}$ ,  $S_{i,j}^{in}$ ,  $S_{i,j}^{out}$ ,  $S_{i,j}^{bi}$  とする。このとき、 $S_{i,j}^{sc}$  に属するスキャンチェーンの長さの総和を  $L_{i,j}$  とすると  $L_{i,j}$  は以下の式で表すことができる。

$$L_{i,j} = \sum_{s \in S_{i,j}^{sc}} l_s \quad (6)$$

式(6)を用いると  $V_i$  に対するシフト時間  $T_i$  と消費電力量  $P_i$  は以下の式で求められる。

$$T_i = \max_{1 \leq j \leq |W_i|} \left\{ \frac{\max\{L_{i,j} + |S_{i,j}^{in}| + |S_{i,j}^{bi}|, L_{i,j} + |S_{i,j}^{out}| + |S_{i,j}^{bi}|\}}{f_{VTB,i}} \right\} \quad (7)$$

$$P_i = \sum_{j=1}^{W_i} \sum_{s \in SC_{i,j}^{sc}} p_s \times \frac{f_{VTB,i}}{f_{ATE}} \quad (8)$$

また、マルチクロックドメインコア全体に対するシフト時間  $T$  と消費電力量  $P$  は以下の式で求められる。

$$T = \max_{1 \leq i \leq |V|} \{T_i\} \quad (9)$$

$$P = \sum_{i=1}^{|V|} P_i \quad (10)$$

$P \leq P_{max}$  ならば終了。そうでなければステップ3へ移る。

図7にステップ2終了時点でのラッパー一例を示す。この例ではVC数が1、そのビット幅  $W_1 = 3$ 、周波数  $f_{VTB,1} = 100\text{MHz}$  に対して100, 100, 80, 70, 60, 40, 40の長さのスキャンチェーンを用いてラッパーを設計した結果を示す。この例では、各スキャンチェーンが100MHzで動作した場合の消費電力量をそのスキャンチェーンの長さとした。この結果、消費電力量  $P = 490$ 、シフト時間  $T = 180\mu\text{sec}$  となっている。

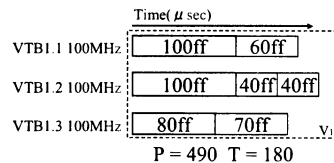


図7 ステップ2終了後のラッパー設計例

### ステップ3：電力削減指向型ラッパー再設計

図8に本ステップの概要を示す。 $f_{VTB,i} > f_m$  を満たす

各  $V_i \in V$  に接続する各 VTB  $VTB_{i,j} (1 \leq j \leq W_i)$  に対して、以下の処理を行う。  $VTB_{i,j}$  を  $\frac{f_{VTB,i}}{2}$  で動作する 2 本の VTB とし、その 2 本の VTB を用いて  $VTB_{i,j}$  に属していた  $S_{i,j}^{SC}, S_{i,j}^{in}, S_{i,j}^{out}, S_{i,j}^{bi}$  に対するラッパーを再設計し、再設計後の  $VTB_{i,j}$  のシフト時間  $T_{i,j}$  を求める。その場合の消費電力の削減量  $P_{i,j}$  は以下の式で表される。

$$P_{i,j} = \frac{\sum_{s \in SC_{i,j}} P_s \times \frac{f_{VTB,i}}{f_{ATE}}}{2} \quad (8)$$

$T_{min} = \min_{i,j} \{T_{i,j}\}$  とした時、以下の条件を満たす  $VTB_{i,j}$  を選択する。

- $T_{min} > T$  ならば、 $T_{i,j}$  が最小
- $T_{min} \leq T$  ならば、 $T_{i,j} \leq T$  かつ  $P_{i,j}$  が最大

選択した  $V_i$  の VTB のビット幅  $W_i$  を 1 減らし、選択した  $VTB_{i,j}$  に接続されていたスキャンチェーン、入力端子、出力端子、双方向端子を  $V_i$  から削除する。次に周波数  $\frac{f_{VTB,i}}{2}$  で動作する VC を  $V_h$  とする。  $V_h$  が存在しない場合には、新たに  $V_h$  を生成し、  $f_{VTB,h} = \frac{f_{VTB,i}}{2}$ 、  $W_h = 0$  とする。  $W_h$  を 2 増やし、削除された  $S_{i,j}^{SC}, S_{i,j}^{in}, S_{i,j}^{out}, S_{i,j}^{bi}$  を  $V_h$  に追加し、追加された要素に対するラッパーを再設計後のものに更新する。また、  $P = P - P_{i,j}$  とし、  $T_{min} > T$  ならば  $T = T_{min}$  として、消費電力量とシフト時間を更新する。上記の手続きは  $P \leq P_{max}$  を満たすまで繰り返す。

図 7 のラッパー設計例に対して、この処理を実行した例を図 9 に示す。この例では 100MHz で動作する  $V_1$  内の  $VTB_{1,3}$  およびそれに属するスキャンチェーンを  $V_1$  から削除し、新たに 50MHz で動作する  $V_2$  を作成し、2 ビットのラッパーを設計した場合 (図 9(c)) が選択される。このときシフト時間  $T = 180$ 、消費電力量  $P = 415$  となり、シフト時間を増加させることなく消費電力のみを減少させることに成功している。

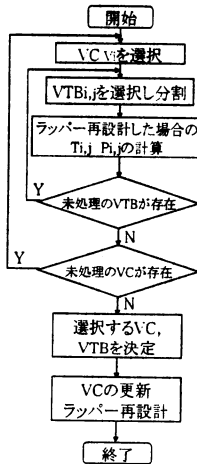


図 8 ステップ 3: 電力削減ラッパー再設計の概要

## 6. 実験結果

本章では提案するラッパー設計法をマルチクロックドメインコ

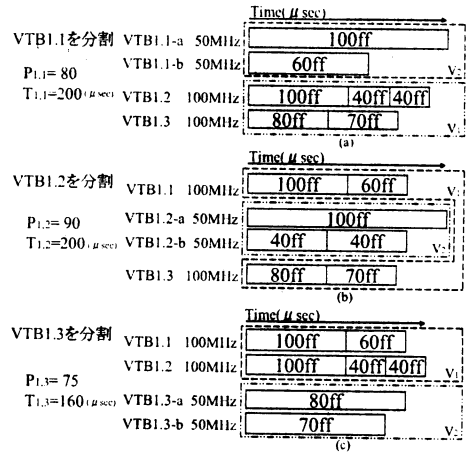


図 9 電力削減ラッパー再設計例

ア hCADT01 [16] に適用した評価実験を行い、従来手法と比較した結果を示す。提案手法を C 言語で実装し、Pentium3 800MHz 512MB メモリ搭載の計算機上で実験を行った。解を求めるための実行時間は全てにおいて 1 秒以内で解を求めることが出来た。表 1 に実験対象である hCADT01 コアの特性を示し、表 2 に実験結果を示す。  $N_{in}$ 、  $N_{out}$ 、  $N_{bi}$ 、  $N_{sc}$ 、  $l_i$  はそれぞれ、入力端子数、出力端子数、双方向端子数、スキャンチェーン数、各スキャンチェーンの長さを示す。本実験では、各スキャンチェーンの  $f_{ATE}$  で動作した場合の消費電力量はそのスキャンチェーンの長さとした。  $TAM$  は TAM 幅を表し、  $P_{max}$  は許容電力量を表し、それを 1500、3000、4500、 $\infty$  と変化させた。また、本実験では  $f_{ATE} = 100MHz$  とし、使用可能な周波数の集合を  $F = \{100MHz, 50MHz, 25MHz, 12.5MHz\}$  とした。それぞれの条件について従来法 [16] と提案法のシフト時間、および従来法に対する提案法の削減率を示す。

多くの場合で従来法に比べ約 10%~20% のシフト時間の削減に成功している。特に  $W_{ext} = 12$ 、  $P_{max} = \infty$  の場合に 22.17% の削減率を達成した。これは、ドメインに関わらずスキャンチェーンを自由に接続するラッパー設計を可能としたことの効果だと考えられる。削減率が 0% のところが各所にあるが、これは従来法、提案法共にシフト時間の下界に達しているため、それ以上の削減を達成することが出来ないと考えられる。提案手法ではテスト用の新たなドメイン追加のためにクロックツリーを追加する必要がある。クロックツリー追加のためにはコア全体の再設計が必要になる場合がある。したがって再設計のコストを抑えるために追加可能なクロックツリー数を制限した手法を提案することが今後の課題として挙げられる。

## 7. まとめ

本論文では、システムオンチップに搭載されるスキャン設計されたマルチクロックドメインコアに対するラッパー設計法を提案した。提案したラッパーは、スキャンシフト時とキャプチャ時でその構成を切り替え可能な再構成可能ラッパーである。シフト時のラッパー設計において、ラッチを用いたクロックス

表 1 hCADDT01 回路

周波数 (MHz)	$N_{in}$	$N_{out}$	$N_{bi}$	$N_{sc}$	$I_i$														
200	109	32	72	16	168	168	166	166	163	163	163	163	162	162	162	151	151	151	151
133	144	67	72	3	150 150 150														
120	89	8	72	10	93 93 93 93 93 93 93 93 93														
75	111	31	72	6	219 219 219 219 219 219														
50	117	224	72	5	521 521 521 521 521														
33	146	68	72	11	82 82 82 81 81 81 18 18 17 17 17														
25	15	30	72	4	10 10 10 10														

表 2 シフト時間 [ $\mu$  sec]

TAM	Pmax=1500			Pmax=3000			Pmax=4500			Pmax= $\infty$		
	DAC'05 [16]	本手法	削減率	DAC'05 [16]	本手法	削減率	DAC'05 [16]	本手法	削減率	DAC'05 [16]	本手法	削減率
16	20.84	20.84	0.00%	10.42	10.42	0.00%	7.44	7.44	0.00%	7.44	6.08	18.28%
15	20.84	20.84	0.00%	10.42	10.42	0.00%	8.76	8.76	0.00%	7.49	6.49	13.35%
14	20.84	20.84	0.00%	10.42	10.42	0.00%	8.88	8.76	1.35%	8.88	6.95	21.73%
13	20.84	20.84	0.00%	10.42	10.42	0.00%	10.42	10.42	0.00%	9.59	7.48	22.00%
12	20.84	20.84	0.00%	10.42	10.42	0.00%	10.42	10.42	0.00%	10.42	8.11	22.17%
11	20.84	20.84	0.00%	11.62	10.42	10.33%	10.42	10.42	0.00%	10.42	8.84	15.16%
10	20.84	20.84	0.00%	12.08	10.42	13.74%	11.62	10.42	10.33%	11.62	9.73	16.27%
9	20.84	20.84	0.00%	13.00	10.82	16.77%	12.78	10.81	15.41%	12.78	10.81	15.41%
8	20.84	20.84	0.00%	14.48	12.48	13.81%	14.88	12.16	18.28%	14.88	12.16	18.28%
7	20.84	20.84	0.00%	17.76	13.92	21.62%	15.63	13.90	11.07%	15.63	13.89	11.13%
6	20.84	20.84	0.00%	20.84	16.24	22.07%	19.20	16.22	15.52%	19.18	16.21	15.48%
5	25.04	20.84	16.77%	23.24	19.46	16.27%	23.24	19.46	16.27%	23.24	19.45	16.31%
4	29.76	26.00	12.63%	29.76	24.32	18.28%	29.01	24.32	16.17%	29.01	24.31	16.20%
3	41.68	41.68	0.00%	38.36	32.42	15.48%	38.36	32.42	15.48%	38.36	32.42	15.48%
2	59.88	48.64	18.77%	58.02	48.64	16.17%	58.02	48.62	16.20%	58.02	48.61	16.22%
1	116.04	97.28	16.17%	116.04	97.24	16.20%	116.04	97.22	16.22%	116.04	97.22	16.22%

キュー解消法を導入し、さらにシフト時専用のドメインを追加することで消費電力制約下でのシフト時間の削減が可能である。マルチクロックドメインコア hCADDT01 回路に対する評価実験では、約 10%~20% のシフト時間の削減が可能であることを示した。提案手法ではテスト用の新たなドメイン追加のためにクロックツリーも追加する必要がある。クロックツリー追加のためにはコア全体の再設計が必要になる場合がある。したがって再設計のコストを抑えるために追加可能なクロックツリー数を制限した手法を提案することが今後の課題として挙げられる。

謝辞 本研究に際し、多くの貴重な意見を頂いた本学の井上美智子助教授、大竹哲史助手はじめコンピュータ設計学講座の諸氏に深く感謝します。

本研究は一部、日本学術振興会科学技術研究費補助金・基盤研究 B(2)(課題番号 15300018) の研究助成による。

## 文 献

- [1] Yervant Zorian, Erik Jan Marinissen, and Sujit Dey, "Testing Embedded Core-Based System Chips", Proc. IEEE International Test Conference (ITC), pp.130-143, 1998
- [2] E.J. Marinissen, R. Kapur, M. Lousberg, T. McLaurin, M. Ricchetti and Y. Zorian, "On IEEE P1500's Standard for Embedded Core Test", JETTA Vol.18, Numbers 4/5, August/October 2002.
- [3] Prab Varma and Sandeep Bhatia, "A Structured Test Re-Use Methodology for Core-Based System Chips", Proc. IEEE International Test Conference (ITC), pp.294-302, 1998
- [4] S. Bhatia, T. Gheewala and P. Varma, "A unifying methodology for intellectual property and custom logic testing" Proc 1996 Int. Test Conf., pp.639-648, Oct. 1996.
- [5] Erik Jan Marinissen et al., "A Structured And Scalable Mechanism for Test Access to Embedded Reusable cores," Proc. IEEE International Test Conference (ITC), pp.284-293, 1998
- [6] M. Nourani and C.A. Papachristou, "Structural Fault Testing of Embedded Cores Using Pipelining", JETTA, pp.284-293, 1998
- [7] I. Ghosh, N.K. Jha and S. Dey, "A low overhead design for testability and test generation technique for core-based

systems-on-a-chip" IEEE Trans. on CAD, Vol.18, No.11, pp.1661-1676, Nov. 1999.

- [8] Tomokazu Yoneda, Tetsuo Uchiyama and Hideo Fujiwara, "Area and time co-optimization for system-on-a-chip based on consecutive testability," IEEE International Test Conference 2003 (ITC'03), pp.415-422, Sep. 2003.
- [9] V. Iyengar, K. Chakrabarty, and E. J. Marinissen. Co-Optimization of Test Wrapper and Test Access Architecture for Embedded Cores. Journal of Electronic Testing: Theory and Applications, 18(2):213-230, Apr. 2002.
- [10] S. Koranne. A Novel Reconfigurable Wrapper for Testing of Embedded Core-Based SOCs and its Associated Scheduling Algorithm. Journal of Electronic Testing: Theory and Applications, 18(4/5):415-434, Aug. 2002.
- [11] K. Chakrabarty, "Design of system-on-a-chip test access architectures using integer linear programming," Proc. 18th VLSI Test Symp., pp.127-134, May 2000.
- [12] V. Iyengar, K. Chakrabarty and E.J. Marinissen, "On using rectangle packing for SOC wrapper/TAM co-optimization," Proc. 20th VLSI Test Symp., pp.253-258, Apr. 2002.
- [13] B. Vermeulen, S. Oostdijk, and F. Bouwman. Test and Debug Strategy of the PNX8525 NexperiaTM Digital Video Platform System Chip. In Proceedings IEEE International Test Conference (ITC), pages 121-130, Oct. 2001.
- [14] Q. Xu and N. Nicolici. Wrapper Design for Testing IP Cores with Multiple Clock Domains. In Proceedings Degin, Automation, and Test in Europe (DATE), pages 416-421, Paris, France, Feb. 2004
- [15] S. Bhawmik. Method and apparatus for built-in self-test with multiple clock circuits. U.S. Patent 5680543, Lucent Technologies Inc., Murray Hill, N.J., Oct. 21, 1997.
- [16] Q. Xu, N. Nicolici and Krishnendu Chakrabarty. Multi-Frequency Wrapper Design and Optimization for Embedded Cores Under Average Power Constraints. In Proceedings (DAC), 2005
- [17] Designs with Multiple Clock Domains: Avoiding Clock Skew and Reducing Pattern Count Using DFT Advisor and FastScan. Mentor Graphics Corporation March 2001 <http://www.mentor.com/dft>
- [18] A. Sehgal, V. Iyengar and K. Chakrabarty, "SOC test planning using virtual test access architectures", IEEE Transactions on VLSI Systems, vol. 12, pp.1263-1276, December 2004.