

FPGA を用いた生化学シミュレータ ReCSiP における ハードウェアリソース消費に関する考察

長名 保範[†] 吉見 真聡[†] 岩岡 洋[†] 小嶋 利紀^{††} 西川 由理^{††}
舟橋 啓^{†††} 広井 賀子^{†††} 柴田裕一郎^{††††} 岩永 直樹^{††††} 北野 宏明^{††††}
天野 英晴[†]

[†] 慶應義塾大学大学院理工学研究科 〒223-8522 横浜市港北区日吉 3-14-1

^{††} 慶應義塾大学理工学部情報工学科 〒223-8522 横浜市港北区日吉 3-14-1

^{†††} 科学技術振興機構 北野共生システムプロジェクト

〒150-0001 渋谷区神宮前 6-31-15 マンション 31 6A

^{††††} 長崎大学工学部情報システム工学科 〒852-8521 長崎市文教町 1-14

あらまし 集積回路の集積度の向上にともない、FPGA の回路容量が拡大し、近年では FPGA を用いた浮動小数点演算による科学技術計算の高速化が注目を集めている。DSP にも浮動小数点演算の可能なものが増加しており、近い将来 FPGA のような汎用のリコンフィギュラブルデバイスが浮動小数点演算器をハードマクロとして内蔵することも考えられる。本稿では、浮動小数点演算器を内蔵するような reconfigurable device の構成を検討するために、FPGA を用いた生化学シミュレータの実装を元に、ふたつの実装例から回路面積のプロファイリングを行い、浮動小数点演算に使用されている面積と、それ以外の制御などに用いられている面積の割合を数値化した結果を示す。

キーワード FPGA, 科学技術計算, 浮動小数点演算, 回路面積

Hardware-resource Utilization Analysis on an FPGA-Based Biochemical Simulator ReCSiP

Yasunori OSANA[†], Masato YOSHIMI[†], Yow IWAOKA[†], Toshinori KOJIMA^{††}, Yuri
NISHIKAWA^{††}, Akira FUNAHASHI^{†††}, Noriko HIROI^{†††}, Yuichiro SHIBATA^{††††}, Naoki
IWANAGA^{††††}, Hiroaki KITANO^{†††}, and Hideharu AMANO[†]

[†] Graduate School of Science and Technology, Keio University
3-14-1 Hiyoshi, Kouhoku-ku, Yokohama 223-8522, Japan

^{††} Department of Information and Computer Science, Faculty of Science and Technology, Keio University
3-14-1 Hiyoshi, Kouhoku-ku, Yokohama 223-8522, Japan

^{†††} Kitano Symbiotic Project, ERATO-SORST, Japan Science and Technology Corporation
6-31-15 Jingumae, M-31 Suite 6A, Shibuya-ku, Tokyo 150-0001, Japan

^{††††} Department of Computer and Information Sciences, Nagasaki University
1-14 Bunkyo-machi, Nagasaki #852-8521, Japan

Abstract Progress in LSI manufacturing technology is expanding circuit capacity of FPGAs steadily. This enabled floating-point arithmetics on FPGA, to accelerate scientific/technical applications. As recent DSPs are incorporating floating-point arithmetic units, FPGAs may do same thing in near future. This paper shows the circuit-area profile of two types of biochemical simulators, to consider the structure of future FPGAs with embedded FP capability.

Key words FPGA, Scientific computing, Floating-point arithmetics, Circuit area

1. はじめに

近年の大規模集積回路の微細化により、FPGA の回路容量は拡大を続けている。これにより、初期の glue logic device としての FPGA から、システム全体を 1 チップで構成する platform device としての FPGA へと、FPGA はその役割を変化させつつある。

回路容量の拡大に伴い、FPGA を用いての科学技術計算も多く行われるようになってきており、FPGA を用いた浮動小数点演算アプリケーションの実装例は年々増加してきている。FPGA に複数の浮動小数点演算器を搭載してパイプライン処理を行うことにより、さまざまなアプリケーションでマイクロプロセッサの数十倍から数百倍に及ぶ処理速度が実現されているが、各種の浮動小数点演算器は現在の大規模な FPGA をもってしても依然として大きな面積を消費するものであり、アプリケーションの実装を困難にしている。

FPGA は LUT を基本として構成されるデバイスであるが、用途の多様化に伴って、メモリや乗算器、マイクロプロセッサなどがハードマクロとして組み込まれるのが商用デバイスでは一般的になってきている。メモリや乗算器など、使用頻度の高い回路がハードマクロとして組み込まれることで、LUT の使用量を削減し、回路の動作周波数を向上することにも貢献している。

現在は FPGA に組み込まれた整数乗算器・積和演算器などが信号処理などのアプリケーションの高速化に貢献しているが、近い将来には近年の DSP と同様に、浮動小数点演算器が組み込まれることも十分に考えられる。このような FPGA を開発する場合、1 チップ上に展開される LUT や各種の浮動小数点演算器の割合が重要なファクタとなる。

本研究報告では FPGA を用いた生化学シミュレータの実装結果をもとに、FPGA を用いた浮動小数点アプリケーションにおける、演算器とその周辺のロジックの回路規模に関する分析結果について述べる。

2. 背景

2.1 FPGA の構成例: Xilinx Virtex-4

FPGA は通常の CMOS プロセスで製造されるため、プロセスの微細化に伴ってその回路容量を容易に増加させることができる。表 1 に示すように、90 年代はじめには、FPGA は 350nm プロセスで製造され、7500 程度の LUT をもっていたが、現在では 90nm プロセスが主流となり、20 万を超える LUT を持つチップも出荷されている。

従来の FPGA は均質な構造を持ち、チップ面積が増大すると LUT、メモリ、乗算器などがすべて同じように増加してきた(図 1 (a))。しかし、これではたとえば、DSP アプリケーションで多くの乗算器が必要な場合など、特定のハードマクロが多く必要な場合に大きなチップを選択する必要があり、余計なコストが必要であった。

これを解決するために Xilinx 社が Virtex-4 で採用したのが

ASMBL (Advanced Silicon Modular Block) アーキテクチャである。これは、チップを縦方向のカラムで分割し、LUT、メモリ、積和演算、マイクロプロセッサなどの機能ブロックを割合を変えて並べることで、さまざまなアプリケーション分野に対応するチップを実現する方式である(図 1 (b))。現在は LUT 主体の LX シリーズ、信号処理向けに積和演算器を多く搭載した SX シリーズと、マイクロプロセッサ・ギガビットトランシーバなどを搭載した FX シリーズの 3 つが製品として展開されている。

このようなカラムベースの、縦割り構成のアーキテクチャは基本的なシリコンの設計を同一にしてさまざまな製品を柔軟に展開できるため、さまざまなアプリケーションに向けての商用 FPGA のバリエーションの充実が期待できる。

2.2 浮動小数点アプリケーションの例: ReCSiP

ReCSiP は FPGA を用いた生化学シミュレータで、細胞内の代謝回路などを構成する化学反応の速度を計算することで、物質の濃度変化を時系列で求め、システムの挙動を数値的にシミュレーションするものである。生化学シミュレータはシステム生物学の研究には不可欠なツールであるが、ソフトウェアによる処理では時間がかかるため、ReCSiP では多数の浮動小数点演算器を FPGA 上に構成して並列動作させることで高速化を図り、最新の PC 向けマイクロプロセッサの数十倍程度の計算速度を実現している。

現在、微分方程式を用いた解析モデルと、モンテカルロ法を用いた確率モデルのふたつのシミュレータが実装されており、それぞれ全く異なった回路構成となる。本節の以下の部分ではそれぞれの回路構成について概説し、次節以降でそのリソース消費の傾向について分析する。

2.2.1 解析モデルを用いたシミュレーション

解析モデルでは、反応機構毎に異なる反応速度式が与えられ、モデルに含まれる反応速度式一式を連立微分方程式として、時間刻み毎に解いていく処理を行う。図 2 に示される回路構成のように、それぞれの反応速度式を解くモジュール (Solver) をスイッチで結合し、データ共有を行うことで連立微分方程式の処理を実現している [1]。各 Solver は反応速度式を解くモジュール (Solver Core) と、データを保持するためのメモリを含む積分モジュールから構成され、双方とも浮動小数点演算器が主要な構成要素であり、時間刻み毎に同じ処理を繰り返すことでプロセスが完結するため、データバスの制御系は比較的単純である。現在の FPGA の規模では Solver の数がそれほど多くな

表 1 各世代の FPGA のプロセス・LUT 数と電源電圧 (Xilinx 社)

プロセス	シリーズ	型番	LUT 数	電源電圧
350nm	XC4000	XC4085XLA	7,448	3.3V
250nm	XC4000	XC40250XV	20,102	2.5V
220nm	Virtex	XCV1000	27,648	2.5V
180nm	Virtex-E	XCV2000E	43,200	1.8V
150nm	Virtex-II	XC2V8000	104,882	1.5V
130nm	Virtex-IIPro	XC2VP125	125,136	1.5V
90nm	Virtex-4	XC4VLX200	200,448	1.2V

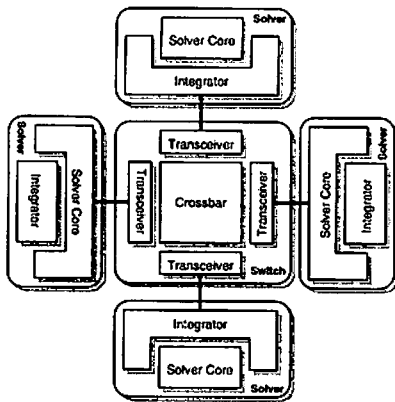


図2 解析モデルのハードウェア構成

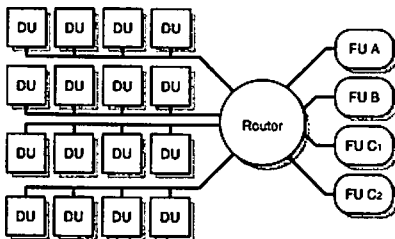


図3 確率モデルのハードウェア構成

ないため、スイッチはフルクロスバを利用している。

2.2.2 確率モデルを用いたシミュレーション

確率モデルでは、各物質の分子数から各反応の発生する確率を計算し、それに基づいて反応を選択、分子数を増減させることで処理を進める。反応の選択を効率よく行うためのデータ構造が処理速度の鍵を握るため、演算よりも制御に処理の重点が置かれる。回路構成としては、図3のように、ルータを中心として、データを保持する data unit(DU) と、計算を行う functional unit(FU) が複数結合される形をとる[2]。FU は処理の内容に応じて数種類存在し、各 FU の負荷の大きさや、面積に応じて DU や FU を増減することで、面積に応じて性能を向上することができる。DU, FU を合わせて 20 程度のユニット数になるため、ルータはクロスバではなく、不要なリンクを省いた、より面積の小さな構成になっている。

3. リソース消費量評価

本節では、解析モデル・確率モデルそれぞれのシミュレータを Xilinx 社の FPGA である Virtex-II Pro (XC2VP70) 上にテクノロジマッピングした状態での消費スライス数をもとに、浮動小数点演算器とそれ以外のロジックの占有面積比について述べる。

浮動小数点演算器の分類には加減算、乗算、除算および対数器を含めた。このうち、乗算器はひとつあたり、Virtex-II Pro の 18x18bit 組み込み整数乗算器を 1 ブロック使用する。ただし、スライス数のみで比較を行っているため、組み込み整数乗算器の分は評価に含まれていない。

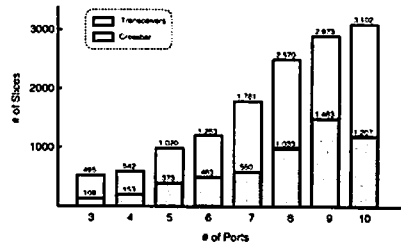


図6 スイッチの消費スライス数(解析モデル)

3.1 解析モデル

3.1.1 全体

解析モデル全体の面積プロファイルには、Minimal Mitotic Oscillator モデル [3] のシミュレーションを行う回路を用いた。この回路は 3 つの Solver で構成されており、積分モジュールは Euler 法を用いている。また、動作検証用のリファレンス環境として設計した ReCSiP-2 ボード [4] を用いてシミュレータを動作させるのに必要なホストインタフェイスも含む。

図4に示すように、面積の60%超が浮動小数点演算器によって占められており、この実装ではデータベースの制御よりも演算器の密度が性能面で重要であることが窺える。

また、反応経路を処理するための複雑な機構を持つ積分モジュールは、浮動小数点演算器が75%の面積に過ぎないのに対し、簡単なステートマシンとタイミング調整のためのシフトレジスタによって浮動小数点演算器を制御して反応速度を計算する Solver Core 部では93%の面積が浮動小数点演算器によって占められている。

3.1.2 Solver Core

さらに、いくつかの Solver Core についての面積プロファイルを図5に示す。図5の(a)と(b)はそれぞれ同じ関数を、Solver Core 全体の遅延を最小化するクリティカルパス優先スケジューリングと、面積を最小化する共有化優先スケジューリングで実装したものの [5] である。共有化優先スケジューリングでは、パイプラインの制御やデータの待ち合わせなどが複雑になるため、平均で30%程度制御部の面積が増加している。

3.1.3 スイッチ

スイッチは、フルクロスバの各ポートに、Solver とのインタフェイスをするためのモジュール (Transceiver) が接続される構成となっている。図6に、ポート数3から10までのクロスバとインタフェイス部の面積比を示す。インタフェイス部の面積はポート数に比例して増えているが、クロスバの面積はほぼポート数の自乗に比例しており、あまり多いポート数は現実的でないことがわかるが、現在は FPGA の面積的にたかだか4~5ポートなので、フルクロスバでも充分実用的な範囲に収まっている。

3.2 確率モデル

以下の DU/FU をそれぞれ1つずつ含む、もっとも基本的な構成の回路の面積プロファイルを図7に示す。

- Data Unit

- Functional Unit
- Propensity function unit (PF)
- Dependency graph (DG)
- Reactants table (RT)
- Tau modification (TR)
- Tau generation (TC)
- Molecular update table (UM)

結果として、解析モデルでは63.7%の面積を浮動小数点演算器が占めていたが、こちらでは59.1%であった。しかし、通常データユニットは複数用いられるため、実際に浮動小数点演算器が回路面積に占める割合はより低くなり、たとえばDUを10個に、PF-FUを2個に増やした場合の総スライス数は25,359スライスであり、浮動小数点演算器はそのうち8,829スライス、34.8%となる。

4. 考 察

同じ生化学シミュレータの実装であっても、解析モデル・確率モデルで、演算器の占める割合は大きく異なっており、前者は演算主体、後者は制御主体で性能向上を果たしていることがわかった。一方で、両者に共通な点は解析モデルであれば積分モジュール、確率モデルであればデータユニットにデータが格納されるメモリが配置されており、そのロジックリソース消費が比較的大きいという点である。これは、FPGA上の小さなメモリブロックにそれぞれ制御用のロジックを付加し、細粒度のデータバス制御を行うことがこれらのアプリケーション双方にとって重要である、という点である。また、解析モデルの実装では、多数の浮動小数点演算器を用いて深いパイプラインを構成するため、パイプラインの状態を制御するためのマルチプレクサやシフトレジスタが必要になるが、これらの演算器に直接接続される部分のロジックは比較的小さいことが図4や図5から読み取れる。

メモリや演算器の周辺の制御を行う回路はアプリケーションによって様々であり、浮動小数点演算器をハードマクロとして組み込んだreconfigurable deviceで科学技術計算を行う場合には、これらの制御回路実装のためにLUTベースのロジック・セルのような、細粒度の回路構成が必要であろうと考えられる。

また、複数の演算モジュールを接続するためのスイッチを用いるアプリケーションが多いため、クロスバのようなスイッチング用の機構をハードマクロとして組み込むことも有効であろうと考えられる。

5. まとめ・今後の課題

FPGAを用いた浮動小数点演算アプリケーションとして、解析モデルおよび確率モデルの生化学シミュレータの回路面積について分析を行った。その結果、解析モデルでは演算器主体、確率モデルでは制御系主体になっており、チップ面積の利用のしかたが大きく異なることが数値的に確認できた。メモリや演算器の周辺の回路はアプリケーションによって大きく異なっており、細粒度のリコンフィギャラブルロジックが必要であると考えられる。

評価手法の面では、今回はスライス数(LUT数)のみで比較を行ったため、演算器の種類ごとに面積が大きく異なったり、メモリ使用量などについての比較を行っていないなど、さまざまな課題を残しているが、今後シミュレータの実装が完成に近づくにつれて、より詳細かつ有用な評価結果が得られるものと考えられる。また、ハードマクロとして浮動小数点演算器を実装した場合に、同一チップ上のLUTやメモリなどとの面積比を考慮した評価なども、今後行っていく予定である。

また、同じく浮動小数点演算を用いた他のアプリケーションの評価なども含めて、科学技術計算向けの新しいreconfigurable deviceの開発などにつなげていきたいと考えている。

謝辞

本研究は、文部科学省の平成17年度科学技術振興調整費による「システム生物学者育成プログラム」の一環として行われたものです。また、本研究のハードウェア設計は、は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社の協力で行われています。

文 献

- [1] 長名, 吉見, 岩岡, 小嶋, 西川, 舟橋, 広井, 柴田, 岩永, 北野, 天野: "FPGAを用いた生化学シミュレータReCSiPのシミュレーション制御機構", RECONF2005 39, 電子情報通信学会 (2005).
- [2] 吉見, 長名, 岩岡, 西川, 小嶋, 舟橋, 広井, 柴田, 岩永, 北野, 天野: "データ転送網を用いた確率モデル生化学シミュレータのFPGAへの実装の検討 (to appear)", Reconf2005, 電子情報通信学会 (2006).
- [3] A. Goldbeter: "A minimal cascade model for the mitotic oscillator involving cyclin and cdc2 kinase", Proceedings of the National Academy of Sciences, Vol. 88, pp. 9107-9111 (1991).
- [4] ReCSiP Project Team: "ReCSiP project frontpage", <http://recsip.org/>.
- [5] N. Iwanaga, Y. Shibata, M. Yoshimi, Y. Osana, Y. Iwaoka, T. Fukushima, H. Amano, A. Funahashi, N. Hiroi, H. Kitano and K. Oguri: "Efficient Scheduling of Rate Law Functions for ODE-based Multimodel Biochemical Simulation on an FPGA", Proceedings of the 15th Field Programmable Logic and its applications (FPL) 2005, Tampere, Finland, IEEE, pp. 666-669 (2005).

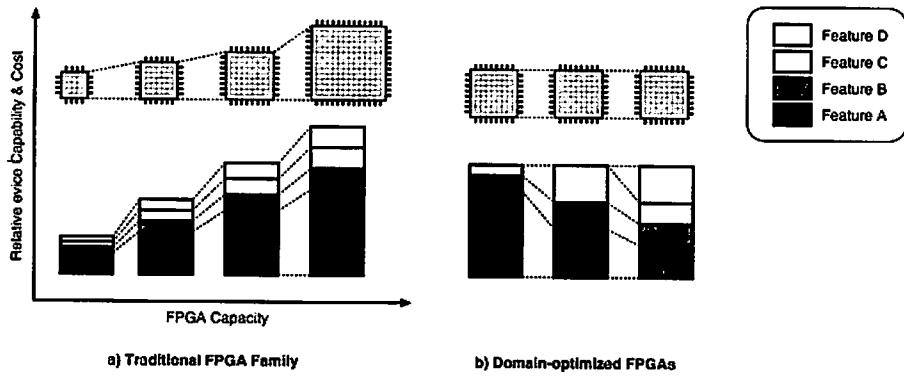


図 1 ASMBL アーキテクチャ

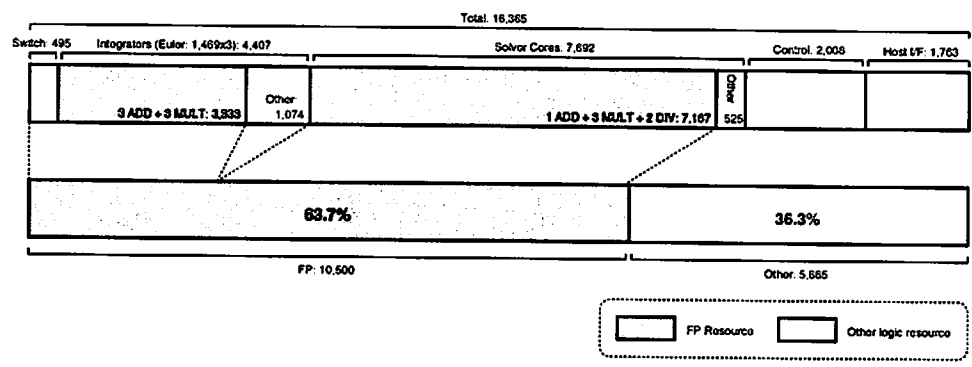


図 4 回路全体の面積プロファイル (解析モデル)

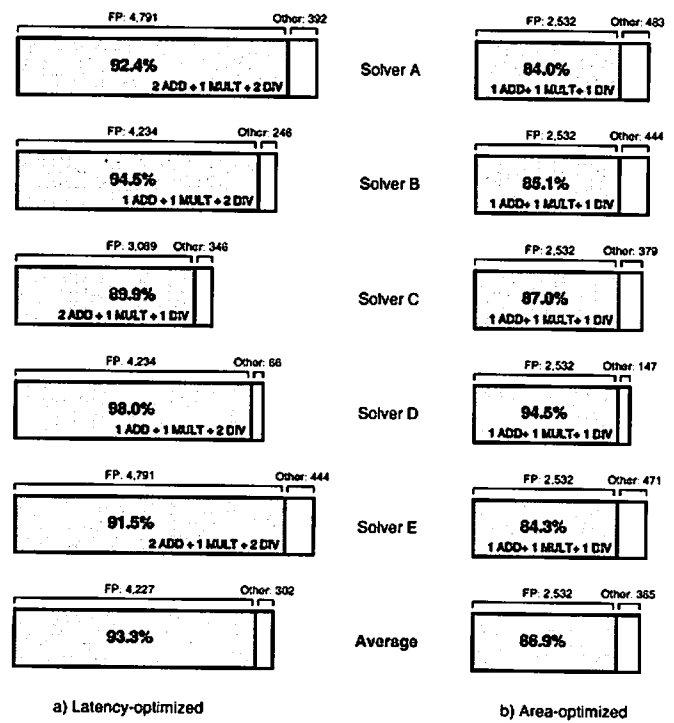


図 5 Solver Core の面積プロファイル (解析モデル)

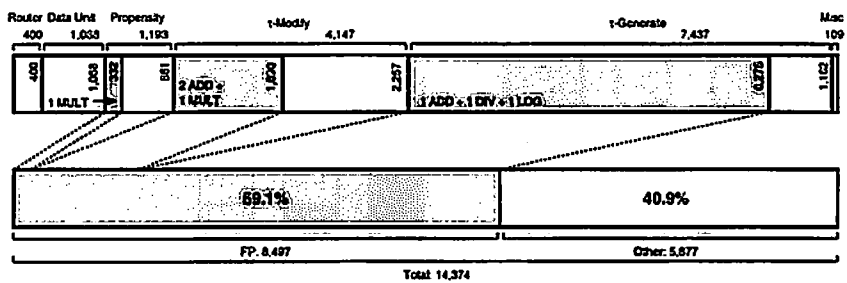


図 7 回路全体の面積プロファイル (確率モデル)