

相変化不揮発性メモリの多値記憶方式と回路設計

泉 貴富[†] 高田 雅史[†] 中山 和也[†] 北川 章夫[‡]

[†]金沢大学 工学部 〒920-1192 石川県金沢市角間町

[‡]金沢大学 医学部 〒920-0942 石川県金沢市小立野 5-11-80

E-mail: [†]{izumi,masashi}@merl.ec.t.kanazawa-u.ac.jp,[‡]knaka@kenroku.kanazawa-u.ac.jp

kitagawa@is.ec.t.kanazawa-u.ac.jp

あらまし 相変化不揮発性メモリ(PRAM)における新しい多値化記憶の手法と回路を提案する。PRAM は、記憶素子としてカルコゲナイド半導体を用いる。私達はカルコゲナイド半導体として $\text{Se}_{15}\text{Sb}_{15}\text{Te}_{70}$ を用いたメモリセルにおいて、電流パルスの印加回数に対し素子抵抗が段階的に変化することを実験的に確認した。その結果を用いて、8 段階に素子抵抗が変化するメモリセル(3bit/cell)を仮定して 0.35- μm CMOS テクノロジーを用いて、3bit 多値のメモリ回路を設計した。回路シミュレーションにて、1024×512 のメモリセルアレイを仮定して読み出し時間が、50ns 最大書き込み時間が 4.2us の結果を得た。

キーワード 多値記憶 PRAM OUM 相変化材料

Multiple Programming Method and Circuit Design for a Phase Change Nonvolatile Random Access Memory

Takatomi IZUMI[†], Masashi TAKATA[†], Kazuya NAKAYAMA[‡], and Akio KITAGAWA[†]

[†]Faculty of Engineering, Kanazawa University Kakuma-mati, Kanazawa-shi, Ishikawa, Japan.

[‡]School of Health Sciences, Kanazawa University 5-11-80 Kodatuno, Kanazawa-shi, Ishikawa, 920-0942 Japan.

E-mail: [†]{izumi,masashi}@merl.ec.t.kanazawa-u.ac.jp,[‡]knaka@kenroku.kanazawa-u.ac.jp

kitagawa@is.ec.t.kanazawa-u.ac.jp

Abstract A novel multiple programming method for a phase change nonvolatile random access memory(PRAM) is proposed. PRAM uses chalcogenide alloy for memory element. We have experimentally observed 8-valued resistance in the range of 41k Ω -836 Ω at the $\text{Se}_{15}\text{Sb}_{15}\text{Te}_{70}$ discrete memory cell(3bit/cell) that controlled by the number of the applied current pulses. On the basis of this experimental results, the 8-valued memory circuit was designed with 0.35- μm CMOS technology. It has been confirmed with a circuit simulation for 1024×512 cell array that read and write time are 50ns and 4.5us respectively at 3.3V supply voltage.

Keywords Multi-bit , PRAM , OUM , Phase change material

1. はじめに

モバイル機器の発達、情報量の増大に伴い大容量、小型、高速動作、安価な不揮発性メモリの需要が高まっている。これらの性能を満たす次世代不揮発性メモリの候補の一つとして、相変化不揮発性メモリ(PRAM)がある[1]。相変化不揮発メモリは、不揮発性、CMOS プロセスとの親和性、構造が簡単、スケールアップに作用されない、既存の技術をつかうことができ生産コストが安いという他の既存メモリや次世代メモリと比較して優れた特徴を持っている。現在、カルコゲナイド半導体 ($\text{Ge}_2\text{Sb}_2\text{Te}_5$) を用いた PRAM が多くの研究機関で開発中である[2]。特に、書き込み電流の削減のため

の相変化材料やデバイス構造の研究が盛んに行われている[3]。一方で、PRAM は多値記憶ができる可能性を持っている[4]。多値化によってビット/コストの削減が可能であり、より高密度なメモリの開発が期待できる。我々は、記憶素子として $\text{Se}_{15}\text{Sb}_{15}\text{Te}_{70}$ [5] の試料を用いて、電流パルスの印加回数に対し素子抵抗が段階的に変化することを実験的に確認し 3bit/cell の多値化が可能を見出した。本稿では、多値記憶の手法を説明し、多値記憶におけるメモリアーキテクチャを提案し CMOS0.35 μm プロセスを用いて行った回路シミュレーションの結果を報告する。

2. 記憶原理

2.1.2 値記憶

カルコゲナイド半導体には、常温で安定した非晶質状態と結晶状態の 2 つの状態がある。この二状態は、異なる抵抗値を持つ為に、非晶質状態（高抵抗状態）に論理値“0”，結晶状態（低抵抗状態）に論理値“1”を割り当てることにより記憶素子として利用することができる（図 1）。各状態は、構造変化を伴った変化のため電源を切っても状態は保持されるため不揮発性となる。

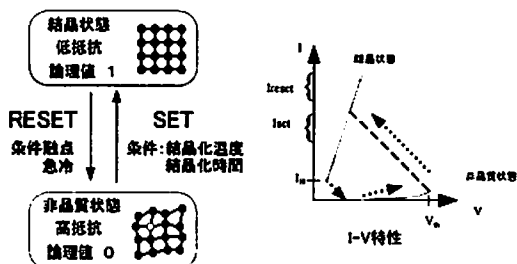


図 1 二状態での状態遷移

この相変化はカルコゲナイド半導体へ電流を流し、素子温度を変化させることで生じる。0→1 への遷移は、一定時間結晶化温度以上を保つことで行われる。これは SET 動作と呼ばれている。SET 動作では、比較的パルス幅の広い電流パルス（SET パルス）を印加する。素子に印加される電圧がある閾値電圧 (V_{th}) を越えるとスイッチング現象を引き起こし、素子は低抵抗状態へと遷移する。スイッチング現象後、試料に流れる電流が増加し、ジュール熱により素子温度が上昇する。素子温度が結晶化温度以上かつ融点以下の温度で、結晶化時間以上保持すると結晶化する。逆に 1→0 の遷移は、RESET 動作と呼ばれている。RESET 動作では、比較的パルス幅が狭く大きな電流パルス（RESET パルス）を印加する。素子を融点以上に加熱してその直後に急冷することで、高抵抗状態へと遷移する。この 2 つの動作により、素子の状態を変化させることでメモリの書き込み消去動作となる。

読み出し動作は素子が相変化を起こさないように、素子の閾値電圧以下のパルスを印加することで、二状態の抵抗値の違いを判別する。

2.2. 多値記憶

カルコゲナイド半導体の $Se_{15}Sb_{15}Te_{70}$ の試料を用いて、この試料を電極で挟み、SET パルスの大きさを変えて SET 動作を何度か行った（図 2）。その結果を図 3 に示す。SET パルスの電圧を 2.7V として、500ns 幅のパルスを複数回印加した時、カルコゲナイド半導体の素子抵抗値が 8 段階で減少することを確認した。素子抵抗値は 7 回のパルス印加で $40k\Omega \sim 836\Omega$ まで変化させることができた。この現象は、2 値記憶に使用される SET 電圧（約 3V）よりも小さい電圧パルスを印加することで素子に電流が流れ、非晶質状態から結晶状態への遷移が一度に全域で起こるのではなく、部分的に状

態の遷移が起きていと考えられる。つまり、素子への複数の印加電流によって非晶質と結晶の両方が入り混じる状態をつくっていることを意味している。多値記憶は、複数回の電流パルスの印加することで、多値段階の素子抵抗値をつくり、その各状態に論理値を割り当てることで実現する。また、各状態において、RESET 動作を加えることで高抵抗な非晶質状態へと遷移する状態遷移図になる（図 4）。

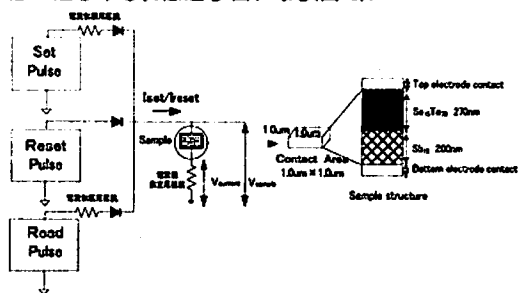


図 2 カルコゲナイド特性測定回路

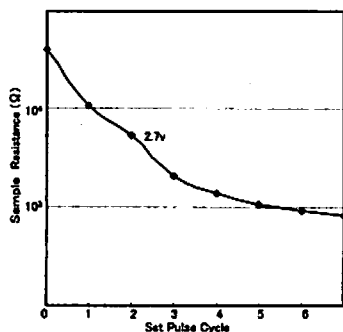


図 3 電流パルス印加回数による素子抵抗値の変化

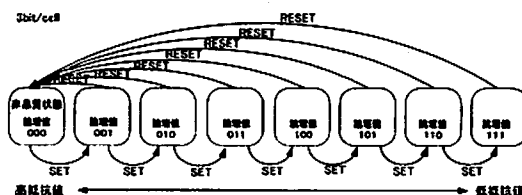


図 4 多値での状態遷移

3. デバイス特性

カルコゲナイド半導体の $Se_{15}Sb_{15}Te_{70}$ のメモリ動作での 2 値書き込みにおける基本的なデバイス特性を示す [5][6][7]。図 2 の測定回路と素子構造を用いて、書き込み消去回数、SET、RESET 動作における電流密度の測定を行った結果を示す。図 5 に書き込み消去の回数を示す。測定では、SET のパルス電圧幅 500ns、RESET のパルス電圧幅 100ns 10^4 回以上の書換え回数を観測した。低抵抗状態と

高抵抗状態の平均の値は、 $500\ \Omega$ と $10^5\ \Omega$ であり、メモリ素子としての利用に十分な抵抗値差があることが分かる。

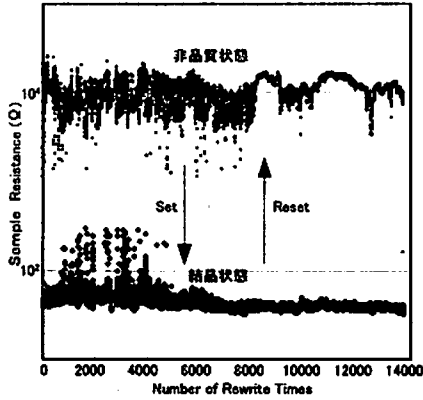


図5 書き込み消去回数

図6にSETとRESETの電流値と下部電極面積の関係を示す。SETとRESETの電流値は、下部電極のサイズの減少とともに小さくなっていることが分かる。RESET電流は、素子の直径が $1.5\ \mu\text{m}$ - $0.3\ \mu\text{m}$ に減少するにつれ $20\ \text{mA}$ - $2\ \text{mA}$ に減少している。一方SETの電流は、 $5\ \text{mA}$ から $1\ \text{mA}$ に減少している。つまり相変化領域を決める下部電極の寸法によってRESETとSETの書き換え消去電流値を小さくすることができる。図6の結果より、SETとRESETにおける電流密度を求めると図7のような結果になる。図8の結果よりRESET電流密度は 20 - $28\ \text{mA}/\mu\text{m}^2$ となり、SET電流密度は 2 - $11\ \text{mA}/\mu\text{m}^2$ となることが分かる。一般的に、 SeSbTe 系材料では、RESET電流密度は、 20 - $30\ \text{mA}/\mu\text{m}^2$ 、SET電流密度は、 10 - $15\ \text{mA}/\mu\text{m}^2$ である。

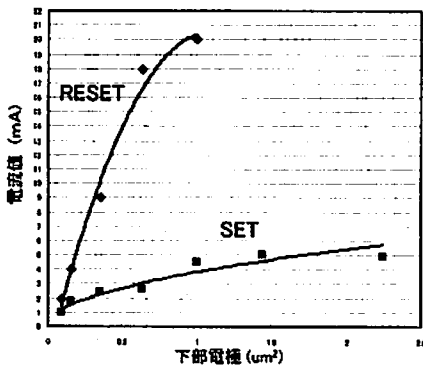


図6 下部電極サイズと電流値の関係

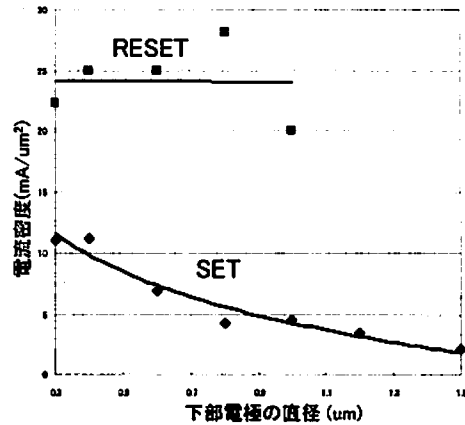


図7 下部電極直径と電流密度の関係

4. アーキテクチャ

4.1. メモリセルの構造

図8にメモリセルの断面図を示す。メモリセルは、1つのNMOSトランジスタとカルコゲナイド半導体の1T1Rの構成をとる。このためメモリセルは、小面積で、高密度が可能となる。トランジスタとカルコゲナイド半導体との接続は、絶縁層にコンタクトホールを形成して配線層を利用した下部電極(BE)の上部にカルコゲナイド半導体層と上部電極(TE)を形成する。カルコゲナイド半導体は、電流を流すことで熱を発生させて状態変化させているが、その直下のトランジスタとの間に配線層を挟むため回路への熱的影響はない。

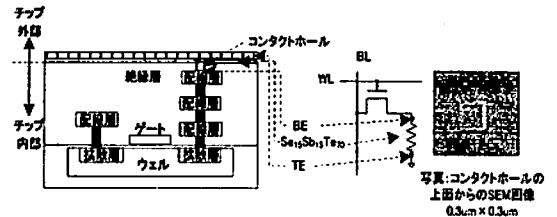


図8 メモリセルの構造

4.2. 多値メモリ全体回路構成

多値(3bit/cell)メモリの全体構成ブロック図を図9に示す。不揮発性のため書き込み処理を行わない部分へは論理値を維持するための電源供給の必要はない。そこでメモリ素子へアクセスする場合は、メモリセルを1ワード毎に分割したメモリブロックを選択して対象となるメモリブロックのみをアクセスする構成になっている。1ブロックごとの読み出し動作は、選択させたセルに読み出し電圧を与え、選択されたメモリセルが接続するビット線にカルコゲナイド半導体素子の抵抗に応じた電圧が発生する。ビット線の電圧を増幅させ、AD変換

器に入力して判別して出力する。書き込み動作は、素子へ電流パルスの印加回数によって行うためマルチパルスジェネレータを用いて SET と RESET に必要なパルス長とセルに書き込む値に対応したパルス回数を生成し、Read/Write スイッチ回路電圧信号を電流信号に変換して SET, RESET 電流パルス信号を生成する。この電流パルスが選択されたメモリセルへ流れ、書き込み消去を行う。

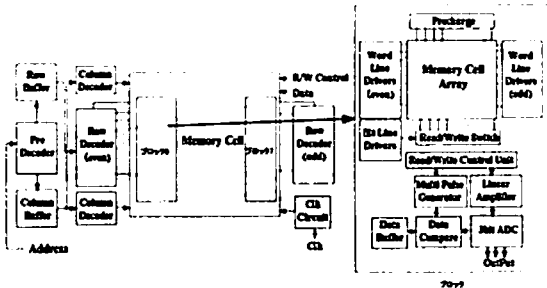


図 9 メモリセルの構造

5. 設計

メモリセルアレイを 512words × 1kwords として CMOS0.35um プロセスルールを用いてシミュレーションを行った。設計に使用した素子パラメータは、表 1 に示す。

表 1 素子パラメータ

素子材料	Se ₁₅ Sb ₁₅ Te ₇₀
接着面積	0.04um ² (0.2um × 0.2um)
RESET 電流値	1.2mA
SET 電流値	600uA
RESET 時間	500ns
SET 時間	100ns
抵抗値	41k-836(8 段階)
素子閾値電圧	1.5V
素子の書き換え回数	10 ⁴

5.1. メモリセルの設計

メモリセルと Read/Write スイッチ回路は、図 11 に示す。図 7 より Se₁₅Sb₁₅Te₇₀ の書き換え消去の電流が一番必要な場合を想定すると RESET 電流密度が 30mA/um² で SET 電流密度が 15mA/um² の時になる。カルコゲナイド半導体に均一な電流が流れると仮定した場合、下部電極面積と必要な電流値を図 10 に示す。カルコゲナイド素子の面積を 0.04um²(0.2um × 0.2um) にすると必要なリセット電流値は 1.2mA、セット電流値は 600uA となる。よって、メモリセルのアクセストランジスタのサイズは、RESET 電流値によって決定される。RESET 時に必要な電流値 1.2mA が流れるような RESET 用の PMOS トランジスタとメモリセルの NMOS のアクセストランジスタのサイズの組み合わせが重要になる。トランジスタのゲート長を 0.4um として、ゲート幅を HSPICE シミュレーション

により決定した結果を表 2 に示す。メモリセルのアクセストランジスタのゲート幅は 3.3um とし、RESET 用のトランジスタのゲート幅は 10.0um とした。この結果よりメモリセルは、65F² に相当する。しかし、3bit/cell の記憶密度より、ビット当りのセル面積は 22F² となる。また、SET 用のトランジスタのゲート幅は、4.6um とし、READ 用のトランジスタのゲート幅は、0.9um となった。

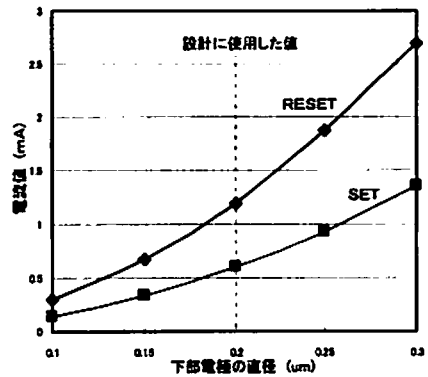


図 10 メモリセルの構造

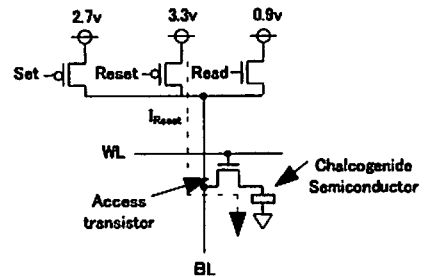


図 11 メモリセルと Read/Write スイッチ回路

表 2 トランジスタサイズの決定

		アクセストランジスタサイズ				
		0.9um	1.8um	2.7um	3.3um	3.6um
RESET-トランジスタサイズ	2.0um	386uA	417uA	413uA	414uA	414uA
	4.0um	412uA	710uA	803uA	823uA	830uA
	6.0um	414uA	751uA	997uA	1.09mA	1.12mA
	8.0um	416uA	758uA	1.04mA	1.18mA	1.24mA
	10.0um	416uA	781uA	1.05mA	1.20mA	1.27mA

5.2. 多値読み出し回路の設計

簡略化した読み出し回路構成を図 12 に示す。各ビット線には、サイズの異なる 4 種のトランジスタ (Set/Reset/Read/

precharge)が接続されている。また、読み出し時に他の BIT 線は①のトランジスタを用いて、GND へ落とすことで、消費電力削減した。読み出し動作では、ビット線への読み出しのための電源電圧をカルコゲナイド半導体の書き込みの閾値電圧以下に設定している。メモリの読み出し動作を速くするためにビット線にプリチャージ用のトランジスタを用いてビット線をプリチャージしてから読み出し動作を行う。読み出しは、アクセス/リードトランジスタを同時に動作させることで、ビット線には、カルコゲナイド半導体素子の抵抗に応じた電圧が発生する。読み出し電圧が低いためビット線上の電圧差は小さいので、容易に判別するために線形増幅器によって、ビット線の電圧の差を大きくしている。設計した線形増幅器の入出力特性を図 13 に示す。BIT 線の電圧 0.3V-0.7V をこの線形アンプにより、1V-3V まで増幅させている。増幅させた電圧値を AD 変換器によって、各素子抵抗値を判別して出力して読み出し動作完了となる。

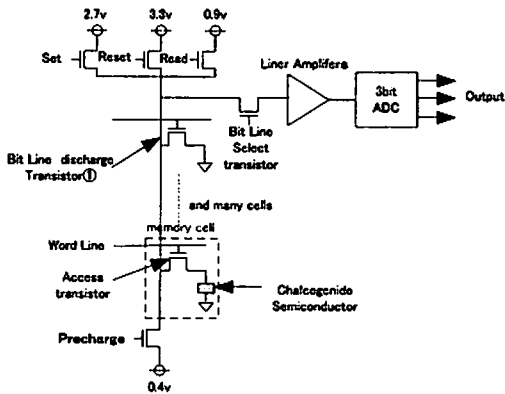


図 12 読み出し回路の構成図

AD 変換器は、3 方式について読み出し時間と消費電力と回路面積について、比較を行った。表 3 にその結果を示す。結果より、AD 変換方式として、フォールディング方式を採用することにした。図 14 に読み出し動作のシミュレーションの結果を示す。ワード線立ち上がりからの読み出し時間は、50ns となった。

表 3 ADC の比較

読み出し方法		読み出し時間 (ns)	面積 (Tr 数)	消費電流 (mA)
3bit/cell ADC 方式	Flash 型	35	376	1.7
	HalfFlash 型	80	236	0.77
	Folding 型	43	158	0.8
1bit/cell センス アンプ	差動センス アンプ	20	13	0.32

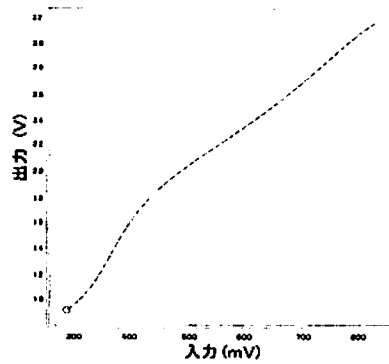


図 13 線形増幅回路の入出力特性

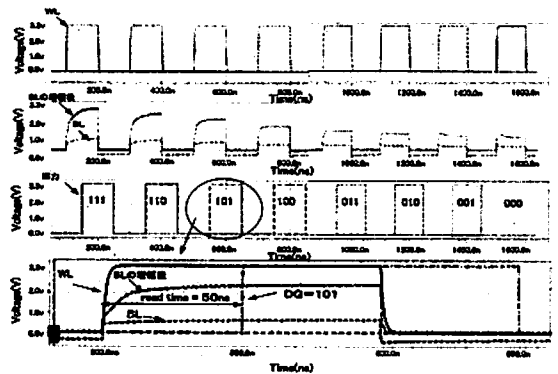


図 14 読み出し動作のシミュレーション結果

5.3. 多値書き込み回路の設計

多値の書き込みの方法(図 15)は、2 種類ある。方法 1 は、選択されたメモリセルにどんな値が格納されているかにかかわらず、一度リセット動作を行って素子を高抵抗状態にする。その後セット動作をデータ値分繰り返すことで、多値の書き込みを行う。方法 2 は、選択されたセルの値の読み出し動作を最初に行う。次にセルに記憶していた値と書き込む値を比較する。書き込む値の方が記憶している値よりも値より大きい場合は、SET 動作だけを行い、逆に、書き込む値の方が記憶している値よりも値より小さい場合は一度リセット動作を行って、素子を高抵抗状態にしてセット動作をデータ値分繰り返して、多値の書き込みを行う。この二つの方法を比べると前者の方は、制御は簡単であるが、無駄な書き込み動作が多く、書き込み時間と書き込みに必要な消費電流が大きくなる。従って、方法 2 の多値書き込み方式を採用した。方法 2 を用いた書き込み回路のブロック図を図 16 に示す。減算器を用いてセルに書き込む値からセルに記憶している値を減算する。減算した結果が正の場合は、その減算結果をプライオリティエンコーダへ入力する。逆に減算した結果が負の場合は、セルに書き込む値をプライオリティエンコーダへの入力とする。つまり、正の場合は、SET パルスのみ必要な時で負の場合は、RESET パルスが必要な書き込みとなる。この正と負の場

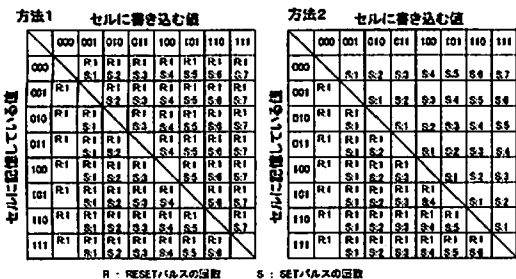


図 15 多値書き込みの方法

合のプライオリティエンコーダへの入力の切り替えをマルチプレクサで行う。マルチプレクサの選択信号は、減算結果の4ビット目の信号で決まる。4ビット目の信号が0の時は、負の時である。書き込み動作の際に必ず RESET 動作が必要になるので、4ビット目の信号は、RESET パルスの生成信号の役割も果たす。プライオリティエンコーダによって減算結果をサーモメーターコードに変換して、シフトレジスタに入力する。CLK の入力によってプライオリティエンコーダの出力から取り込んだ値をシフトさせて出力することで、複数の SET パルスを生成する。複数の SET パルスを発生させる書き込みの時の SET パルスの生成間隔を狭くするためシフトレジスタの CLK をカウンタ回路で生成する。これにより、60ns の間隔で SET パルスを生成するようにした。RESET パルスも同じ原理で、減算結果が0の時、その結果の反転した信号をシフトレジスタに入力して、RESET 用のカウンタ回路から生成された CLK によって、RESET パルスを一回だけ生成するようになる。

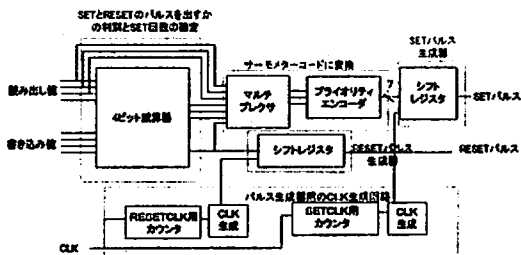


図 16 多値書き込み回路

書き込み回路のシミュレーションの結果を図 17 に示す。セルに記憶している値が 111 で、セルに書き込む値を 110 と仮定した場合、読み出し動作を行い、まずセルの値が 111 と認識する。書き込み回路によって、RESET パルス×1 と SET パルス×6 が生成され、その電圧パルスを電流パルスに変換してメモリセルに流し書き込みを行っている。最大の書き込み時間は、SET パルスを 7 回書き込む場合で、4.2us になる。書き込み回路自体の消費電流は、220uA であり、最大の書き込み消費電流は、RESET パルス×1 で SET パルス×6 の場合であり、総計 6.08mA となる。

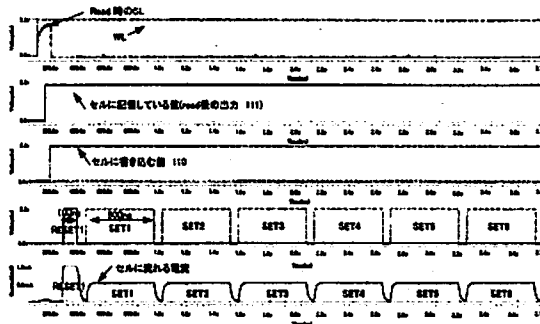


図 17 書き込み動作シミュレーション波形

6. まとめ

相変化不揮発性メモリ(PRAM)における新しい多値化記憶手法と 3bit/cell での回路構成を提案した。多値の PRAM の記憶素子として $Se_{15}Sb_{15}Te_{70}$ を用いたメモリセルにおいて、素子抵抗値が多段階に変化することを実験より観測した。この実験結果を用いて、多値の書き込み回路と読み出し回路の回路構成を提案した。CMOS0.35um プロセスを用いて、回路設計を行い、電源電圧 3.3V でメモリ規模が 512kbit (22F²/bit) である場合、リードサイクルが 5MHz の時の読み出し時間は、50ns、消費電流は、1.06mA となる。又、書き込み時間は、最大で 4.2us で書き込みの消費電流は、5.02mA となる。最後に、表 4 にメモリ回路の仕様をまとめる。

表 4 メモリ回路の仕様

メモリセル規模	512 × 1024
記憶素子/加工サイズ	$Se_{15}Sb_{15}Te_{70}/0.04\mu m^2$
セルサイズ/記憶密度	$7.92\mu m^2/3bit/cell(22F^2/bit)$
読み出し時間	50ns
書き込み時間	4.2us
読み出し消費電流	1.06mA
書き込み消費電流	6.08mA

文 献

- [1] M.Gill, T.Lowrey, and J.Park, "Ovonic unified memory, a high performance nonvolatile memory technology for stand alone memory and embedded applications", ISSC proceedings, TD12.4, 2002.
- [2] Woo Yeong Cho et al. "A 0.18-um 3.0-V 64-Mb nonvolatile phase-transition random access memory (PRAM)", Solid-State Circuits, IEEE Journal of, Jan. 2005 Page(s):293 - 300
- [3] N.Takaura et al., IEDM2003, No.37.2
- [4] Ovonyx web page, <http://www.ovonyx.com/technolog-y.pdf>
- [5] K.Nakayama, "Fundamental research on practical application of phase change non-volatility memory", Doctoral thesis, Kanazawa University, 2003.
- [6] K.Nakayama, et al., "Novolatile Memory Based on Phase Change on Se-Sb-Te Glass", Jan. J. Appl Phys., vol.42, pp.404-408, Feb. 2003.
- [7] K.Nakayama and S. Fukushima, "The present situation and the possibility of a phase-change nonvolatile memory", Oyo Butiri (in Japanese), 2002.