

## キャラクタプロジェクション法における 描画面積の最適化による描画時間の削減

杉原 真<sup>†</sup> 高田 大河<sup>††</sup> 中村 健太<sup>†††</sup> 松永 裕介<sup>††</sup> 村上 和彰<sup>†††</sup>

<sup>†</sup>財団法人九州システム情報技術研究所 〒814-0001 福岡市早良区百道浜 2-1-22

<sup>††</sup>九州大学大学院システム情報科学研究院情報工学専攻 〒816-8580 春日市春日公園 6-1

<sup>†††</sup>九州大学大学院システム情報科学研究院情報理学専攻 〒816-8580 春日市春日公園 6-1

E-mail: <sup>†</sup>sugihara@isit.or.jp, <sup>††</sup>{taiga,kenta,matsunaga}@c.csce.kyushu-u.ac.jp, <sup>†††</sup>murakami@i.kyushu-u.ac.jp

**あらまし** 本稿では、キャラクタプロジェクション法の描画能力を高めるために、描画面積を最適する手法について議論する。キャラクタプロジェクション法は電子ビーム直描やフォトマスクの製造に応用可能な描画技術である。描画装置の減価償却の意味で、キャラクタプロジェクション法の描画時間は電子デバイスやフォトマスクの価格を決定するものであり、削減されることが望ましい。本稿では、CP マスク上に配列上に搭載されるキャラクタの大きさを最適化することによって、描画時間を最小にする手法を提案する。提案手法により、既存の手法と比べて最大 72% の描画時間を削減した。

**キーワード** キャラクタプロジェクション, 電子ビーム直描, フォトマスク開発, スルーブット, 可変整形ビーム

### A Character Size Optimization for Increasing the Throughput of Character Projection Lithography

Makoto SUGIHARA<sup>†</sup>, Taiga TAKATA<sup>††</sup>, Kenta NAKAMURA<sup>†††</sup>, Yusuke MATSUNAGA<sup>††</sup>, and  
Kazuaki MURAKAMI<sup>†††</sup>

<sup>†</sup> ISIT 2-1-22 Momochihama, Sawara-ku, Fukuoka 814-0001 Japan

<sup>††</sup> Department of Informatics, Graduate School of Information Science and Electrical Engineering, Kyushu University  
6-1 Kasuga-Koen, Kasuga 816-8580 Japan

<sup>†††</sup> Department of Computer Science and Communication Engineering,  
Graduate School of Information Science and Electrical Engineering, Kyushu University  
6-1 Kasuga-Koen, Kasuga 816-8580 Japan

E-mail: <sup>†</sup>sugihara@isit.or.jp, <sup>††</sup>{taiga,kenta,matsunaga}@c.csce.kyushu-u.ac.jp, <sup>†††</sup>murakami@i.kyushu-u.ac.jp

**Abstract** We propose a character size optimization technique to enhance the throughput of maskless lithography as well as photomask manufacture. The number of electron beam shots to draw the patterns of circuits is a dominant factor in the manufacture time and the cost for devices. Our technique is capable of drastically reducing them by optimizing the size of characters, which are the patterns to project and are placed on CP masks. Experimental results show that our technique reduced 72.0% of EB shots in the best case, comparing with the ad hoc character sizing.

**Key words** character projection, maskless lithography, photomask development, throughput, variable shaped beam

#### 1. ま え が き

昨今の半導体デバイスの製造においては、多種多様のデバイスが製造される一方、多くのデバイスの生産量は少量となっている。高価であるフォトマスク代はデバイスの価格に転嫁されるために、デバイスの生産量が少量であることはデバイス価格

が高騰することを意味する。フォトマスク価格はデバイス価格を決定する上で、大きな影響をおよぼすものである。フォトマスク価格はトランジスタの集積度の向上に伴い急速に高騰しており、これは ASIC を製造する上で阻害要因となっている。

電子ビーム直描はフォトマスクを用いずに電子ビームを用いて図形パターンをシリコン・ウェーハ上に転写する技術であ

る [2], [4]. 伝統的な電子ビーム直描技術である可変整形ビーム方式(VSB: variable shaped beam) [3] の電子ビーム直描装置の描画能力は極めて低い。図 1 の左図のように、VSB 法では図形パターンは莫大な数の三角形、および矩形に分解され、それぞれを描画する。この図では、“E” という文字は 4 つの矩形に分解される。よって、“E” を描画するためには 4 回の“EB ショット”が必要となる。伝統的な VSB 描画装置では大量の三角形および矩形が描画されるために、描画時間が長くなり、描画装置の描画能力は乏しいものとなる。

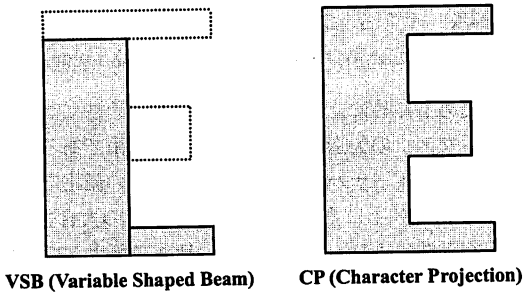


図 1 EB shots with VSB and CP methods.

キャラクタプロジェクション法(CP: character projection) は VSB 法よりも描画時間に関して効率が高い描画法である。CP 法においては、図 2 の右図に示すように、CP マスク上に用意されているキャラクタと呼ばれる図形パターンをウェーハ表面上に転写し、所望の回路を描画する [2], [4]。フォトマスクが電子ビームを用いて製造されるという意味では、CP 法は将来的には電子ビーム直描のみならず、フォトマスク製造においても用いることができる技術である [11]。

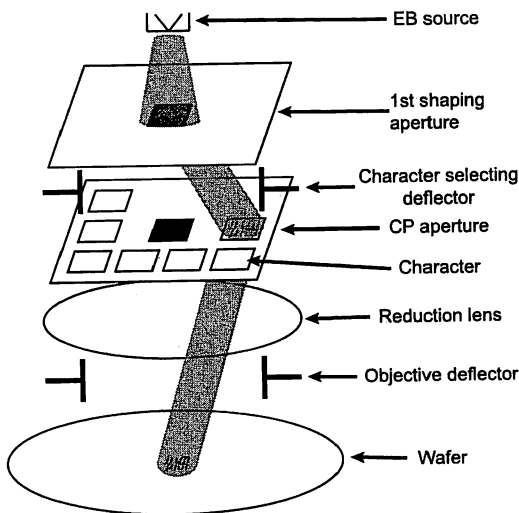


図 2 CP 描画装置の概要。

CP 法においては、回路中において頻繁に用いられる図形パターンがキャラクタとして実現される。通常、セルベース設計において基本部品となる“セル”がキャラクタの基礎となる。図

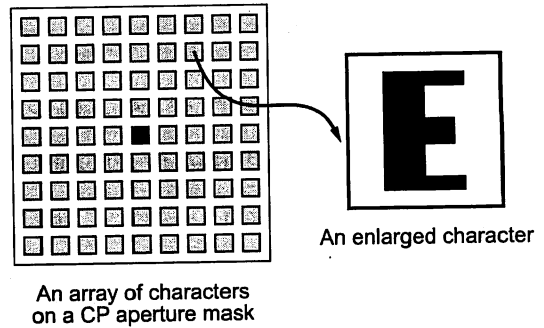


図 3 CP マスク。

1 の例においては、VSB 法では右図に示すように“E”の文字の描画を行うために 4 回の EB ショットが必要である。これに対し、CP 法では左図の示すように“E”を描画するために EB ショットは 1 回だけで良い。CP 法においては、数ミクロン角の面積であるキャラクタに納まる図形パターンはどのようなものでも EB ショット 1 回で描画可能であり、CP 法は EB ショット数、すなわち描画時間を削減する上で有効な手法である。CP 法の欠点は CP マスク上に実現できるキャラクタ数が限られており、セルライブラリに含まれる全てのセルを CP マスク上に実現できるわけではない点である。キャラクタは図 3 に示すように CP マスク上に配列状に並べられ、その数は物理的な制限を受ける。例えば、複数の CP マスクを用い、全てのセルを CP マスク上に実現したとしても、CP マスクの切り替えに許容できない時間を要する。本稿では、各レイヤの描画に用いる CP マスクは一つであると仮定し、CP マスク上にないセルは VSB 法によって描画することとする。CP 法の他の弱点は、電子ビームの大きさをオンラインで変更することが難しいために、キャラクタの大きさが一定であるという点である。これに対し、セルの大きさ、特にセルの幅はセルによって異なる。この意味で、キャラクタとセルの親和性は低いと言える。キャラクタとセルの親和性を高めるために、本稿では、キャラクタの大きさを最適にし、回路を描画するために要する EB ショット数を最小化する手法を提案する。EB ショット数の最小化により、描画時間は最小化される。提案するキャラクタの大きさの最適化手法は、CP 描画装置の描画能力をより向上し、デバイスに転嫁される装置償却費を削減するものである。

本稿は次のように構成される。2 節では、CP マスク上に搭載する最適なセル集合を選択し、回路を描画するための EB ショット数を最小化する数理計画モデルを導入する。3 節では、キャラクタの大きさを最適にしショット数を最小化する数理計画モデルを述べる。2 節及び 3 節のそれぞれで示される数理モデルはキャラクタの大きさが定数であるか、変数であるかという点で異なる。4 節では、提案手法をいくつかのベンチマーク回路に適用し、キャラクタの大きさと EB ショット数について実験的に調査する。実験により、提案手法は最も効果がある場合、既存の手法と比べて 72.0% の EB ショット数を削減できることを示す。5 節では本論文をまとめるとともに結論を述べる。

## 2. セルの選択

まず準備として整数計画法について簡単に述べる。整数計画法の目的は、整数変数を持つ線形制約式のもとで線形の目的関数を最小化(あるいは最大化)することである[10]。典型的な整数計画モデルは以下のように表される。

$$\begin{aligned} & \text{minimize (maximize):} && \mathbf{Ax} \\ & \text{subject to:} && \mathbf{Bx} \leq \mathbf{C}, \text{ such that } \mathbf{x} \geq 0 \end{aligned} \quad (1)$$

ここで、 $\mathbf{Ax}$ は最小化する目的関数、 $\mathbf{A}$ は目的ベクトル、 $\mathbf{B}$ は制約行列、 $\mathbf{C}$ は定数の列ベクトル、そして、 $\mathbf{x}$ は整数変数のベクトルである。ある程度の大きさの整数計画問題はフリーのILPソルバ、あるいは商用ILPソルバで解くことができる[1]。

本節では、回路全体を描画するEBショット数を最小にするために、CPマスク上に置く最適なセル集合を求める数理計画問題の定式化を行う。本数理計画問題を $\mathcal{P}_A$ と名付ける(“A”はassignmentを表す)。問題 $\mathcal{P}_A$ は以下のように述べるができる。

- $c$ 種類のセル、それらの参照回数 $r_1, \dots, r_c$ 、それらのCP法によるEBショット数 $S_{CP_1}, \dots, S_{CP_c}$ 、それらのVSB法によるEBショット数 $S_{VSB_1}, \dots, S_{VSB_c}$ 、および、 $N_{\text{char}}$ 個のキャラクタが搭載できるCPマスクが与えられたとき、回路全体を描画するために要するEBショット数 $S_A$ が最小になるように各セルの描画方法を決定せよ。

本数理計画問題を定式化する上で、 $c$ 種類のセルが用いられている回路を考えよう。セル $i$ は回路中で $r_i$ 回だけ出現し、CP法かVSB法のいずれかで描画される。セル $i$ の1インスタンスをVSB法およびCP法で描画するために要するEBショット数をそれぞれ $S_{VSB_i}$ および $S_{CP_i}$ とする。ここで、セル $i$ ( $1 \leq i \leq c$ )のために0-1変数 $x_i$ を導入し、その値により採用する描画手法を表すとしよう。変数 $x_i$ を以下のように定義する。

$$x_i = \begin{cases} 1 & (\text{セル } i \text{ が CP 法で描画される場合}), \\ 0 & (\text{セル } i \text{ が VSB 法で描画される場合}). \end{cases}$$

回路を描画するために要する総EBショット数 $S_A$ は以下のように示される。

$$\begin{aligned} S_A(\mathbf{x}) &= \text{EB shots with CP} + \text{EB shots with VSB} \\ &= \sum_{i=1}^c S_{CP_i} r_i x_i + \sum_{i=1}^c S_{VSB_i} r_i (1 - x_i) \\ &= \sum_{i=1}^c (S_{CP_i} - S_{VSB_i}) r_i x_i + \sum_{i=1}^c S_{VSB_i} r_i \end{aligned} \quad (2)$$

ここで、 $\mathbf{x}$ は $x_i$ ( $1 \leq i \leq c$ )のベクトルである。上式において、第二項は変数を含まないために、第一項のみが式(1)にあげた目的関数として考えられる。

セルの大きさによって、セルが占有するキャラクタ数は異なる。CPマスクの面積によってキャラクタ数に制約が生じる。それゆえに、以下の制約が生じる。

$$\sum_{i=1}^c c_i x_i \leq N_{\text{char}} \quad (3)$$

ここで、 $N_{\text{char}}$ はCPマスク上で使用できるキャラクタの最大数、および、 $c_i$ はセル $i$ がCPマスク上で占有するキャラクタ数を示す。セル $i$ がCPマスク上で占有するキャラクタ数は、そのインスタンスを一つだけ描画するために要するEBショット数と等しいために、 $c_i$ は $S_{CP_i}$ と等しい。

数式(1)、(2)および(3)から、本数理計画問題のためのモデルは以下のように定式化される。

**Objective:** Minimize  $S_A = \sum_{i=1}^c (S_{CP_i} - S_{VSB_i}) r_i x_i$ , subject to  $\sum_{i=1}^c c_i x_i \leq N_{\text{char}}$ , i.e., every cell adopts one drawing method, that is the CP or the VSB in conformity with the restriction of the area of the CP mask. The minimal number of EB shots is given by  $S_A + \sum_{i=1}^c S_{VSB_i} r_i$ .

本問題は典型的な組み合わせ最適化問題であり、NP困難である。しかしながら、実際のセルライブラリを用いて回路を設計するとき、問題インスタンスの大きさは小さなものとなる。本数理計画モデルでの変数の数は回路中で用いられるセル・オブジェクト数に等しい。ここで、セルの機能が同じでも、物理的な配置(反転および回転)が異なれば、異なるセル・オブジェクトと見なす必要があることに注意されたい。もし、セルライブラリに含まれるセルの機能の数が数百個であり、セルの配置の種類が8通りである場合、変数の数は8千個未満となる。一方、式(3)に示すように、制約式の数はいつも1である。このような数理計画問題は容易にILPソルバを用いて短い時間で解を得ることができる。

上記のモデルは主にある製品に特化した場合のセルライブラリ最適化手法として述べたが、複数製品のための汎用ライブラリ開発手法としても用いることができる。すなわち、選択するセル集合を汎用的にするためには、セル $i$ の参照回数 $r_i$ ( $1 \leq i \leq c$ )を製品群の生産を通じてのものとする必要がある。提案手法は、最適なセル集合が専用であれ、汎用であれ、セルの参照回数 $r_i$ ( $1 \leq i \leq c$ )が与えられれば、容易にそれらを求めることができる。CP用セルライブラリを専用にするか汎用にするかは次の二つの要因によって決定される。

- EBショット数の削減によるコスト削減。
- 専用CPマスクセットを新たに開発するためのコスト増。

たとえ、ある製品専用のCPマスクを開発しても、CPマスクの開発に要する全てのコストはフォトマスクを開発するコストよりもずっと安価である。これは、マスク上にパターンを描画するデータ量がいずれのマスクを作る上でも支配的な要因であり、CPマスクを描画するためのデータ量はセル・オブジェクト数に比例するのに対し、フォトマスクを描画するために要するデータ量はセル・インスタンス数に比例するためである。それゆえに、CPマスクを開発するコストはフォトマスクの開発コストよりもずっと安価である。専用CPマスクを製品毎に開発したとしても、コストの観点からもCP法はマスクレスであると言える。

## 3. CP法のための描画面積の最適化

CPマスク上に搭載するセルは一定の大きさのキャラクタに

合うように分割される。これまでの研究では、CP法での描画面積、すなわち、CPマスク上のキャラクタの大きさは与えられるものであり、定数として扱われてきた[2], [5]~[9]。これは、CP描画装置の制限、あるいはCP描画装置の開発者の直感に基づくものである。本節では、CP描画装置の描画能力を決定づけるEBショット数を最小化するために、CPマスク上のキャラクタの大きさを最適化する問題 $\mathcal{P}_S$  (“S”はsizeを表す)を議論する。本数理計画問題 $\mathcal{P}_S$ は以下のように述べることができる。

- $c$ 種類のセル、それらの参照回数 $r_1, \dots, r_c$ 、それらの1インスタンスをCP法で描画するために要するEBショット数 $S_{CP_i}(l_{char}, w_{char})$ 、それらの1インスタンスをVSB法で描画するために要するEBショット数 $S_{VSB_1}, \dots, S_{VSB_c}$ 、CPマスクの縦の長さ $l_{CP}$ と横の長さ $w_{CP}$ 、および、隣接するキャラクタ間の距離 $G$ が与えられたとき、回路を描画するために要するEBショット数を最小化するようにキャラクタの縦横の長さ $l_{char}, w_{char}$ 、および、各セルの描画方法、すなわち、CP法かVSB法かを決定せよ。

各セルをCP法で描画するために要するEBショット数はキャラクタの大きさと各レイヤ上の図形パターンに依存する。式(2)と同様に、回路を描画するために要する総EBショット数 $S_S(x, l_{char}, w_{char})$ は以下のように与えられる。

$$S_S = \text{CP法でのEBショット数} + \text{VSB法でのEBショット数}$$

$$= \sum_{i=1}^c S_{CP_i}(l_{char}, w_{char}) r_i x_i + \sum_{i=1}^c S_{VSB_i} r_i (1 - x_i)$$

$$= \sum_{i=1}^c \{S_{CP_i}(l_{char}, w_{char}) - S_{VSB_i}\} r_i x_i + \sum_{i=1}^c S_{VSB_i} r_i. \quad (4)$$

セルの大きさとキャラクタの大きさに応じて、セルを搭載するために必要とされるキャラクタ数が決定される。CPマスクの大きさは有限であるために、CPマスク上に搭載できるキャラクタ数荷は制約が存在する。それゆえに、以下の制約が導かれる。

$$\sum_{i=1}^c c_i(l_{char}, w_{char}) \cdot x_i \leq N_{char}(l_{char}, w_{char}, l_{CP}, w_{CP}, G) \quad (5)$$

ここで、 $c_i(l_{char}, w_{char})$ はセル $i$ をCPマスクに搭載するために要するキャラクタ数を示し、これは当該セルの1インスタンスを描画するために要するEBショット数 $S_{CP_i}(l_{char}, w_{char})$ と等しい。また、 $N_{char}(l_{char}, w_{char}, l_{CP}, w_{CP}, G)$ はキャラクタの縦および横の長さがそれぞれ $l_{char}$ および $w_{char}$ であるときの、CPマスク上に搭載できるキャラクタの最大数を示す。

式(4)および(5)は非線型項を含み、本問題を整数計画問題として解くならば、線形化する必要がある。我々は本問題を線形化をせずに、2節で示した数理計画問題に対し全ての可能な $l_{char}$ および $w_{char}$ を列挙し、解くことを選択した。 $l_{char}$ および $w_{char}$ の値は離散値であり、また狭い範囲のものである。たとえば、このような問題インスタンスを列挙したとしても列挙数は小さなものである。描画面積最適化アルゴリズムを簡約化したものをAlgorithm 1に示す。

---

#### Algorithm 1: Character size optimization algorithm

---

**Procedure** CharacterSizeOptimization

**Input**  $r_i$ : the reference count for Cell  $i$  ( $1 \leq i \leq n$ ).

**Input**  $S_{CP_i}(l, w)$ : the number of EB shots with the CP for Cell  $i$  ( $1 \leq i \leq n$ ) when the length and width of characters are  $l$  and  $w$  respectively.

**Input**  $S_{VSB_i}$ : the number of EB shots with VSB for Cell  $i$  ( $1 \leq i \leq n$ ).

**Input**  $c_i(l, w)$ : the number of characters for Cell  $i$  ( $1 \leq i \leq n$ ) when the length and width of characters are  $l$  and  $w$  respectively. This is equivalent to  $S_{CP_i}(l, w)$ .

**Input**  $N_{char}(l, w)$ : the number of total characters on a CP when the length and width of characters are  $l$  and  $w$  respectively.

**Output**  $x$ : each cell's projection method.

**Output**  $l_{opt}$  and  $w_{opt}$ : optimal character length and width respectively.

**Output**  $x_i$ : optimal drawing method for Cell  $i$  ( $1 \leq i \leq n$ ).

**Output**  $S_{min}$ : the minimal EB shots to draw the entire chip.

**Variable**  $S_{tmp}$ : the EB shots of a temporal solution.

**begin**

**forall** possible cell lengths **do** // the length notated by  $w$

**forall** possible cell widths **do** // the width notated by  $w$

      Determine  $S_{CP_i}$ ,  $c_i$  and  $N_{char}$  from  $l$  and  $w$ .

      Given  $S_{CP}$ ,  $S_{VSB}$ , and  $N_{char}$ , solve the problem instance  $\mathcal{P}_A$ , and let  $S_{tmp}$  the the number of EB shots derived by solving the problem.

**if**  $S_{min} > S_{tmp}$  **then** // a better solution is found

$l_{opt} := l$ ;

$w_{opt} := w$ ;

$S_{min} := S_{tmp}$ ;

**endif**

**endfor**

**endfor**

**return**  $x$ ,  $l_{opt}$ ,  $w_{opt}$  and  $S_{min}$ ;

**end**

---

## 4. 実験

我々はキャラクタプロジェクション法での描画面積、および、各セルの描画法を最適にし、回路を描画するために要するEBショット数を最小化するソフトウェアを開発した。本開発において、商用の数理計画エンジンであるILOG社のCPLEX 9.0を用いた。我々は表1に示す4つのベンチマーク回路を用いて、描画面積に対するEBショット数を調査した。用いたセルライブラリに含まれるセルの数は300~400種類であり、論理合成の結果、100個以下のセルがマッピングされた。CPマスクにセルを搭載することを考えるとき、機能的には同じであるが物理的な配置(反転および回転)が異なるセルは異なるオブジェクトとして見なす必要がある。4つのベンチマーク回路の配置配線を行った結果、セル・オブジェクト数は100~200個程度であった。各ベンチマーク回路における総セルインスタンス数を表1に示す。ここで注意されたいのは、数理計画問題 $\mathcal{P}_A$ および $\mathcal{P}_S$ の大きさはセルのインスタンス数ではなく、セルのオブジェクト数に影響を与えられる点である。セルのインスタンス数はILPモデルにおけるセルの参照回数 $r_i$ を決定するものであり、変数の数、あるいは、制約式の数を増減させるものではない。

表1 ベンチマーク回路の説明.

	回路1	回路2	回路3	回路4
使用されたセル・オブジェクト数 (反転, 回転を無視)	39	55	74	76
使用されたセル・オブジェクト数 (反転, 回転を区別)	118	164	211	132
セルライブラリ中のセル数 (反転, 回転を無視)	310	310	395	395
#セル・インスタンス数	3,875	3,943	2,311	35,683
Mirror-X	あり	あり	あり	あり
Mirror-Y	あり	あり	あり	なし
Mirror-XY	あり	あり	あり	なし
副問題中での変数の数	118	164	211	132
テクノロジー・ノード [ $\mu\text{m}$ ]	0.35	0.35	0.25	0.25

い。したがって、数理計画問題の大きさに影響を与えるものではない。数理計画問題  $P_A$  において、セルのオブジェクト数と変数の数は等価であるために、セルのオブジェクト数は変数の数に影響を与え、数理計画問題の大きさに影響を与えるものである。

実験で仮定した CP 描画装置の仕様を表 2 に示す。本描画装置においては、CP マスク上の図形パターンはウェーハ上では 1/5 に縮小される。本表に示されるすべての値はウェーハ上では 1/5 となる。CP マスク上でのキャラクタの大きさが 500 ミクロン角の場合、CP マスクは 441 個のキャラクタを搭載可能である。我々は、現在の技術で可能な電子ビームの最大の大きさをウェーハ上の値で 10 ミクロン角と仮定した。

表2 CP 描画装置の仕様.

	大きさ [ $\mu\text{m}$ ]
CP マスクの高さと幅	650
隣接するキャラクタ間の距離	5
キャラクタの最大長	50

表 3 に示す三つのケースを想定し、それぞれのケースにおけるポリシリコン層を描画するための EB ショット数を調査した。ケース 1 では、キャラクタの大きさとして 5 ミクロン角を仮定した。この値は文献 [2] で用いられているものであり、CP 描画装置の仕様によって与えられるものである。ケース 2 では、電子ビームの大きさの制限により、最大 10 ミクロン角のキャラクタを描画できると仮定した。この制約の下で最適な描画面積を探索した。ケース 3 では、電子ビームの大きさに制限はないといった制約の下で最適な描画面積を求めた。

表3 想定する3つのケース.

	縦の長さ	横の長さ	備考
ケース 1	5.0 [ $\mu\text{m}$ ]	5.0 [ $\mu\text{m}$ ]	文献 [2] の描画面積。この値は装置の仕様から与えられる
ケース 2	探索	探索	現状可能なビームサイズで最適な描画面積
ケース 3	探索	探索	任意の大きさの電子ビームで最適な描画面積

実験によって得られた EB ショット数を表 4 に示す。ケース 1 とケース 2 を比較して、最大 72.0% の EB ショット数が削減された。ケース 1 および 2 のいずれも実現可能な電子ビームの大きさをういたものである。ケース 1 および 2 が異なる点は描画面積を最適化するかどうかである。ケース 1 および 2 の相違により、CP 描画装置の電子ビームの大きさは装置使用者が設定できることが望ましく、これにより装置使用者が製造する半導体デバイスごとに CP 描画装置のスループットの向上が可能となる。表 4 に示すように、任意の大きさの電子ビームを用いて描画できると仮定した場合は、さらに EB ショット数を削減することができる。ケース 1 と 3 を比較した場合、最高で 75.9% の EB ショット数が削減され、ケース 2 と 3 を比較した場合、最高で 39.5% の EB ショット数が削減された。ケース 2 と 3 の相違により、電子ビームの大きさを大きくすればどれだけ描画能力の向上を図れるかがわかる。このデータは CP 描画装置開発者が電子ビーム銃を開発する上での指針となる。

表4 3つのケースにおけるEBショット数.

	回路1	回路2	回路3	回路4
ケース 1	52,117	41,469	26,913	164,316
ケース 2	23,785	21,122	7,710	46,050
ケース 3	14,379	15,120	7,710	39,546

描画面積の最適化のために用いた計算環境は CPU が Intel Pentium 4 2.4GHz であり、主記憶が 1GB である PC サーバである。3つのケースで描画面積を最適化するために要した計算時間を表 5 に示す。描画面積の最適化プロセスは最悪 2 分足らずで終了した。繰り返しになるが、セルのインスタンス数は計算時間に影響を与えるものではない。計算時間に影響を与えるものはセルのオブジェクト数である。セルの物理的な配置を考慮してもセル・オブジェクト数は小さなものであり、最適化に要する計算時間は短いものとなる。今後のテクノロジーノードの進展を鑑みても、設計に用いられるセル・オブジェクト数はセル・インスタンス数ほど急激に増加するものではない。

表5 描画面積を最適化するために要した計算時間 [s].

	回路1	回路2	回路3	回路4
ケース 1	0.00	0.00	0.00	0.00
ケース 2	11.86	14.29	60.55	56.28
ケース 3	27.05	32.81	96.04	86.12

図 4,5,6 はそれぞれ様々な描画面積に対する回路 1,2,3 の描画に要する EB ショット数を示すものである。これらの図において、EB ショット数の最小点が存在する。最小点を実現する描画面積より描画面積を小さくすると急激に EB ショット数が増加することが窺える。また、最小点を実現する描画面積より描画面積を大きくすると、EB ショット数はなだらかに増加していく。最小点の近傍では EB ショット数の増減が大きいために、提案した描画面積の最適化は EB ショット数を削減する上で非常に効果があると言える。実験により、提案手法は CP 描画装置の描画能力を向上する上で非常に有効なアプローチであることが明らかになった。

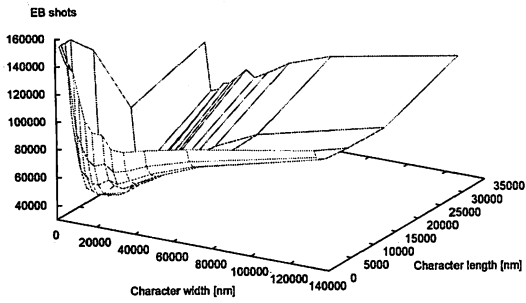


図4 回路1を描画するために要するEBショット数.

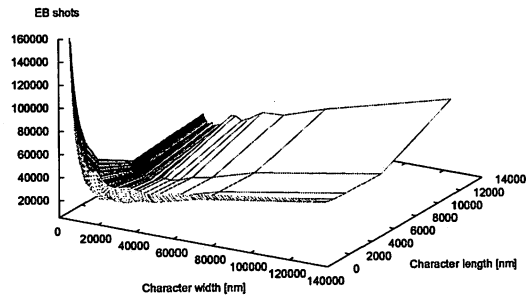


図5 回路2を描画するために要するEBショット数.

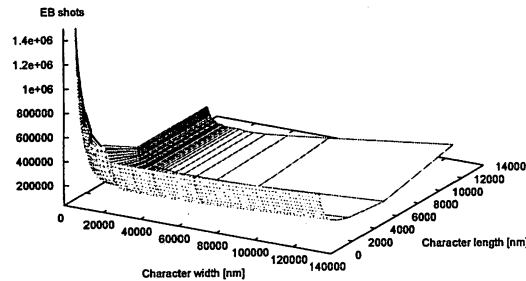


図6 回路3を描画するために要するEBショット数.

## 5. おわりに

本稿では、CP法における描画面積最適化による描画時間の削減を議論した。数理計画問題を解き、ベンチマーク回路の描画時間や描画面積を調査した。計算機実験では、現状で可能な電子ビームの大きさをを用いて最大72.0%のEBショット数を削減した。実験的により、我々の提案手法がEBショット数を削減するために有益であるとわかった。実験結果により、CP描画装置の出荷後にCP描画装置の使用者が描画面積を設定できるように、CP描画装置を開発する必要があることがわかった。

提案した描画面積最適化法は、ソフトウェア的なアプローチによってより少ない描画時間を実現し、CP描画装置の描画能力を向上するものである。描画能力の向上により、半導体デバイスに転嫁される描画装置償却費は削減され、結果として半導体デバイスの単価を抑制することができる。少量の半導体デバイスを安価に開発できることは、半導体デバイスのあらゆる分野への応用を可能とし、高度情報化を加速するものである。また、CP法はフォトリソ開発への応用も可能であり、CP法の描画時間の削減は将来的には大量生産品の価格を抑制すること

にも繋がる。

## 文 献

- [1] ILOG, Inc., CPLEX 9.0 Reference Manual, December 2003.
- [2] R. Inanami et al., "Throughput enhancement strategy of maskless electron beam direct writing for logic device," *IEEE International Electron Devices Meeting*, pp. 833-836, December 2000.
- [3] H. C. Pfeiffer, "Variable spot shaping for electron beam lithography," *Journal of Vacuum Science & Technology*, vol. 15, no. 3, pp. 887-890, May/June 1978.
- [4] H. C. Pfeiffer, "Recent advances in electron-beam lithography for the high-volume production of VLSI devices," *IEEE Transactions on electron devices*, vol. ED-26, no. 4, pp. 663-674, April 1979.
- [5] 杉原 真ら, "キャラクタプロジェクション法のためのセルライブラリ開発手法," 電子情報通信学会技術報告, SIP2005-128, ICD2005-147, IE2005-92, vol. 105, pp. 105-110, 2005年10月.
- [6] M. Sugihara et al., "Cell library development methodology for throughput enhancement of electron beam direct-write lithography systems," *IEEE International Symposium on SOC*, pp. 137-140, November 2005.
- [7] M. Sugihara et al., "Cell library development methodology for throughput enhancement of character projection equipment," to appear in *IEICE Transactions on Electronics*, March 2006.
- [8] M. Sugihara et al., "A CP mask development methodology for MCC systems," to appear in *Proc. SPIE Photomask Japan*, April 2006.
- [9] M. Sugihara et al., "Technology mapping technique for throughput enhancement of character projection equipment," to appear in *Proc. SPIE Microlithography*, February 2006.
- [10] H. P. Williams, *Model Building in Mathematical Programming*, John Wiley, 1999.
- [11] H. Yasuda et al., "A proposal of MCC (multi-column cell with lotus root lens) system to use as a mask making e-beam tool," *Proc. BA-CUS Symposium on Photomask Technology*, pp. 911-921, December 2004.