

## 三次元集積回路技術を用いた並列画像処理のための 再構成可能な積層型メモリシステムの設計

天野 大二朗<sup>†</sup> 杉村 武昭<sup>†</sup> 小西 雄太<sup>†</sup> 福島 誉史<sup>†</sup>

田中 徹<sup>†</sup> 小柳 光正<sup>†</sup>

<sup>†</sup>東北大学大学院 工学研究科 バイオロボティクス専攻  
〒980-8579 宮城県仙台市青葉区荒巻字青葉 6-6-01

E-mail: <sup>†</sup>sdlab@sd.mech.tohoku.ac.jp

あらまし ロボットビジョンのような視覚情報処理においてはビデオレートを大幅に超える実時間高速画像処理システムが必要とされる。このような画像処理システムとして、これまでにイメージセンサ、メモリ、処理回路を積層した三次元積層型並列画像処理システムが提案されている。このシステムではイメージセンサから得られた画像は分割され、処理回路と1対1で結合された複数のメモリに格納される。そして、処理回路により並列に画像処理を行う。しかし、演算対象の画素だけでなく、その近傍の画像データを用いるフィルタリングのような処理では、分割画像間の境界部分のデータのロード・ストアが複雑になっている。これは演算対象の分割画像を格納するメモリだけでなく、近傍の画像を格納するメモリへのアクセスが必要となるからである。そこで、メモリ構成を動的に再構成することによって、分割画像間の境界を自由に移動することが可能なメモリシステムの設計を行った。提案するメモリシステムを用いることで対象画素の演算の際に近傍のメモリにアクセスする必要がなくなり、実行サイクル数が減少して、従来よりも高速に画像処理が可能である。提案したメモリシステムをFPGAに実装し画像処理の動作を確認した。

キーワード ロボットビジョン、メモリシステム、画像処理

## Reconfigurable Stacked Memory System for Parallel Image Processing Using Three-Dimensional LSI Technology

Daijiro AMANO<sup>†</sup> Takeaki Sugimura<sup>†</sup> Yuta KONISHI<sup>†</sup> Takafumi FUKUSHIMA<sup>†</sup>

Tetsu TANAKA<sup>†</sup> and Mitsumasa KOYANAGI<sup>†</sup>

<sup>†</sup> Department of Bioengineering and Robotics, Graduate School of Engineering, Tohoku University  
6-6-01 Aza Aoba, Aramaki, Aoba-ku, Sendai 980-8579, Japan

E-mail: <sup>†</sup>sdlab@sd.mech.tohoku.ac.jp

**Abstract** The real-time image processing system with a frame rate beyond video rate is required for the high-speed visual information processing which is employed in the robot vision and moving target tracking. So far the parallel image processing system using a three-dimensional integrated circuit was proposed. This system has several layers where the image sensor circuit, the memory circuit, and the processing circuit are incorporated into the respective layers. In this system, the image data captured by the image sensor is divided into many units and stored in the memories. The stored image data is processed in parallel by the processing circuit. However, it becomes difficult to perform the processing operation such as filtering which needs the data processing beyond the boundary between the divided image units. In the filtering operation, we use not only the pixel data of target unit but also the peripheral pixel data in the neighboring units. Therefore, it is needed to access both memories of the target unit and the neighboring units. In order to overcome such difficulties in memory access, we proposed a novel memory system using three-dimensional LSI technology. In this system, the image can be easily divided into many image units without any restrictions by dynamically changing the memory configuration. This system does not need to access the pixel memories of the neighboring units as a result of dynamically changing the memory configuration. Consequently, the number of execution cycles is decreased, and the image data processing with higher speed compared with the previous system is possible. We implemented this memory system on FPGA and confirmed the basic operations for the image processing.

**Keyword** robot vision, memory system, image processing

# 1. 緒言

近年のロボット技術の発達は目覚しく、現在では工業分野における単純作業から、エンターテイメントや医療福祉などの分野へ応用が進められている。ロボットが人間と同様の環境下で自律的に作業する場合、周囲の状況を認識するため、視覚認識機能が不可欠となる。しかし、これまでビデオレートの転送速度制限により1フレーム当り1/30秒の情報処理が限界であった。これに対してロボットがリアルタイムで周囲の状況に対応するためには1000fram/sec以上のリアルタイム画像処理システムが必要とされている[1]。

このリアルタイム画像処理を実現するために、現在ではビジョンチップ[2]が提案されている。ビジョンチップとは、ピクセル毎に受光素子と処理回路が実装され、各ピクセルで並列に信号処理を行い、ワンチップで画像情報の取得から画像の特徴量検出までの機能を有するCMOSイメージセンサである。これまで逐次演算により同等の機能を提供してきた機構と置き換えることでビデオレートの制限を解決し、大幅に処理時間を短縮することや、受光回路と処理回路をワンチップ上に実装すること[3]で小型化やコストの削減が可能とされている。しかしながら、ビジョンチップの高性能化・高機能化に伴い、各ピクセルに実装される処理回路の面積や配線数が増大し、開口率や解像度が低下するという問題が生じている。

このような問題を解決するために、筆者らはイメージセンサ、メモリ、処理回路を積層した三次元積層型並列画像処理システムを提案している[4][5]。このシステムではイメージセンサから得られた画像は分割され、処理回路と1対1で結合された複数のメモリに格納される。そして、処理回路により並列に画像処理を行う。しかし、演算対象の画素だけではなく、その近傍の画像データを用いるフィルタリング、オプティカルフローのような処理では分割した画像間の境界部分の画像データのロード・ストアが複雑になっている。これは演算対象の分割画像を格納するメモリだけでなく、近傍の画像を格納するメモリへのアクセスが必要となり、そのアドレス演算が別に必要となるからである。さらにそのための実行サイクル数が増加し、境界部分の画像処理を考慮に入れた画像処理プログラムが必要となる。

本研究では分割画像間の境界部分のデータを容易に転送可能な新たなメモリシステムを提案する。また設計したメモリシステムをFPGA(Field Programmable Gate Array)に実装し画像処理の動作確認を行い、性能を評価した。

## 2. 三次元積層型画像処理システム

三次元積層型画像処理システムの構成を図1に示す。提案するシステムはメモリ層、Multiplexer(MUX)を用いたインターコネクション層、演算回路(PE:Processing Element)層から構成され、メモリとPEが1対1に結合した組み合わせ

を複数配置した並列構造をとる。そして、各層は垂直配線により結合され、PEとメモリはインターコネクション層を通してデータ転送を行う。また、インターコネクション層のMUXを切り替えることにより、各PEは近傍メモリのデータへアクセスが可能である。

提案するシステムでは各層間を多数の垂直配線により結合し、帯域幅を大幅に増やすことが可能である[6]。また垂直配線は30μmと非常に短いことから、データ転送の高速化を実現できる。さらに、小型化、低消費電力化も実現し、メモリを複数積層することによって、従来よりも格納できるデータ容量を飛躍的に向上させることも可能である。

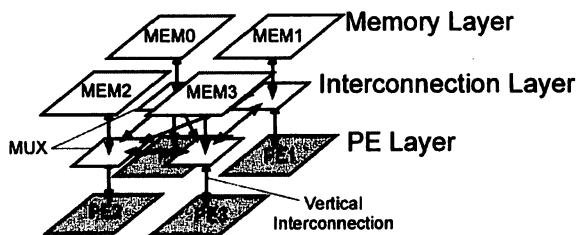


図1 三次元積層型画像処理システムの構成

## 3. 並列画像処理のためのメモリシステムの提案

### 3.1. 近傍メモリへのアクセス数とPE数の関係

並列画像処理では実行する画像処理プログラム、PEの並列数により、近傍メモリへのアクセス数が変化する。そこで近傍メモリへのアクセスを頻繁に行うフィルタリング処理におけるメモリアクセス数とPE数の関係を評価した。256×256Pixelの画像データをPE数で分割し、4種類のマスクサイズでフィルタリング処理を行った場合の近傍メモリへのアクセス数とPE数の関係を図3に示す。

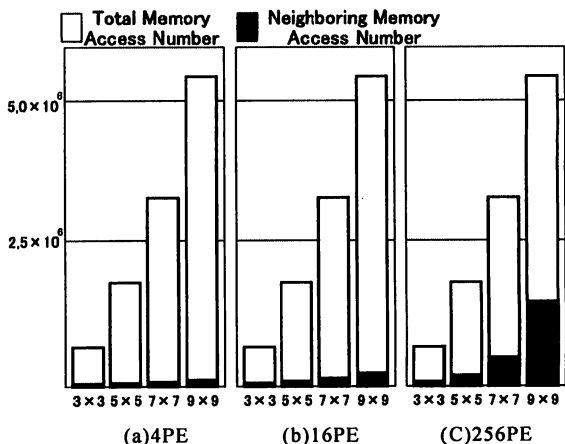


図3 フィルタリング処理における近傍メモリへのアクセス数とPE数の関係

図3より、フィルタリングのマスクサイズ、PE数の増加に伴い、近傍メモリへのアクセス数が増加するのがわかる。このことからPE数を増やすことによって、近傍メモリへのアクセス数は大幅に増加していくと考えられる。画像処理を高速化する場合、このようにPE数を増やし、並列度を増やすことが不可欠となるため、近傍メモリとのデータ転送を容易に実行可能なメモリシステムが必要となる。そこで本研究では近傍メモリとのデータ転送を容易に可能な新たなメモリシステムを提案する。

### 3.2. 動的再構成によるメモリ構成の変化

新たに提案するメモリシステムでは、PEと1対1で結合されているメモリを4つのサブメモリブロックから構成する。この構成を図4に示す。分割された4つのサブメモリブロックのうち1つがPEと対応しており、再構成の際に中心となるサブメモリブロックとなる。このサブメモリブロックを中心に図4のように4種類のパターンにメモリを再構成することが可能である。すなわち、PE側からは4つのサブメモリブロックが1つのメモリとして扱われ、分割画像同士の境界を自由に移動することが可能になる。

このシステムではサイクル毎に動的にメモリ構成を変化させ、PE-メモリ間における画像データのロード・ストアを容易に実行可能にする。これにより、余計なアドレス演算を省くことで必要となる実行サイクル数を減少させ、画像処理の高速化を実現する。さらに、画像処理プログラムの並列化も容易に行うことが可能となる。フィルタリング処理を行う場合の例を図5に示す。メモリ構成を変化させることにより、処理対象の画素が画像の中心付近になるようにメモリの再構成を行っている。

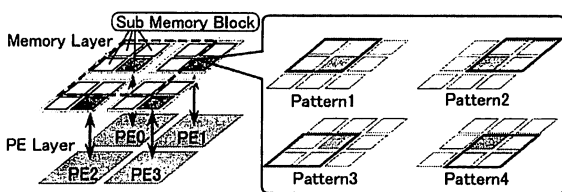


図4 動的再構成によるメモリ構成の変化

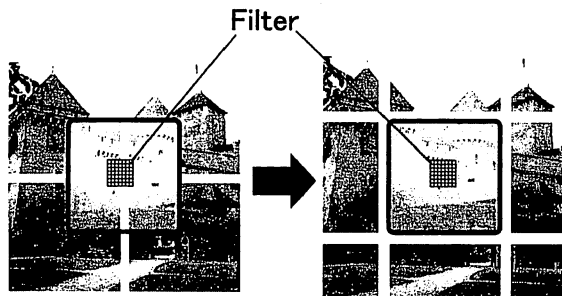


図5 フィルタリング処理におけるメモリ構成変化の例

### 3.3. 提案するメモリシステムのデータベースの構成

提案するメモリシステムでは、メモリの動的再構成と、近傍

メモリへのアクセスを可能にするために、PE-メモリ間にメモリ再構成結合網と近傍アクセス結合網を設けている。図6にメモリ再構成結合網と近傍アクセス結合網のデータベースの構成を示す。図6より、読み出し動作の場合、まず、メモリ再構成結合網によりPEに対応するサブメモリブロックを中心とした9つのサブメモリブロックのデータをMUXにより選択してデータを読み出す。次に近傍アクセス結合網により、近傍のどのメモリにアクセスするかMUXにより選択し、PEに読み出すデータを決定する。また、書き込みの場合は近傍アクセス結合網のMUXにより、どのPEからのデータを書き込むかを決定する。そして、対応するサブメモリブロックの近傍すべてに書き込みデータを送る。サブメモリブロックが重なる部分ではMUXにより書き込まれるデータを選択する。このようにして提案するシステムではPE-メモリ間においてデータ転送を実現している。

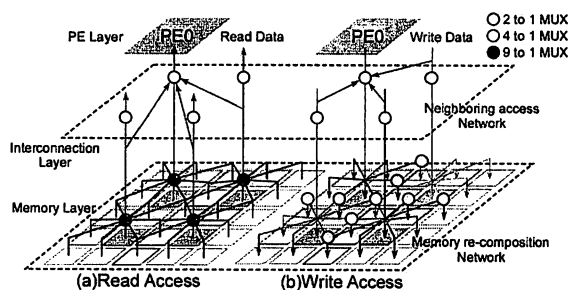


図6 メモリシステムのデータベースの構成

### 3.4. メモリシステムの構成

図7に提案するメモリシステムの構成を示す。提案するメモリシステムはフレームメモリA、フレームメモリB、データメモリ、メモリ再構成結合網、近傍アクセス結合網、メモリコントローラ、命令メモリにより構成される。入力される画像データはフレームメモリA、Bに交互に書き込まれ、一方が画像処理に使用されている間にもう一方のフレームメモリ内の画像データを更新する。データメモリは演算したデータや画像処理に必要なデータを格納し、命令メモリはメモリシステムの制御命令を格納している。

画像処理の演算は全PEで同様の演算を行う並列化可能な処理、そして、並列化困難な逐次処理の2つの処理に分類される。提案するメモリシステムでは全PEが同様のデータ転送を行うSIMD(Single Instruction Multi Data stream)データ転送、各PE毎に自由にデータ転送可能なMIMD(Multi Instruction Multi Data stream)データ転送を実装している。また、オプティカフロー、マッチング処理では現フレーム画像と前フレーム画像の2フレームの画像データが必要となる。提案するメモリシステムでは1命令で1フレームの画像データをフレームメモリからデータメモリへ高速に転送可能なDMA(Direct Memory Access)を実装している。

また、インターコネクションのMUX制御は命令メモリからのメモリ制御命令とPEからのデータ転送命令をデコードす

ることにより行う。図 8 はメモリシステム制御命令であり、Addressing Mode、SIMD、MIMD、DMA データ転送を区別する Instruction Mode、メモリ構成を変化させる Memory Configuration から構成される。PE-メモリ間における制御信号、データ信号に関しては次節で説明する。

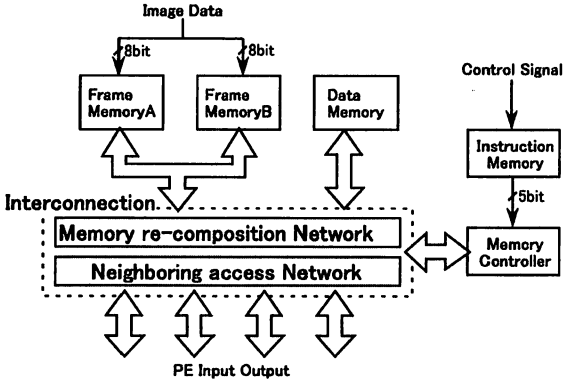


図 7 メモリシステムの構成

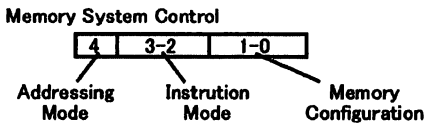


図 8 メモリシステム制御

### 3.5. PE - インターコネクション間配線の最適化

提案するメモリシステムではメモリの動的再構成と共に、SIMD、MIMD、DMA データ転送命令を切り替えデータ転送を行う。SIMD データ転送を実行する場合、全ての PE が同様のデータ転送を行い、特定の PE からデータ制御信号をメモリに入力し、メモリシステムを制御している。しかし、MIMD 命令を実行する場合、各 PE のデータ転送は各 PE により制御する。このように提案するメモリシステムでは処理毎に制御方式が異なり、SIMD、MIMD 命令実行時において、制御信号とデータ信号のデータ帯域幅が異なる。そこで提案するシステムでは PE-メモリ間全体の帯域幅を一定にし、処理毎に制御信号とデータ信号の割合を変化させることにより、PE-メモリ間でデータ転送を行っている。

また、メモリにはデュアルポートメモリを用い、SIMD 命令では最大で 2 データを PE-メモリ間でデータ転送することが可能である。各命令実行時の PE-メモリ間のデータ帯域幅の仕様について以下で説明する。

#### 3.5.1 SIMD 命令

図 9 に SIMD 命令における PE とメモリ間のデータ帯域幅の仕様を示す。SIMD データ転送を実行する場合、各 PE とメモリは最大で 2 データを同時にロード・ストアすることが可能である。メモリシステムへの制御信号、アドレスは特定の PE からメモリシステムへ入力し、PE-メモリ間で並列データ転送を行う。

Memory System Input Data(From PE)

PE0	31-24 Data1	23-16 Data2	15-0 Address1
PE1	31-24 Data1	23-16 Data2	15-0 Address2
PE2	31-24 Data1	23-16 Data2	15-0 Memory Instruction
PE3	31-24 Data1	23-16 Data2	15-0

図 9 SIMD 命令におけるデータ帯域幅の仕様

#### 3.5.2. MIMD 命令

図 10 に MIMD 命令における PE とメモリ間のデータ帯域幅の仕様を示す。並列データ転送とは異なり、各 PE がデータ転送を制御する。近傍メモリにアクセスする場合、複数の PE が同じメモリにアクセスする競合が起こりうる。そこで、このアクセス競合を回避するために、アービトレーションを用い、競合を回避している。競合が発生した場合、あらかじめ決められた優先順位に基づき、近傍アクセス可能な PE を選択する。その間、他の PE には BUSY 信号を出し待機させる。このようにしてアービトレーションは、各 PE の近傍アクセス命令の実行を制御し、順次実行する。

Memory System Input Data(From PE)

PE0	31-24 Data1	23-16 Memory Instruction	15-0 Address1
PE1	31-24 Data1	23-16 Memory Instruction	15-0 Address1
PE2	31-24 Data1	23-16 Memory Instruction	15-0 Address1
PE3	31-24 Data1	23-16 Memory Instruction	15-0 Address1

図 10 MIMD 命令におけるデータ帯域幅の仕様

#### 3.5.3. DMA 命令

フレームメモリのデータをデータメモリへ移動し、実行と同時に DMA 命令が終了するまですべての PE に対して BUSY 信号を出す。データ転送はすべてのメモリブロックで並列に行い、64×64Pixel、4PE の場合 256 サイクルで DMA 命令を実行することが可能である。

## 4. 画像処理システムへの実装

提案するメモリシステムを用いて画像処理システムを構築し、FPGA(Xilinx 社製、XC2VP30-FF896)へ実装した。図 11 に構築した画像処理システムを示す。画像処理システムは画像を取り込むイメージセンサ、提案するメモリシステム、画像処理回路、分岐制御ユニット、命令メモリ、I/O、I/O コントローラにより構成される。命令メモリにはメモリシステムの制御命令と PE の制御命令が格納され、命令メモリのデータを変更することで様々な画像処理を実行可能である。画像処理はまず、カメラモジュールより入力された画像データがメモリに格納される。そして分岐制御ユニットにより、PE とメモリシステムに入力する制御命令を操作し、画像処理を行う。画像処理を行ったデータは I/O に一時的に格納し、I/O コントローラによって、PC へと順次出力する。そして、PC において画像表示プログラムを用い PC の画面上に描画している。

カメラモジュール、画像処理回路、分岐制御ユニットに関しては次節で説明する。

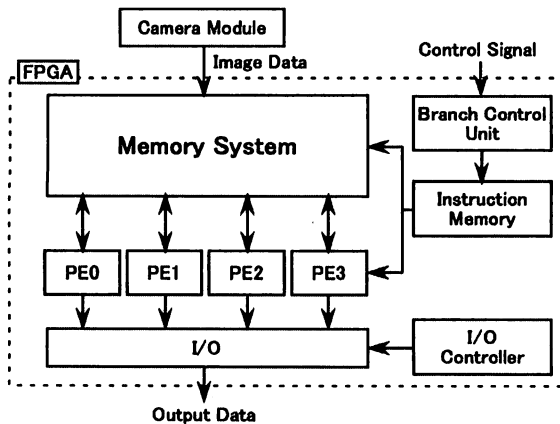


図 11 画像処理システム

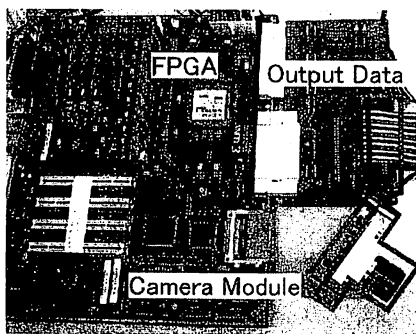


図 12 試作した画像処理システムの写真

#### 4.1. カメラモジュール

本研究では、ビデオレートを超える高速なイメージセンサとして、64×64 ピクセルのフォトセルアレイと 6bit A/D コンバータを同一チップに搭載したイメージセンサ[7]を使用した。使用したイメージセンサの緒元を表 1 に示す。このイメージセンサは 120frame/sec の速度での画像の取り込みが可能である。

表 1 使用したイメージセンサの緒元

Technology	0.35 μm CMOS Metal 3 Layer
Chip Size	4.9mm × 4.9mm
Cell Array	64 × 64Pixel
A/D Converter	6bit Flash
Frequency	500 KHz
Frame Rate	120 frame/s
Power	3.3 V

#### 4.2. 画像処理回路の構成

画像処理回路は画像データ処理用の ALU、積和算器、レジスタファイル、アドレス演算用の ALU、レジスタファイルから構成されている。画像処理回路の制御は命令メモリに

格納されている PE 制御命令を切り替えることで ALU の入力、ALU のファンクション、レジスタファイルの操作を行う。また、各 PE にはメモリとのインターフェースが搭載されており、この中のメモリアドレスレジスタとメモリデータレジスタを用いてメモリへのアクセスを行う。

#### 4.3. 分岐制御ユニットの構成

分岐制御ユニットは、PE とメモリシステムに制御命令を配信し、1 クロックサイクルでこの制御命令の切り替えを行っている。分岐制御ユニットの制御命令の構成を図 14 に示す。分岐制御ユニットはデータ中に格納されている分岐条件が満たされた場合、指定される制御命令の番号へとジャンプする。これにより同一制御信号を用いての画像全体に対するループ制御や分岐制御を行う。

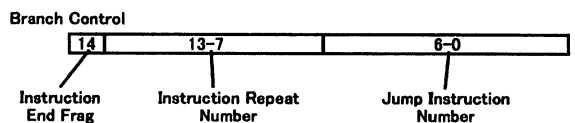
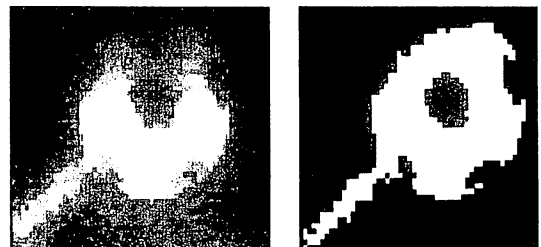


図 14 分岐制御ユニットの制御命令の構成

#### 4.4. 画像処理の実行

画像処理システムを FPGA に実装し、処理を行った画像を図 15 に示す。図 15 は試作システムによって 2 値化を行った画像である。



(a)原画像

(b)2 値化

図 15 試作システムによる画像処理結果

#### 5. 性能評価

設計した画像処理システムの性能評価を、実測したデータを用いて行った。入力画像の大きさは 64×64pixel であり、これを 4 分割して各 PE での処理を行った。実装した画像処理アルゴリズムは、2 値化、フィルタリング(3×3、5×5、7×7、9×9)、動き検出の 3 種類である。これらの画像処理における演算アルゴリズムを式(1)~(3)に示す。式(1)~(3)において、 $f_t(i,j)$ は時間  $t$  における入力画像、 $g_t(i,j)$ は時間  $t$  における出力画像、 $k$  は閾値、 $W_{p,q}$  はフィルタ係数とする。

・2 値化

$$g_t(i,j) = \begin{cases} 1; f_t(i,j) \geq k \\ 0; f_t(i,j) < k \end{cases} \quad (1)$$

・フィルタリング(3×3)

$$g_i(i, j) = \sum_{p=-1}^1 \sum_{q=-1}^1 W_{p,q} \times f_i(i+p, j+q) \quad (2)$$

・動き検出

$$g_i(i, j) = \begin{cases} f_i(i, j); |f_i(i, j) - f_{i-1}(i, j)| \geq k \\ 0; |f_i(i, j) - f_{i-1}(i, j)| < k \end{cases} \quad (3)$$

上記の画像処理アルゴリズムを用いて画像処理を行った結果を表2に示す。ここでのフレームレートはFPGA実装時における最大動作周波数に基づき計算したものである。2値化、コンボリューションフィルタ(3×3、5×5)、動き検出については1000frame/secを超える高い性能を示していることがわかる。また、従来の画像処理システム[4]と提案するメモリシステムを実装した画像処理システムにおける3×3フィルタリング処理を行った場合のサイクル数を比較した。従来のシステムでは12339サイクルであるのに対し、提案するメモリシステムでは11347サイクルであり、サイクル数が減少した。このように、提案するメモリシステムでは近傍メモリアクセスのサイクル数を減少させることが可能であり、メモリシステムの有効性を示すことが出来た。

表2 画像処理結果

Image Processing Function	Required Clock Cycles	Frame Rate (37.9MHz)
Thresholding	3104	12210 frame/s
3×3 Convolution Filter	11347	3340 frame/s
5×5 Convolution Filter	29795	1272 frame/s
7×7 Convolution Filter	54400	697 frame/s
9×9 Convolution Filter	87200	435 frame/s
Motion Detection	6435	5890 frame/s

Input Image : 64×64pixel

## 6. 提案したメモリシステムの試作チップ

設計した画像処理システムの試作を行った。使用したテクノロジーは0.18μm CMOS Metal 5 Layer、チップサイズは5mm×5mmである。また、動作周波数は40MHzを想定して設計を行った。このチップのレイアウトを図17に示す。

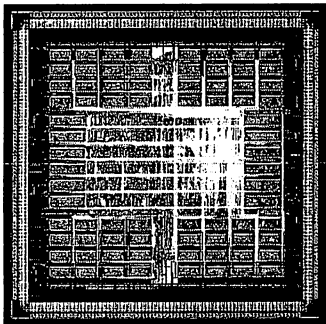


図17 設計したメモリシステムのレイアウト

## 7. 結言

並列画像処理のための再構成可能な積層型メモリシステムを提案した。提案したメモリシステムではPE-メモリ間の配線網を切り替えることによってメモリを動的に再構成し、分割画像同士の境界を自由に移動可能である。また、設計した画像処理システムの画像処理結果から2値化、コンボリューションフィルタ(3×3、5×5)、動き検出については1000frame/secを超える高い性能が得られることが分かった。今後はオプティカルフロー、ラベリングといった高度な画像処理機能の実装を行うことで、高機能、高性能な画像処理システムを実現する。またプロセッサを構成するPEの数を増やすことにより高精細な画像の処理を高速に実行可能にする。

## 謝辞

本研究の一部は東北大学21世紀COEプログラム「ナノテクノロジー基盤機械科学フロンティア」の支援を受けて行ったものであり、謝意を表する。

また、本研究中のチップ試作は、東京大学大規模集積システム設計教育研究センターを通しローム(株)、凸版印刷(株)、シノプシス株式会社、ケイデンス株式会社、およびメンターグラフィックス株式会社の協力で行われたものである。

## 文献

- [1] Y. Nakabo et al., "1ms Column Parallel Vision System and Its Application of High Speed Target Tracking," IEEE International Conference on Robotics and Automation, pp. 650-655, 2000]
- [2] 松本隆 et al., "ビジョンチップII - アナログ画像処理用ニューロチップ," 信学誌, Vol.6, pp.783-791, 1993.
- [3] 小室孝 et al., "高速対象追跡ビジョンチップ," 電気情報通信学会論文誌, Vol. J84-D-II, No.1(2001)pp.75-82
- [4] 杉村武昭 et al., "ロボットビジョンシステムのための積層型並列リコンフィギャラブル画像処理プロセッサの設計," 信学論(D), vol.89-D, no.6, pp.1141-1152, Jun.2006.
- [5] M. Koyanagi et al., "Neuromorphic Vision Chip Fabricated Using Three-Dimensional Integration Technology", The International Solid-State Circuits Conference Digest of Technical Papers, pp. 270-271, 2001
- [6] James W. Joyner, Payman Zarkesh-Ha, "Global Interconnect Design in a Three-Dimensional System-on-a-Chip", IEEE TRANSACTIONS ON VLSI SYSTEMS, VOL. 12, NO.4, APRIL 2004
- [7] 杉村武昭 et al., "周波数変調パルス型イメージセンサを用いたロボットのための適応ビジョンシステム" pp.106-107, 日本機械学会東北支部第39期総会・講演会講演論文集 No.041-1, 2004
- [8] L. Codrescu, and D. S. Wills, "Architecture of the atlas chip - multiprocessor: Dynamically parallelizing irregular applications," ICCD '99, pp428-435, October 1999
- [9] M. Koyanagi, H. Kurino, K. Sakuma, K. W. Lee, N. Nakamura, and H. Itani, "Future System-on-Silicon LSI Chips," IEEE MICRO, pp.17-22, 18(4), 1998