

## On Chip Probe による L S I の信号伝播波形の測定

川越 伸一<sup>†</sup> 橋 昌良<sup>‡</sup>

<sup>†</sup> † 高知工科大学大学院工学研究科電子・光システム工学コース

〒783-8502 高知県香美市土佐山田町宮之口185

E-mail: † 095307j@gs.kochi-tech.ac.jp, ‡ tachibana.masayoshi@kochi-tech.ac.jp

あらまし デジタル回路における配線遅延は、デザインルールが微細化に伴い、Lの影響を考慮しなければならない状況が生じている。このため、配線遅延を近似するためには従来用いられてきたとは異なる手法が求められている。本報告では、信号伝播の波形を直接測定することにより、近似の基盤となるデータを得ることを目的として、チップ上に FET プロブを作成し、数々の配線について、リングオシレータの出力を測定した結果について発表する。

キーワード 伝播遅延、FET プロブ、ストリップライン

## Waveform measurement of LSI by using on-chip-probe

Shinichi KAWAGOE<sup>†</sup> Masayoshi TACHIBANA<sup>‡</sup>

<sup>†</sup> † Electronic and Photonic Systems Engineering Course, Kochi University of Technology

185 Miyanakuchi, Toayamada-cho, Kochi 782-8502 Japan

**Abstract** The effects of parasitic inductance of transmission line are becoming important factor in approximating signal delay in digital circuit due to the miniaturization of a design rule. Therefore more efficient methods are to be needed than before. This paper presents a test methodology to approximate the transmission delay, which contains FET probe on chip with several kinds of strip lines aimed at gaining the basic data of transmission delay.

**Keyword** transmission delay, FET probe, strip line,

### 1. はじめに

大規模化、集積化する L S I の開発設計では、初期論理合成後のフロアプランにおいて、配線容量を基にした遅延見積りの最適化を行い、再合成という手法をとってきた。プロセスの微細化に伴うディープサブミクロン時代に入ると、クロック、バスラインといったグローバル配線での配線インダクタンスの影響を考慮に入れなければ状況が生じてきた。しかしながら、未だその伝播遅延モデルが確立されておらず、電磁界シミュレーションを利用して詳細に遅延を見積もる手法では計算に多くの時間を要している。これらの問題を解決すべく、インダクタンスを考慮に入れた配線遅延の近似モデルがさまざま提案されてはいるが、シミュレーションによる遅延見積もりと実配線との検証が困難である。

本研究で提案する手法は、チップ上に F E T プロブ等価回路を併設し、Lによるオーバーシュートやリングング、Cによるパルスの立ち上がり/下りの鈍り等を伝播波形の変化を実測するものである。

その第一段階として、本研究ではそのチップ開発を行った。基礎データを得るためのリング発振器、校正用スイッチ、そしてストリップラインから構成されるテスト回路(図1)を用いて伝送線路とする2つの種類の配線遅延を測定できるテスト回路を作成した。しかしながら1回目の試作では回路に問題があり、十分な測定ができなかったため、2回目の試作を行った。

本稿では2回目試作時のシミュレーション結果を掲載し、当日は1回目試作時の測定データを添えて発表する。

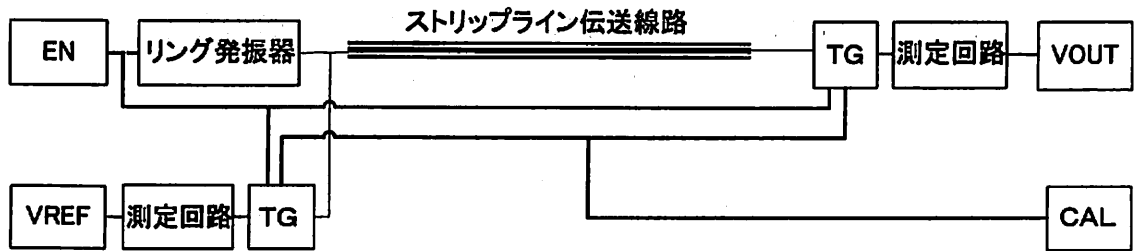


図 1 基本構成

## 2. 構成

### 2.1 基本構成

図 1 に基本構成を示す。チップ内にパルス発振源として 25 段のインバータで構成されたリング発振器、伝送線路としてはストリップラインを考へる。伝播遅延を差分算出するため、出力を 2 ch (VREF, VOUT) 構成とし、伝送線路の前後に測定回路 2 併設した。また校正用素子として、校正用信号端子 (CAL) を設け、リング発振を開始させるイネーブル端子 (EN) でスイッチ (TG) を切り替える。ここで、EN のレベルを

H レベル : VDD (3 V)

L レベル : GND (0 V)

と定義する

以下、TG スイッチ回路、測定回路について詳しく述べる

### 2.2 校正用素子 TG スイッチ

図 2 に TG スイッチの回路図を示す。

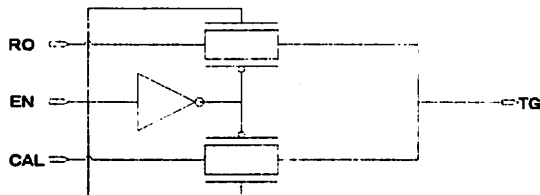


図 2. TG スイッチ 回路図

TG スイッチは、2 つのトランスファゲートとインバータで構成する。リング発振器からの伝播信号 (RO) と校正用信号 (CAL) をイネーブル信号 (EN) で切り替える。EN は、リング発振器のトリガも兼ね、アイソレーションも確保している。

### 2.3 測定回路

図 3 に測定回路の回路図を示す。

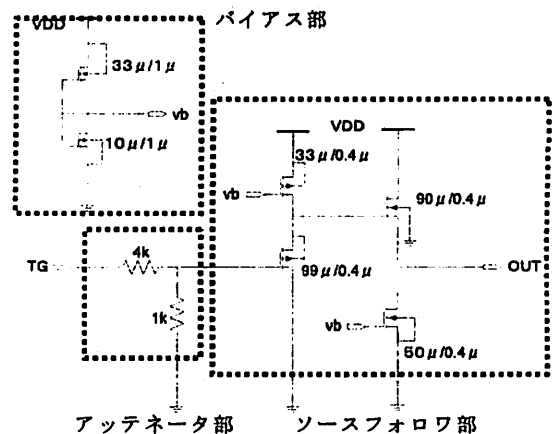


図 3. 測定回路 回路図

測定回路はバイアス部、アッテネータ部とソースフォロワ部から構成される。

アッテネータ部は Poly 抵抗により構成され、TG スイッチからの信号 (TG) を 5 : 1 に減衰する。これは、伝送線路に対する入力インピーダンスの確保とリングング等により発生したゲート耐圧以上の電圧による後段のトランジスタの絶縁破壊を避ける目的である。

ソースフォロワ部は 2 段構成となっている。初段を PMOS、次段を NMOS で受け、それぞれ vb でバイアスされた負荷を持つ。これらのシミュレーション波形は 4.1 項で後述する。

### 3. 対象

前項で述べたテスト回路を用いて、本稿では2つの伝播波形をシミュレーションする。

1. 配線長による伝播波形の遅延
2. L, Cを付加したときの伝播波形の測定

#### 3.1 配線長による伝播波形の遅延

ストリップライン伝送線路(図4)の配線長を変えて、伝播波形の遅延時間を算出する。以下表1にパラメータを示す。

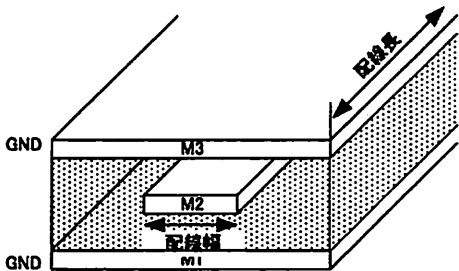


図4 ストリップライン伝送線路

表1. 配線長パラメータ

配線長 [mm]	配線幅 [ $\mu\text{m}$ ]
1.5	0.6
4.5	
7.5	

シミュレーションでは HSPICE の Wパラメータを用いる。なお、ここでは表皮効果を考えない。

#### 3.2 L, Cを付加したときの伝播波形の測定

配線長 1.5mm、配線幅 0.6 $\mu\text{m}$  のストリップラインに 30nH インダクタと 3.4pF キャパシタを付加したときの伝播波形を測定する。以下図5に接続関係を示す。

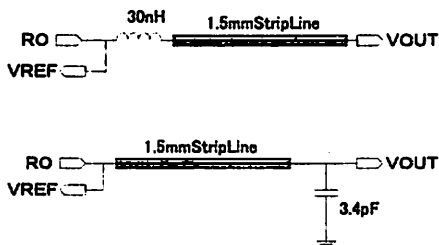


図5 L, Cとテスト回路の接続関係

なお、実際のレイアウト設計ではLをスパイラルインダクタ、Cを Poly-Poly キャパシタで構成している。

### 4. シミュレーション結果

本項では、これまでに述べたTGスイッチのスイッチング特性、配線長を変えたパターンや、L, Cを付加した時の伝播遅延波形のシミュレーション結果を示す。

#### 4.1 TGスイッチのシミュレーション結果

(2.2)項で述べたTGスイッチのシミュレーション結果を図6に示す。

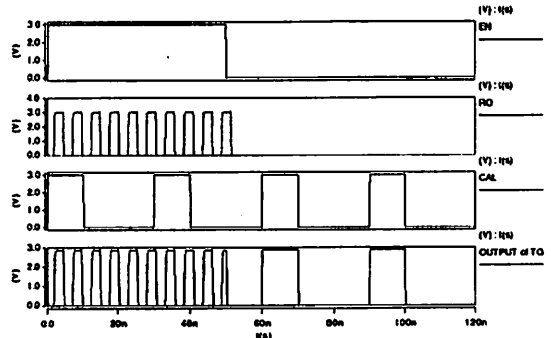


図6 TGスイッチのシミュレーション

イネーブル端子 (EN) が H レベルの時に、リング発振器 (RO) が発振を開始し、TGスイッチの出力はRO端子が選択されている。ENがLレベルに変化するとリング発振器は発振を止め、TGスイッチの出力は校正用入力CALが選択されている。これにより、校正時のアイソレーションを確保している。

#### 4.2 配線長による伝播波形のシミュレーション結果

3.1項で述べた配線長を変えた時の伝播波形のシミュレーション結果を以下図7に示す。なお、出力端子であるVREF、VOUTはそれぞれ終端抵抗  $R_L=50[\Omega]$  で終端している。

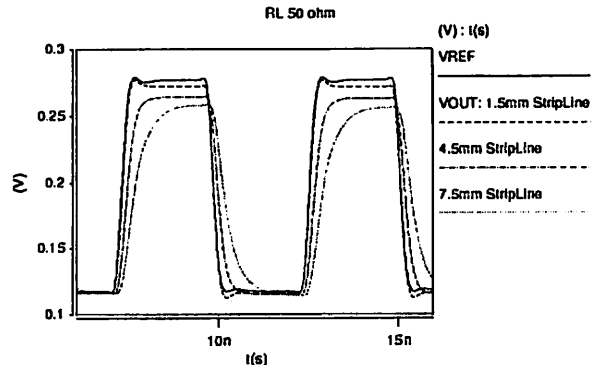


図7 配線長による伝播波形シミュレーション結果

図7から分かるように、配線長が長くなるにつれて伝播波形の遅延が生じていることが分かる。また、配線抵抗の影響から、信号レベルも低下している。

以下、表2に遅延特性をまとめる。

表2 配線長による伝播波形 遅延特性

項目	Vos [ mV ]	Vtop [ mV ]	Delay [ ps ]
VREF	279	277	—
1.5mmLine	277	272	12.6
4.5mmLine	—	266	140
7.5mmLine	—	252	326

Vos、Vtop はそれぞれオーバーシュート電圧、パルスのトップレベルで、以下図8に定義される。

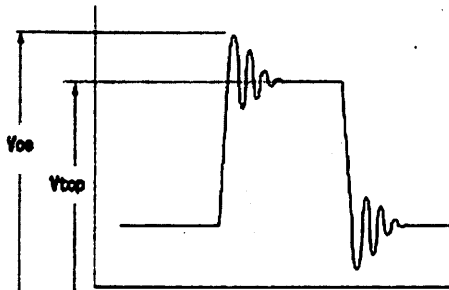


図8. Vos、Vtop の定義

特筆すべきは、配線長 1.5mm の波形では立ち上がり/立ち下り時に、配線インダクタの影響と考えられるオーバーシュート Vos が発生している。一方、配線長 7.5mm の波形では、配線容量の影響で波形が鈍っているのが分かる。以下図9に伝播遅延-配線長の関係を示す。

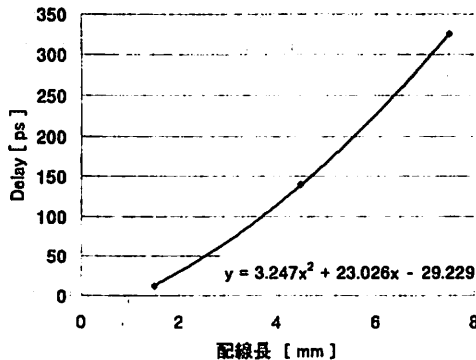


図9. 伝播遅延-配線長 特性

これにより、伝播遅延が配線長の二乗に比例することが確認できた。

4.3 L、C付加による伝播波形のシミュレーション結果  
続いて、図10にL、Cによる伝播波形のシミュレーション結果を示す。

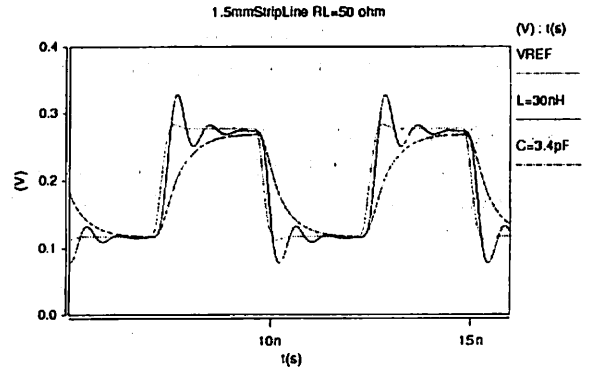


図10. L、C付加による伝播波形シミュレーション

図10を見て明らかなように、インダクタの影響でリングングが、キャパシタの影響で立ち上がり/立ち下りが鈍っているのが分かる。

表3 L,C付加による伝播波形 遅延特性

項目	Vos [ mV ]	Vtop [ mV ]	Delay [ ps ]
VREF	284	277	—
L	329	274	109
C	269	267	323

以上、これまで述べたテスト回路を開発、シミュレーションを行った。その結果、配線による遅延が寄生インダクタの影響によるものか、キャパシタの影響によるものが容易に分かるようになった。

今後、このテスト回路に複数の伝送線を設け、クロストークによる影響を実測波形で確認する予定である。

## 5. 応用

これまで述べてきたオンチッププローブ測定回路の利点を述べる。

まず第1に、50 [ Ω ] 終端のプローブで十分波形が見られるようにバッファリングできたことである。これにより、十分な帯域 (DC~5GHz 程度) を満たすオシロスコープがあれば伝播波形を観測できる。

第2に、測定回路がパッド1つ分 (100 μ m × 100 μ m) の面積で構成できる点である (図11)。

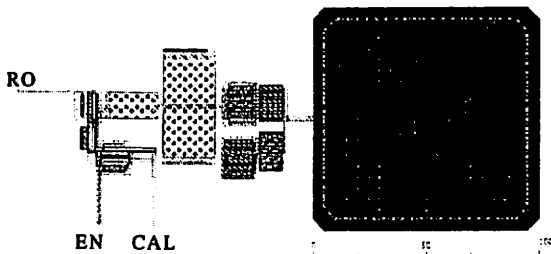


図 11. プローブ レイアウト図

このことから、所定のノードの特性を調べるために、プローブ回路をチップ内に併設すれば容易に伝播波形が得ることができる。

## 6. む す び

これまで述べてきた回路構成、シミュレーション結果を基に、VDECを通してチップ設計を行った。

今後は納品次第、実際に測定し、検証を行う予定である。

「本研究/チップ試作は東京大学大規模集積システム設計教育研究センターを通し シノプシス株式会社、日本ケイデンス株式会社、ローム(株)および凸版印刷(株)の協力で行われたものである。ケイデンス株式会社、ローム(株)および凸版印刷(株)の協力で行われたものである。」

## 文 献

- [1] 黒田清隆、オシロスコープのすべて、共立出版株式会社、昭和58年
- [2] Stanford Microwave Integrated Circuits Laboratory,  
<http://www-smirc.stanford.edu/spiralCalc.html>
- [3] S.S. Mohan, M. Hershenson, S.P. Boyd and T.H. Lee,  
"Simple Accurate Expressions for Planar Spiral Inductances," *IEEE Journal of Solid-State Circuits*,  
Oct. 1999, pp. 1419-24.
- [4] C.チエン他、小野寺秀俊監訳、LSI配線の解析と合成 ディープサブミクロン世代のLSI設計技術、培風館 2003年
- [5] P.R. グレイ, P.J. フルスト, S.H. レビス, R.G. メイヤー、システムLSIのためのアナログ集積回路設計技術上下、浅田邦博、永田稔 監訳、培風館、2003