

走行時パワーゲーティングを適用した低消費電力乗算器の 物理設計と試作

武田 清大[†] 香嶋 俊裕[†] 白井 利明[‡] 大久保 直昭[†] 宇佐美 公良[‡]

[†] 芝浦工業大学大学院 工学研究科 電気電子情報工学専攻

[‡] 芝浦工業大学 工学部 情報工学科

〒 135-8548 東京都江東区豊洲 3-7-5

E-mail: ^{†, ‡} {m106066, m106029, i03061, m105021, usami}@shibaura-it.ac.jp

あらまし 本稿では、走行時パワーゲーティング方式を 32bit 乗算器に適用した際のリーク電力低減効果、遅延時間への影響、ウェイクアップ時の遅延時間への影響を示す。本方式では被演算数の大きさに着目し、片方、もしくは両方の被演算数が 16bit 以下の大きさであれば、動的にパワーゲーティングを行い、演算に使用しない回路部分でのリーク電力を低減する。この回路について ASPLA90nm プロセスにて設計、試作を行った。レイアウトから抽出したデータをもとにシミュレーション評価した結果、室温状態での消費電力は走行中で最大約 56%、待機中で約 24% 低減可能であることが分かった。走行時パワーゲーティングの適用によって遅延時間は約 18% 減少し、ウェイクアップ時には遅延時間が約 21% 増大した。

キーワード MTCMOS 回路、動的スリープ制御、動作時リーク電力、消費電力

Physical Design for Low-Power Multiplier applying Run time Power Gating

Seidai TAKEDA[†] Toshihiro KASHIMA[†] Toshiaki SHIRAI[‡]

Naoaki OHKUBO[†] Kimiyoshi USAMI[‡]

[†] Graduate School of Engineering, Shibaura Institute of Technology

[‡] Department of Information Science and Engineering, Shibaura Institute of Technology

3-7-5 Toyosu, Koto-ku, Tokyo, 135-8548 Japan

E-mail: ^{†, ‡} {m106066, m106029, i03061, m105021, usami}@shibaura-it.ac.jp

Abstract This paper describes a physical design methodology for 32bit multiplier applying Run Time Power Gating (RTPG). This multiplier has a scheme to dynamically reduce the leakage power according to a bit size of multiplied values. If one or both multiplied values have less than 16bit value, power gating is dynamically applied to the part of logic gates that need not to calculate output values. We design and implement this multiplier using ASPLA 90nm technology and analyze the leakage power, the circuit delay and wakeup time overhead. Experimental results show that this scheme enables to reduce the total power of multiplier up to 56% in the active mode, 24% in standby mode respectively under the room temperature. By applying the RTPG, the circuit delay is about 18% faster and wakeup time is about 21% slower than non power gating design.

Keyword MTCMOS circuits, Dynamic Sleep Control, Active Leakage Power, Power Dissipation

1. はじめに

MOS トランジスタは微細加工技術の進歩により、集積回路は高速化、多機能化してきた。しかし、微細化に伴い集積回路の消費電力は増大し、携帯情報機器の

稼働時間の短化や回路の発熱量の増加によって、これ以上、微細化を進めるには消費電力は避けて通れない壁となった。消費電力の内でも、微細化によるリーク電力の増加は顕著であり、今後はリーク電力を抑制す

る技術が必要不可欠となる。

リーク電力を低減する技術として MTCMOS 回路[1]を用いて、回路が走行している途中に細粒度で回路をスリープ制御する技術“走行時パワーゲーティング”(Run Time Power Gating, 以下、RTPG)がある[2]。この論文ではゲーティッドクロックのイネーブル信号に着目し、同じイネーブル信号によって制御される論理ゲートの集合(PG-ドメイン)を単位として、パワーゲーティングすることが可能な回路構成が提案されている。

走行時パワーゲーティングでは MTCMOS 回路を用いた事による遅延時間の変化や、回路をスリープ状態から動作状態に復帰させるのに必要となるウェイクアップ時間などが問題となる。そこで、実機で電力低減効果を測定するためにチップの設計・試作を行った。

本稿では、RTPG を実装する際のゲートレベル、レイアウトレベルでの設計技術と消費電力低減効果、遅延時間、ウェイクアップ時間に関してのシミュレーション結果について述べる。

2. 試作回路の概要

走行時パワーゲーティングを適用する回路として 32bitx32bit 乗算器を用いた。乗算器は、入力値によっては演算を行わない部分回路が多数存在する。そこで、演算を行わない部分回路をスリープさせることにより、部分回路でのリーク電力を低減させることができる。

乗算器の動作状態として以下の状態を想定した。

- (1) 被演算数の大きさが共に 17bit 以上の場合
- (2) 片方の被演算数の大きさが 16bit 以下の場合
- (3) 被演算数の大きさが共に 16bit 以下の場合
- (4) 乗算回路自体が使用されない場合

状態(1)では、乗算器は回路全体が使用されているのでパワーゲーティングは不可能である。状態(2)では出力値の上位 16bit は常に'0'であり、演算を行っていないため、上位 16bit を演算する部分回路(high)をパワーゲーティングすることが可能である。同様に、状態(3)では出力値の上位 32bit を演算する部分回路(high + middle)がパワーゲーティング可能である。最後に状態(4)では乗算器が使用されていないので乗算器の回路全体(high + middle + low)をパワーゲーティングすることが可能である。各状態においてパワーゲーティングする部分回路を変える事により、走行中の乗算器において効率的に電力を低減することが可能である。

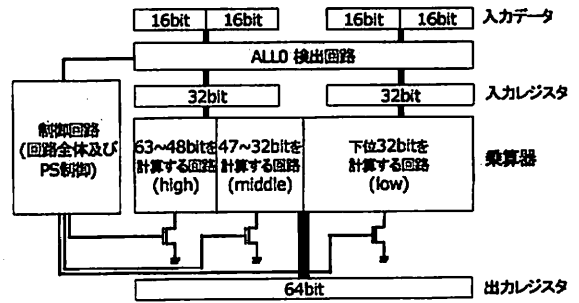


図2 試作回路の構成

試作には ASPLA90nm プロセス(6層 Cu 配線)を用いた。ASPLA90nm には V_t の差により、高速動作・高リーク電流の HP トランジスタ、低速動作・低リーク電流の MP トランジスタがあり、乗算器と ALL0 検出回路の論理ゲートには HP トランジスタを、パワースイッチ、ホルダーセルと上記以外の論理ゲートには MP トランジスタをそれぞれ用いた。

3. 設計フロー

3.1. 設計環境の構築

試作チップの設計環境として、スタンダードセル設計に Cadence 社の Virtuoso、論理合成に Synopsys 社の Design Compiler、配置配線に同社の Astro、パワースイッチの最適なサイジングと物理的な分割、および配置に Sequence Design 社の Cool Power[3]を用いた。また、STARC より提供された ASPLA90nm のスタンダードセルライブラリ以外に、MTCMOS 回路用に VGND 端子を持たせた論理ゲートやパワースイッチ、ホルダーセルのセルライブラリを今回、新たに開発した。

図3に今回設計で使用した設計フローを示す。通常の設計フローと比較して、PG-ドメインへ分割やパワースイッチの最適化など RTPG を適用するための作業が必要となる。

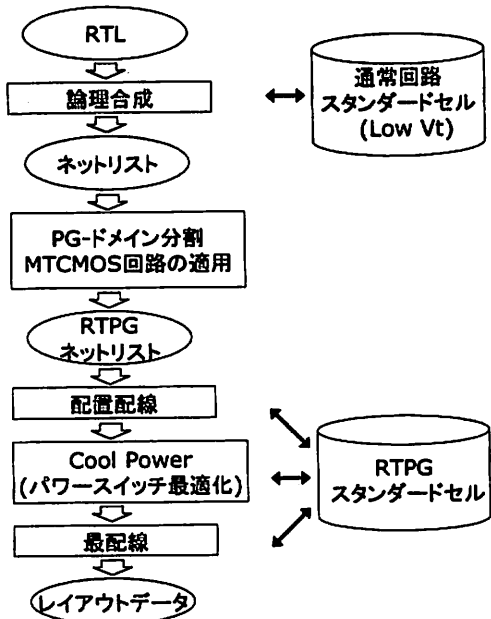


図3 RTPG 設計フロー

3.2. PG-ドメイン分割とMTCMOS回路の適用

通常の低 Vt 論理ゲートを用いて合成された乗算器のネットリストに対し、乗算器の出力の上位 16bit、上位 17~32bit、下位 32bit について、それぞれの出力レジスタから入力レジスタまでのトランジティブファンを探査し、それらに属しているゲートをそれぞれ集合 {group3}、{group2}、{group1} に分類する。これより high、middle、low の 3 つの PG-ドメインに含まれるゲートを求める。

まず、下位 32bit の演算に用いられる部分回路は {group1} に限定されるので

$$\{low\} = \{group1\}$$

である。{group2} には出力の上位 17~32bit の演算に用いられる部分回路と、下位 32bit の演算に用いられる回路が混在しているため、

$$\{middle\} = \{group2\} - \{group1\}$$

となる。同様に

$$\{high\} = \{group3\} - \{group2\} - \{group1\}$$

と表すことができる。

図4は4bitx4bit乗算器に対して、PG-ドメイン分割を行った例である。バス幅は異なるが32bitx32bit乗算器でも同様に分割可能である。

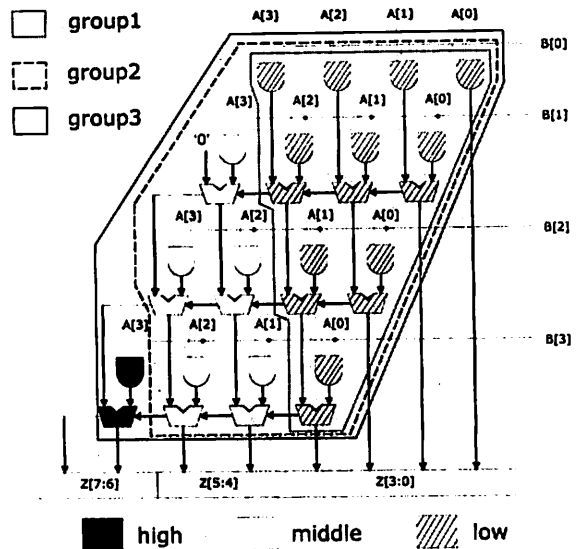


図4 4bit乗算器のPG-ドメイン分割例

次に、各 PG-ドメイン毎に、イネーブル信号をもつパワースイッチ群を用意する。ここで、乗算器に用いられていた論理ゲートを MTCMOS 用の論理ゲートに置換し、VGND 端子を PG-ドメイン毎にそれぞれのパワースイッチ群と接続する。また、パワーゲーティング時には、使用されない出力が '0' に固定される必要があるため、出力の前段にホルダーセルを挿入し、パワーゲーティング時に論理値に固定すると共に、ドメインのイネーブル信号との AND ゲートを挿入することによって、パワーゲーティングされた時に出力を '0' に固定する構成とした。

3.3. 配置配線とパワースイッチ最適化

自動配置配線ツールによって初期配置配線を行う。このレイアウトデータを元に Cool Power はパワースイッチを物理的に複数に分割し、サイジング、最適配置を行うことで回路遅延時間を最適化する。パワースイッチはユーザが設定した、VGND 線の電圧変動値の許容範囲内に収まるように設定する。パワースイッチが最適化されたレイアウトデータは再度、配置配線ツールに渡され、イネーブル信号を駆動するためのバッファ挿入、最配線を行い、最終的なレイアウトデータとなる。

4. チップ実装

RTPG を適用した回路と、非適用である回路の比較測定のため、適用した回路と非適用の回路を 1 つのチップ上に実装した。適用、非適用回路で異なる部分は、MTCMOS 回路を用いた乗算器本体と乗算器への入力

データからイネーブル信号を生成するための回路 (ALL0 検出回路と制御回路の一部)である。

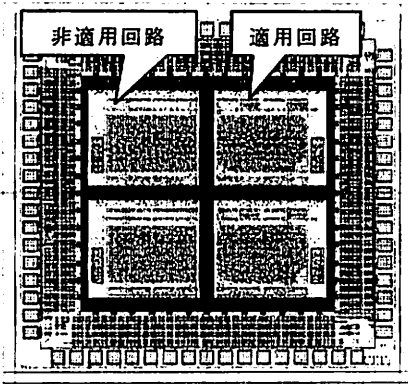


図 5 試作チップのレイアウト図

ここで、I/O バッファ部分の電源(2.5v)は共有し、内部回路の電源(1.0v)は適用、非適用回路でそれぞれ独立となるよう設計した。また、チップの電力は微小な電流によって測定することから、適用、非適用回路をそれぞれ 2 個ずつ実装して電流の絶対値を大きくして測定することにした。なお、適用、非適用回路とも 1 個の乗算器のみ出力を外部に引き出すように設計した。

5. シミュレーション評価

5.1. 消費電力低減効果

RTPG を適用した回路と、非適用の回路について消費電力の変化について比較した。乗算器の被演算数の大きさが共に 16bit 以下である値を繰り返し演算している状態、つまり、PG-ドメイン high + middle が常にパワーゲーティングされ、実質的に 16bitx16bit 乗算器として動作している場合と、同様に片方の被演算数の大きさが 16bit 以下である値を繰り返し演算している状態、つまり、ドメイン high のみが常にパワーゲーティングされ、16bitx32bit 乗算器として動作している場合での消費電力について解析を行った。

また、乗算器が使用されない場合は被演算数が変化しないため、演算は全く行われない。このときドメイン high + middle + low のすべてがパワーゲーティングされている状態での消費電力について解析を行った。

これらの解析には Astro より抽出した SPICE の拡張フォーマットである DSPF を用いて、synopsys 社の Nanosim にて過渡解析を行い、内部電源側の平均電流値を求め、平均電流値と電源電圧の積によって平均消費電力を求めた。室温状態(25℃)とリーク電流が特に顕著となる高温状態(125℃)での解析結果を図 6~図 9

に示す。

室温状態で PG-ドメイン high のみをパワーゲーティングした場合、非適用回路と比較して 37%の電力低減効果があった。同様に PG-ドメイン high + middle をパワーゲーティングした場合の電力低減効果は 56%であった。低減された電力のうちには、リーク電力だけでなく、使用されない桁への桁上がり部分などで消費されるダイナミック電力も含まれている。

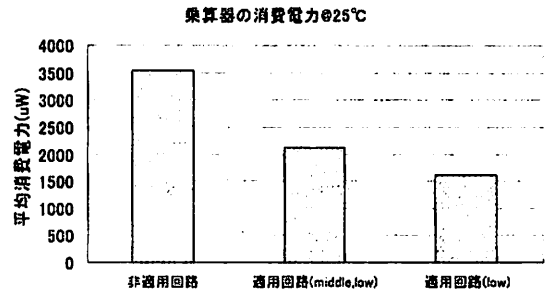


図 6 走行時の消費電力(25℃)

また、乗算器の被演算数が変化せず、演算を行わない状態での消費電力はリーク電力のみである。PG-ドメイン high、middle、low の全てをパワーゲーティングする事で待機時の乗算器でのリーク電力を 24%低減できた。

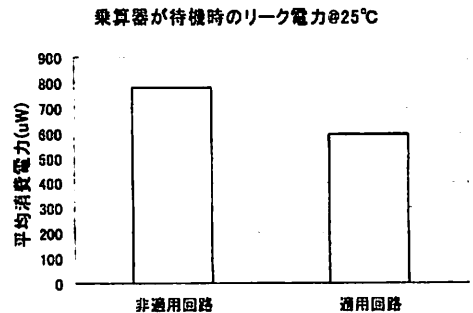


図 7 待機時のリーク電力(25℃)

高温状態ではダイナミック電力は殆ど増加せず、リーク電力のみ増加する。PG-ドメイン high のみをパワーゲーティングした場合は 16%、PG-ドメイン high + middle をパワーゲーティングした場合は 53%の消費電力低減効果が得られた。

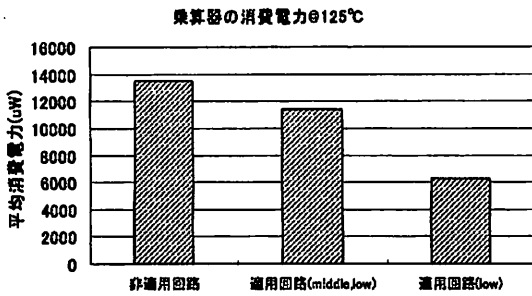


図 8 走行時の消費電力(125°C)

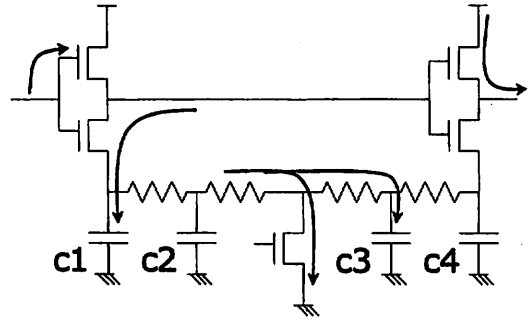


図 7 RTPG 回路での論理伝播時の電流

全ての PG-ドメイン high, middle, low をパワーゲーティングすることで待機時のリーク電力を 15% の低減できた。

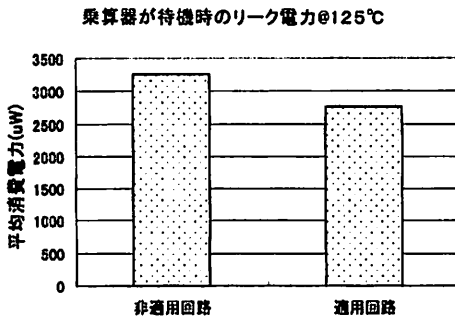


図 9 待機時のリーク電力(125°C)

5.2. 乗算器の回路遅延時間

遅延時間について、入力レジスタのクロックが遷移した後、乗算器の出力が全て正しい値に変化するまでの時間と定義した。単純に非適用回路との遅延時間を比較するために、すべての PG-ドメインが動作可能な状態で解析を行えるよう、被演算数には以下の値を与えた。

$$01000000 \times 00010000 \rightarrow \text{FFFFFFFF} \times \text{FFFFFFFF}$$

解析の結果、遅延時間は適用回路では 4.7ns、非適用回路では 5.7ns であり、RTPG を適用する事で 17.6% の速度向上がみられた。これは、乗算器内のゲートの出力が立ち下がる時のスイッチング電流について、パワースイッチを通過する成分以外にも、仮想グランド線に寄生している容量モデル(c1~c4)に充電される成分が多くあるために、立ち下がりが早くなり、これが次段の立ち上がりを早め、順次伝播していくためであると考えられる。

5.3. ウェイクアップ時の遅延時間

各 PG-ドメインがパワーゲーティングされた状態から復帰し、演算を行う場合、復帰動作と演算は同時に 1 クロックサイクル以内で処理される必要がある。乗算器のクリティカルパス遅延に合わせてクロックが設定されていた場合、ウェイクアップ時の回路遅延時間の増加如何によっては、クロック周波数を落とす必要があるため、ウェイクアップ時での回路遅延時間への影響を解析する事は重要である。

それぞれの PG-ドメインが、パワーゲーティングされた状態から復帰動作と演算を同時に行うように入力ベクタを与え、前述の回路遅延時間の解析と同様の定義で測定した。

解析の結果、PG-ドメイン high のみ、もしくは high + middle をパワーゲーティングした状態では、復帰動作と演算を同時に行っても回路遅延時間への影響は全く発生しなかった。これは、乗算器のクリティカルパスは下位の桁から積和演算を行い順次上位へ桁上げされる部分であるから、下位の桁が計算される間に、PG-ドメイン high, middle に属する上位の桁の論理ゲートが復帰動作を終えたためである。

また、high, middle, low 全てをスリープさせた場合、復帰動作と演算による遅延時間は 5.7ns となった。これより、ウェイクアップ時には回路遅延時間が約 21% 増加した。

6. 結論

本稿では、被演算数の大きさに応じて RTPG を行う方式を適用した 32bit 乗算器について、ASPLA90nm プロセスにて設計、試作を行った際の設計フローを示した。乗算器の出力の 63~48bit、47~32bit、31~0bit からのトランジティブファンインであるゲートを集合として、共通して含まれるゲートについては下位から優先的に要素に加える事で PG-ドメインに分割した。各 PG-ドメインごとのパワースイッチの分割については Cool Power を用いた。また、レイアウトデータから

抽出したデータをもとに解析を行った結果、室温状態での消費電力は走行中で最大約 56%、待機中で約 24% 低減可能であることが分かった。走行時パワーゲーティングの適用によって遅延時間は約 18%減少し、ウェイクアップ時には遅延時間が約 21%増大することが明らかになった。

謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社、京都大学の協力で行われたものである。

本チップ試作は東京大学大規模集積システム設計教育研究センターを通し、株式会社半導体理工学研究センター、富士通株式会社、松下電器産業株式会社、NEC エレクトロニクス株式会社、株式会社ルネサステクノロジ、株式会社東芝の協力で行われたものである。

文 献

- [1] S.Mutoh et al, "1-V Power Supply High-Speed Digital Circuit Technology with Multithreshold Voltage CMOS", IEEE J-Solid State Circuits, vol.30, no.8, pp-847-854, Aug. 1995
- [2] K.Usami ,N.Ohkubo "A Design Approach for Fine-grained Run-Time Power Gating using Locally Extracted Sleep Signals" ICCD ,Oct. 2006
- [3] <http://www.sequencedesign.com/>