

## 高速モードと低消費電力モードを有する 2 線式論理回路の設計手法

森本 薫夫<sup>†</sup> 永田 真<sup>†</sup> 瀧 和男<sup>††</sup>

<sup>†</sup> 神戸大学 大学院自然科学研究科, 工学部情報知能工学科

〒 657-8501 神戸市灘区六甲台町 1-1

<sup>††</sup> エイ・アイ・エル株式会社

E-mail: <sup>†</sup>{morimoto,nagata}@cs26.scitec.kobe-u.ac.jp, <sup>††</sup>taki@ailabo.co.jp

あらまし ASDMDL (Asymmetric Slope Dual Mode Differential Logic) は高速ダイナミック回路とスタティック CMOS の 2 つの特徴を持つ 2 線論理回路方式である。通常は演算相とプリチャージ相の 2 相で動作し、信号の立ち上がり遷移と立ち下がり遷移に要する時間を意図的に非対称とすることで高速動作を実現する。一方、高速動作を必要としない場合には、スタティック CMOS と同様にプリチャージなしの単相で動作し、余分な消費電力を削減する。この 2 つの動作を切り替えることで、設計した回路の動作条件に合った性能を引き出すことができる。ダイナミック回路の論理合成手法を用いることで、ASDMDL 回路とスタティック CMOS を混載したデジタルコアの論理合成・自動配置配線手法を実現できる。クリティカルパス部を中心に ASDMDL を適用した ASDMDL/CMOS 混在プロセッサの最高動作周波数は 232MHz であり、完全 CMOS 設計のプロセッサと比較して 14% の高速化を実現できることを、0.18 $\mu$ m CMOS プロセスによるテストチップで実証した。一方、100MHz 動作時における単相動作の消費電力は CMOS とほとんど等しく、3% 減少した。

キーワード ASDMDL, 2 線式論理回路, 2 つの動作モード, 非対称な信号遷移, 高速動作

## Asymmetric Slope Differential Logic with High-Speed and Low-Power Operation Modes

Masao MORIMOTO<sup>†</sup>, Makoto NAGATA<sup>†</sup>, and Kazuo TAKI<sup>††</sup>

<sup>†</sup> Graduate School of Science and Technology,

Department of Computer and Systems Engineering, Kobe University

1-1 Rokkodai-cho, Nada-ku, Kobe 657-8501, Japan

<sup>††</sup> AIL Co., Ltd.

E-mail: <sup>†</sup>{morimoto,nagata}@cs26.scitec.kobe-u.ac.jp, <sup>††</sup>taki@ailabo.co.jp

**Abstract** Asymmetric Slope Dual Mode Differential Logic (ASDMDL) embodies high-speed dynamic and low-power static operations in a single design. Two-phase dual-rail logic signaling is used in a high-speed operation, where logical evaluation is preceded by pre-charge and asserts one of the rails with asymmetrically shortened rise transition to express a binary result. On the other hand, a single-phase differential logic signaling eliminates pre-charge and leads a low-power static operation. The operation mode is defined by the logic signaling styles and control signal is not needed in a logic cell. Design of mixed CMOS and ASDMDL logic circuits can be automated with logic synthesis and place-and-route techniques, since a physical ASDMDL cell is prepared compliantly to a CMOS standard-cell design flow. An example mixed ASDMDL/CMOS micro-processor in a 0.18- $\mu$ m CMOS technology demonstrated 232 MHz operation, corresponding to 14% speed improvement compared with a full CMOS implementation, by substituting ASDMDL cells for only 4% of CMOS logic cells in data paths. The low-speed operation of ASDMDL at 100 MHz was almost equivalent to CMOS, however, 3% of power consumption was reduced due to the use of ASDMDL complex logic cells. Area overhead was less than 4%.

**Key words** ASDMDL, dual-rail logic, dual-mode operation, asymmetric slope, high-speed

## 1. はじめに

近年のSoC開発において、高速低消費電力な回路の要求はますます増加する傾向にある。しかしながら、高速動作と低消費電力の両立は非常に難しい。そこで、最も高速に動作するように設計し、高速動作が不要な場合は不要な電力消費をカットする低消費電力モードなどを用いたプロセッサが多く存在する。

高速動作可能な回路としていくつかのダイナミック回路[1][2]が提案されており、プロセッサへの適用もされている。しかしながら、これらの回路方式は全ての論理セルに遷移確率の高いプリチャージ制御信号を分配しなければならないため、消費電力が増加する。そのため、それらの制御信号を大幅に削減できる回路方式として、著者らはAsymmetric Slope Differential Dynamic Logic (ASDDL)[3][4]を提案している。ASDDLは遷移確率の高い専用信号なしでプリチャージを行なうため、従来のダイナミック回路と比べて低消費電力で高速動作を実現する。

図1(a)と(b)に2-input ASDDL NANDと2-input CMOS NANDの回路構成を示す。また、図2は0.18- $\mu\text{m}$  CMOSプロセス、電源電圧1.8VによるASDDLとCMOSにおける2-input NANDの速度・電力グラフを示している。これは、トランジスタのWを変化させて電力を増加させたときの遅延時間の変化を示している。CMOSは高速な動作を実現するためにトランジスタのW、すなわちドレイン電流を大きく設計する必要があり、これにより消費電力は増加するが遅延時間は改善される。しかしながら、トランジスタのWが大きくなるとトランジスタの寄生容量が増加するため、0.2mW以上ではトランジスタのWに比例した動作速度を得ることができず、遅延時間の改善は頭打ちになる。ASDDLの遅延時間はCMOSよりも34%改善しており、これはCMOSの限界速度を越えた高速動作速度を実現していることがわかる。しかしながら、高速動作を実現するための代償として、ASDDLは消費電力が大きくなる。回路のプリチャージのために専用の信号線を必要とするDCVS-DOMINOと比べて電力は削減できるが、CMOSと比べるとASDDLの消費電力は増大する。なぜならば、設計した回路の全ての論理セルで立ち上がり立ち下りの2つの信号遷移が全てのクロックサイクル毎に発生するためである。これは、高速動作を必要としない場合にも同様に2つの信号遷移が発生し、消費電力を増大させる。

本稿では高速動作と低消費電力動作の2つの動作を1つの論理回路で実現するASDMDL (Asymmetric Slope Dual Mode Differential Logic)を提案する。ASDMDLは演算の前にプリチャージを行ない、論理回路のスイッチング動作における立ち上がり遷移時間を立ち下がり遷移時間よりも高速にすることで高速動作を実現する2相動作モードと、CMOSと同様にプリチャージなしで動作する1相動作モードを切替えることのできる2モード2線式論理回路である。2つの動作を切替えることにより、必要な性能要求に応じた動作を1つの回路で実現する。また、ASDMDLの論理セルレイアウトをスタティックCMOSと同じセル高さにすることで、クリティカルパスのみに

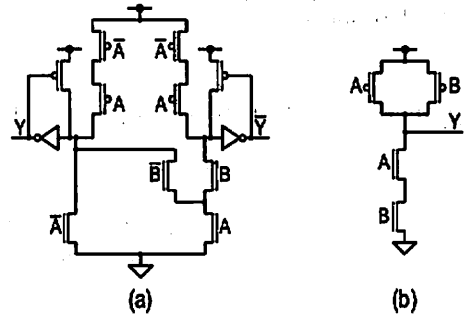


図1 Circuit schematics of (a) 2-input NAND in ASDDL [3] and (b) 2-input NAND in CMOS.

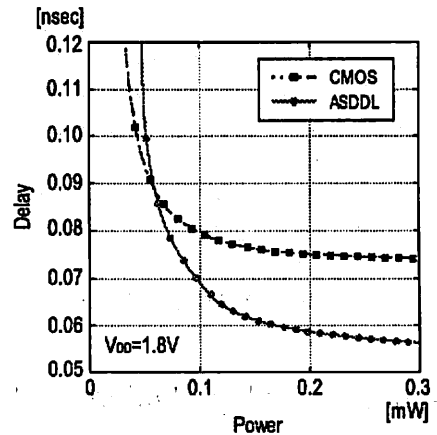


図2 Delay time vs. power consumption simulated on 2-input NAND gate in CMOS, and ASDDL.

ASDMDLを適用したCMOSとの混在回路の論理合成、自動配置配線も可能となる。

以下、第2章では、ASDMDLの特徴、回路構成について述べる。また、シミュレーションによる比較評価を示す。第3章では大規模回路へ適用する際に必要となるパイプライン構造と自動合成環境について説明する。第4章ではテストチップの評価について示し、第5章でまとめる。

## 2. ASDMDL回路方式

### 2.1 回路構成

ASDMDLは正論理と負論理の信号で論理値を表現する2線式論理回路である。また、ASDDL[3]と同程度の高速動作を実現し、さらに高速動作を必要としない場合には消費電力をCMOSと同等以下に引き下げることのできる回路方式であり、2相動作(ASDMDL-2 $\phi$ )と1相動作(ASDMDL-1 $\phi$ )の2つの動作モードを持っている。

ASDMDL-2 $\phi$ 動作はASDDLと同様に立ち上がり遷移を立ち下がり遷移に対して最小にすることで、高速動作を実現する。ASDDLと同様に演算を行なう前にプリチャージすること

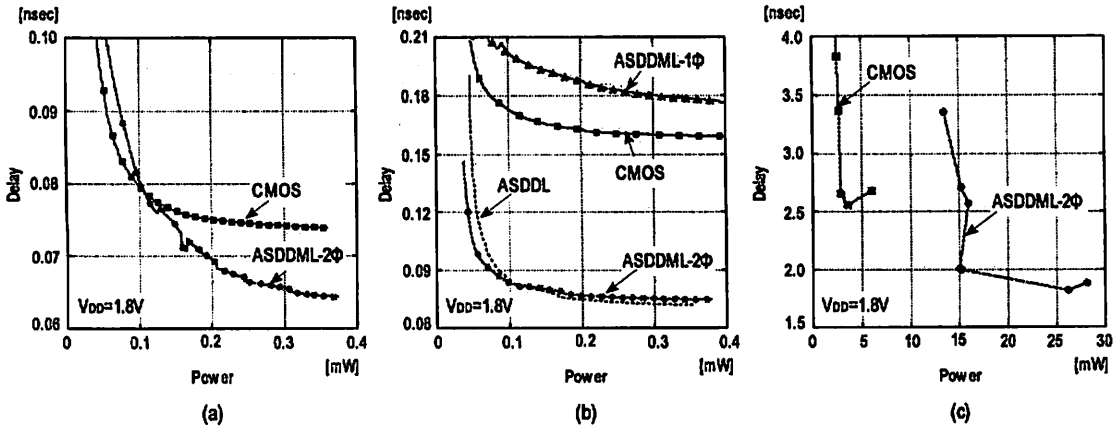


図5 Delay time vs. power consumption simulated on (a) NAND, (b) EXOR, and (c) 16-bits multiplier.

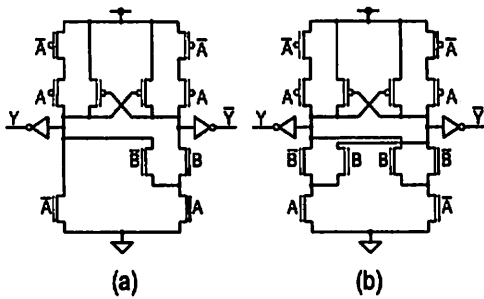


図3 Circuit schematic of (a) 2-input NAND cell and (b) 2-input EXOR cell.

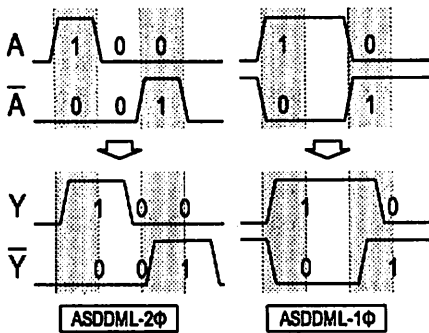


図4 Signaling styles in ASDMDL-2φ and ASDMDL-1φ modes.

で全ての信号線を“0”の状態にリセットするため、回路の遅延時間は立ち上がりの伝搬時間となり、立ち上がり遷移をより高速となるように設計する事で、回路全体の高速化を図っている。プリチャージには専用の信号線が必要とせず、全ての入力信号に{0,0}が入力されることで回路がプリチャージされる。一方、ASDMDL-1φはCMOSと同様にプリチャージなしの連続した演算を行ない、プリチャージによって生じる無駄な信号遷移を削減することで、消費電力を低減する。

図3(a)と(b)にASDMDLの2-input NANDと2-input EXORの例をそれぞれ示す。NMOSネットワークの構成は、BDD表現(Binary Decision Diagram)を用いて設計される[5]。PMOSネットワークはある1つの正負両論理(例えば、 $\{A, \bar{A}\}$ )を入力に持つ直列接続したトランジスタとクロスカップルトランジスタで構成されている。直列接続したトランジスタはその入力に{0,0}が到着するとPMOSネットワークのトランジスタは“ON”状態となり、回路はプリチャージされる。また、クロスカップルトランジスタは一方の出力インバータの入力電位から他方の出力インバータの入力電位を保持し、反転論理を生成する。図4に示すようにASDMDL-2φ動作とASDMDL-1φ動作は論理セルに入力される信号の状態によって切り替えられる。すなわち、回路に2相信号が入力された場合には、2相の信号で出力する(図4(a))。また、1相信号が入力された場合には、1相の信号で出力する(図4(b))。そのため、1つの回路で2つの動作モードを実現でき、動作モードを切り替えるための専用の制御信号は必要としない。

回路は立ち下がり遷移に対して立ち上がり遷移を高速になるように設計されているため、ASDMDL-1φの動作速度は低下する。しかしながら、プリチャージによる余分な信号遷移がなくなるため、消費電力は小さくなる。すなわち、高速動作を必要としない場合に消費電力を最小限に抑える事ができる。また、ASDMDLは複雑な論理関数をBDDで表現することによって、CMOSでは2,3個の論理ゲートを用いて表現する論理関数を1つの論理セルで構成することができる。この結果、ASDMDLは1相動作モードでもCMOSに比べて消費電力の低減が見込める。

## 2.2 シミュレーション評価

ASDMDL回路の有効性を示すために、TSMC 0.18-μm CMOSプロセス技術、電源電圧1.8Vで、図3(a)と(b)に示す2-input NANDと2-input EXORを設計し、CMOSとの比較評価を行なった。ASDMDL-2φ動作時における2-input NANDと2-input EXORの速度・電力グラフを図5(a)と(b)

に示す。これは、配線容量を含まないトランジスタレベルで回路を設計し、SPICEシミュレーションにより比較評価した結果であり、電源電圧1.8V一定にし、トランジスタのWを変化させて電力を増加させたときの遅延時間の変化を示している。

図5の(a)と(b)よりASDMDL-2φの2-input NAND、2-input XORの遅延時間はCMOSに比べて18%、55%改善し、CMOSの限界を越えた動作速度を実現した。NANDはCMOSではトランジスタ数の少ない構造であるため、2-input NANDの遅延時間の改善率は低下する。一方、EXORは回路構成がNANDに比べて複雑である。図3に示したように、ASDMDLは論理関数をNMOSネットワークだけで表現され、EXORのNMOSネットワークのトランジスタ段数はNANDと変わらないため、CMOSに比べて遅延時間が大きく改善している。さらに、図5(b)にASDMDL-1φ動作における2-input EXORの速度・電力グラフも示している。図5(b)に示されているように、ASDMDL-2φとASDMDL-1φの性能はASDDLとCMOSの性能によく類似している。これは、ASDMDLはASDMDL-2φ動作とASDMDL-1φ動作を切り替えることによって、高速ダイナミック回路であるASDDLとスタティックCMOSの性能を用いることができることを意味する。すなわち、ASDMDLは2つの異なる回路性能を1つの回路で実現できる回路方式であるといえる。

また、TSMC 0.18- $\mu\text{m}$  CMOS技術、電源電圧1.8VにてASDMDLとCMOSで符号付き16ビット乗算器を設計した。ASDMDL-2φ動作時の結果を図5(c)に示す。設計した乗算器は様々な異なる制約条件で論理合成を行ない、これらを自動配置配線によりレイアウトした後、RC抽出したものをSPICEシミュレーションにより評価した。図5(c)よりASDMDLの遅延時間はCMOSに比べて38%の改善が見られ、組合せ回路においてもその速度の優位性を証明できた。しかしながら、ASDMDL-2φ動作は全てのクロックサイクルで立ち上がり立ち下りの2つの信号遷移が発生するため、ASDMDL-2φの消費電力はCMOSと比べて大きく増加している。

### 3. 大規模回路への適用

#### 3.1 パイプライン構成

ASDDLは演算時の立ち上がり遷移となる演算に比べてプリチャージ時の立ち下り遷移の伝搬時間が遅い。演算の前には必ず回路をプリチャージが発生するため、サイクルタイムが長くなる。そこで、設計した回路を2つに分割し、RREGcell, Rcellを挿入することで、1クロックサイクルで演算とプリチャージを行うアーキテクチャを用いる[3]。ASDMDLもASDMDL-2φ動作時には、サイクルタイムが長くなることから、ASDDLと同じ考えに基づいたアーキテクチャを用いる。

ASDMDL用のRcellとRREGcellの回路構成を図6(a)と(b)にそれぞれ示す。図6に示されているようにRcellとRREGcellはASDMDL論理セルに数個のトランジスタを加えることにより、Rcell、あるいはRREGcellの機能を通常の論理セルに付加することができる。また、ASDMDLのRcellとRREGcellはASDMDL-2φ動作とASDMDL-1φ動作を切り替えて動作

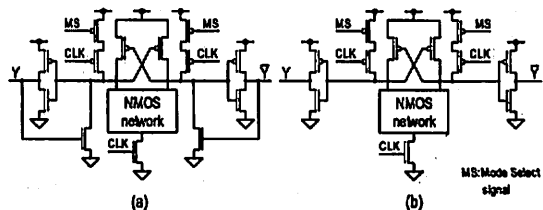


図6 Circuit structures of (a) RREGcell, and (b) Rcell.

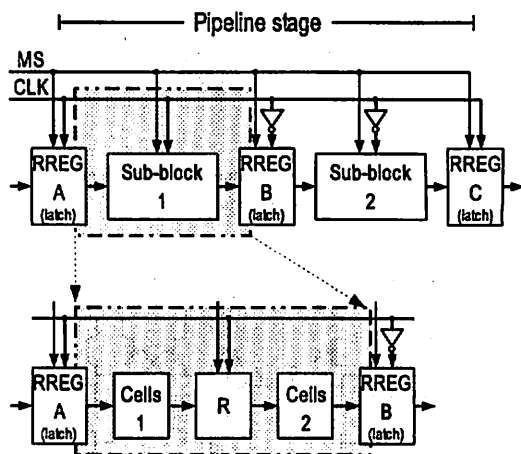


図7 Pipeline structure of ASDMDL logic circuit.

できるように、モード切り替え信号であるMS(Mode Select)信号を入力としたトランジスタを付加することによって、プリチャージの有無を制御する。なお、MS信号はRcell, RREGcellのみに分配され、通常の論理セルに分配する必要はない。

大規模回路に適用する際のパイプライン構造も上記と同様に1パイプラインステージを2つに分割した構造にする。ASDMDLのパイプライン構造を図7に示す。それぞれのパイプラインステージはRREGcellで入力側と出力側の2つに分割する。ASDMDL-2φ動作時にそれぞれのブロック(sub-block 1, sub-block 2)は演算と回路のプリチャージを半サイクル毎に交互に実行する。一方、ASDMDL-1φ動作時には各ブロックが半サイクル毎に演算を行なう。

図8に各回路ブロックの動作波形を示す。ASDMDL-2φ動作モードでは、最初にsub-block 1に{0,0}が伝搬されて回路がプリチャージされ、クロック信号が"1"になると演算を行なう(図8(a))。一方、クロック信号が"0"では、{0,0}の伝搬によってsub-block 1はプリチャージされる。sub-block 2はクロック信号が反転して入力されるため、sub-block 1とは逆相で動作する。そのため、1サイクルでパイプラインステージは全ての演算とプリチャージを行ない、すべてのプリチャージを演算の裏側に隠すことができる。

ASDMDL-1φ動作時にはクロック信号が"1"になると、ASDMDL-2φ動作時と同様にsub-block 1は演算を行なう(図8(b))。しかしながら、クロック信号が"0"になってもsub-

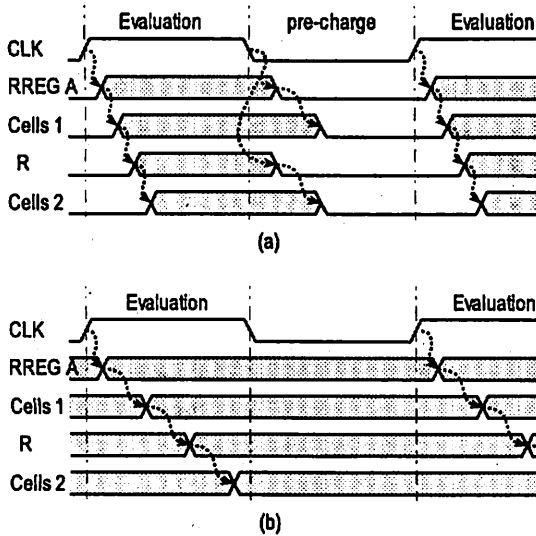


図 8 Operation diagrams of (a) ASDMDL-2φ operation and (b) ASDMDL-1φ operation.

block 1 はプリチャージを行わず、動作は停止している。一方、sub-block 2 は RREG B まで到着していた演算結果が入力され、演算を行なう。これにより、パイプライン構造の回路でも RREGcell と Rcell に接続された信号 1 つで ASDMDL-2φ と ASDMDL-1φ を切り替えることができ、ASDMDL はパイプライン構造の回路にも適用可能である。

### 3.2 自動合成環境

ASDMDL は CMOS と比べてトランジスタ数も多く、ASDMDL-2φ 動作時には消費電力も増加するため、設計した回路全てに ASDMDL を適用すると面積や消費電力が著しく増大する。設計した回路の面積や消費電力をできる限り下げられるためには、高速動作を必要とする回路部分のみ ASDMDL を適用し、その他は通常の CMOS で設計するのが適切である。

ASDMDL/CMOS 混載設計には、論理記述された Verilog ファイルを CMOS と ASDMDL それぞれを適用する回路モジュールごとに論理合成する。ASDMDL の論理合成には 2 線 2 相ダイナミック回路の論理合成手法を用いる [6]。合成された回路には独自に作成したスクリプトにより 1 線から 2 線に変換するインターフェース回路を挿入し、CMOS で合成された回路に組み込むことで ASDMDL/CMOS 混載回路が設計できる。さらに ASDMDL 論理セルレイアウトのセル高さを CMOS と同じ高さにしておくことで、CMOS と混載した自動配置配線を実現できる。

自動設計用の合成ライブラリは、3 入力以下の全ての論理を表現できる 12 種類のセルで構成した [6]。ASDMDL は入力や出力信号の 2 線を入れ換えることにより、1 つの論理セルで複数の論理を表現できるため、少ない論理セル数で回路を構成することが可能である。また、駆動力の異なる論理セルも用意した。

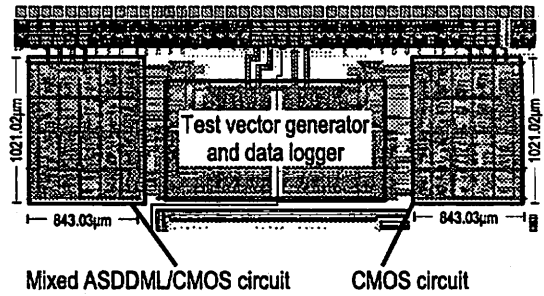


図 9 Test chip layout.

## 4. テストチップ評価

性能評価のために、SH3 アーキテクチャに基づいた合成可能な IP コアのテストチップを TSMC 0.18- $\mu\text{m}$  CMOS プロセス、電源電圧 1.8V にて試作した。図 9 に試作したテストチップのレイアウトを示す。試作したテストチップには、ASDMDL/CMOS 混載構成と全 CMOS 構成の 2 つのプロセッサ IP、及びテスト回路で構成されている。

全 CMOS はエネルギー遅延積および面積が最適になるように作成された CMOS ライブラリを用い、動作周波数が最適になるように回路を設計した。一方、ASDMDL/CMOS 混載構成ではクリティカルパスを含んだ回路モジュールのみに ASDMDL を適用し、その他は CMOS で構成している。ASDMDL の適用率は 4% である。論理記述された Verilog ファイルの ASDMDL 回路を適用するモジュールと CMOS を適用するモジュールはそれぞれ別々に合成し、結合することで回路全体を自動合成する。ASDMDL/CMOS 混載構成は全 CMOS 構成と同様に論理合成から自動配置配線まで全てのフローを自動で行っており、全 CMOS 構成と同等のコストで設計できる。回路面積は ASDMDL/CMOS 混載構成と全 CMOS 構成共に  $843.03\mu\text{m} \times 1021.02\mu\text{m}$  とした。回路規模は ASDMDL/CMOS 混載構成と全 CMOS 構成共に約 25 万トランジスタであり、それぞれ回路のセル占有率は 89.22%、85.66% である。

図 10 にテストチップの実測による ASDMDL-2φ、ASDMDL-1φ、CMOS それぞれの shmoo plot を示す。電源電圧 1.8V における ASDMDL-2φ の最高動作周波数は 232MHz であり、これは最も高速に設計された全 CMOS 構成と比べて 14% 向上した。なお、最も遅延時間の長いクリティカルパスを含んだ回路モジュール 1 つだけに ASDMDL を適用したことで、他のパスにクリティカルパスが変更され、動作周波数の改善率は 14% にとどまっていると考えられる。一方、ASDMDL-1φ の最高動作周波数は 208MHz であり、CMOS よりも 2% 改善した。

しかしながら、ASDMDL-2φ は全てのクロックサイクルで立ち上がりと立ち下りの 2 つの信号遷移が発生するため、ASDMDL-2φ の消費電力は CMOS と比べて増加する。図 11 の動作周波数・電力グラフに示されているように、動作周波数 232MHz、電源電圧 1.8V における ASDMDL-2φ の消費電力は 81.18mW であった。

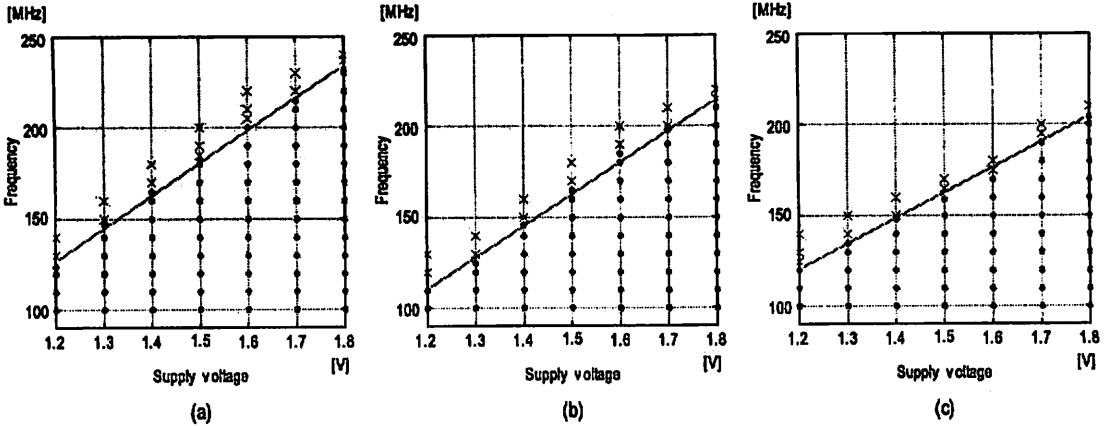


図 10 Measured Shmoo plots of (a) ASDMDL-2φ, (b) ASDMDL-1φ, and (c) CMOS.

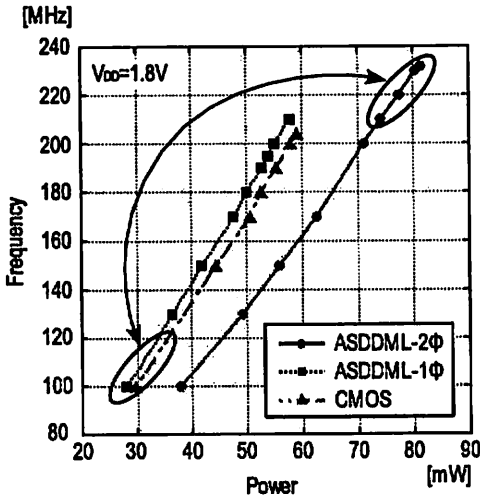


図 11 Measured operating frequency vs. power consumption.

一方、2.1でも述べたようにCMOSでは実現が困難となる複雑な論理を持ったセルが多く使用されたため、ASDMDL-1φの消費電力はCMOSよりも3%改善しており、CMOSと類似した回路性能を実現している。

このように、ASDMDLは2相動作であるASDMDL-2φと単相動作であるASDMDL-1φを切り替えることで、ダイナミック回路の高速動作とCMOSの低消費電力動作という特性を1つの回路で実現できることが示された。すなわち、動作条件に合った動作を選択して、最適な回路性能を得ることができる。

## 5. おわりに

演算の前にプリチャージを行なうASDMDL-2φ動作とプリチャージなしで動作するASDMDL-1φ動作を切り替えることのできるASDMDLを提案した。ASDMDL-2φは論理回路のスイッチング動作における立ち上がり遷移時間を立ち下がり

遷移時間よりも高速にすることで高速動作を実現する。一方、ASDMDL-1φはCMOSと同様に1相で動作することで、消費電力を削減することができる。

この2つの動作モードを有するASDMDL回路の性能を0.18-μm CMOS技術にて実証した。ASDMDL-2φの最高動作周波数は232MHzであり、CMOSと比べて14%向上した。また、ASDMDL-1φの性能はCMOSと同等の性能を実現し、ダイナミック回路の高速動作とCMOSの低消費電力動作という特性を1つの回路で実現した。これより、動作条件に合った動作を選択することで最適な回路性能を得ることができ、大規模回路の性能を飛躍的に向上させることが可能である。

謝辞 本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社の協力で行われたものである。本回路方式の性能評価のためにSH3-DSPコアの設計データを提供して下さいました株式会社ルネサステクノロジに感謝致します。

## 文 献

- [1] Pius Ng, Poras T. Balsara, and Don Steiss, "Performance of CMOS Differential Circuits", IEEE J. Solid-State Circuits, vol.31, no.6, pp.841-846, Jun 1996.
- [2] L. G. Heller, W. R. Griffin, J. W. Davis and N. G. Thoma, "Cascode Voltage Switch Logic: A Differential CMOS Logic Family", IEEE International Solid-State Circuits Conference, pp.16-17, Feb 1984.
- [3] M. Morimoto, M. Nagata, K. Taki, "High-Speed Digital Circuit Design using Differential Logic with Asymmetric Signal Transition", IEICE Trans. on Electron., vol.E88-C, no.10, pp.2001-2008, Oct 2005.
- [4] 瀧和男, 八木幹雄, 森本薫夫, 尾形俊郎, 池見憲一, 北村清志, "高速低消費電力回路方式ASDDL/ASD-CMOSとその評価", DAシンポジウム2001論文集, pp.113-118, Jul 2001.
- [5] T. Karoubalis and G. Ph. Alexiou and N. Kanopoulos, "Optimal synthesis of differential cascode voltage switch (DCVS) logic circuits using ordered binary decision diagrams (OBDDs)", In Proc. of the European Design Automation Conf., 1995.
- [6] M. Morimoto, Y. Tanaka, M. Nagata, and K. Taki, "Logic Synthesis Technique for High Speed Differential Dynamic Logic with Asymmetric Slope Transition", IEICE Transactions on Fundamentals, vol.E88-A, no.12, pp.3324-3331, Dec 2005.