

動的再構成型ハードウェアにおける 効率の良い状態切替方式に関する検討

米田 雅春[†] 福士 将[†] 堀口 進[†]

[†] 東北大学大学院情報科学研究科
〒980-8579 宮城県仙台市青葉区荒巻字青葉 6-3-09
E-mail: [†] {masaharu, mfukushi, susumu}@ecei.tohoku.ac.jp

あらまし 本稿では、マルチコンテキスト型動的再構成ハードウェアで消費電力を削減する手法を検討する。マルチコンテキスト型動的再構成ハードウェアは、粗粒度の Processing Element (PE) を複数個持ち、コンテキスト切り替えにより各 PE の機能と接続を変更しながら処理を行う。これまで、PE の使用率を高めたり、コンテキストの切り替え回数を抑えるなど動的消費電力を削減する手法が提案されている。本稿では、静的消費電力の削減に着目し、状態遷移を制御するコントローラと電力制御のための単純な回路構成のサブコントローラによってコンテキスト切り替えを制御する階層型状態遷移コントロール手法を提案する。本手法により、処理の割り当てられていない遊休 PE の電力制御が可能となり、シミュレーションにより 2 割から 8 割の静的消費電力が削減可能であることを確認した。

キーワード 動的再構成, 消費電力, 階層型状態遷移コントロール

A Study of Efficient Context Switching Methods on Dynamically Reconfigurable Hardware

Masaharu YONEDA[†] Masaru FUKUSHI[†] and Susumu HORIGUCHI[†]

[†] Graduate School of Information Sciences, Tohoku University
6-3-09, Aramaki aza Aoba, Aoba-ku, Sendai, Miyagi, 980-8579 Japan
E-mail: [†] {masaharu, mfukushi, susumu}@ecei.tohoku.ac.jp

Abstract This paper addresses the problem of reducing the power consumption of Dynamically Reconfigurable Hardware. Dynamically reconfigurable hardware consists of a number of coarse-grained processing elements (PEs) and reconfigures the function of PEs and their interconnections by context switching. The previous methods mainly considered the reduction of dynamic power consumption. In this paper, we propose a hierarchical context switch control method to reduce the static power consumption of the system. Our control method employs two types of controllers, namely state transition controller and power controller. The hierarchically allocated power controllers can deactivate unused area based on signals from main state transition controller, which results in the reduction of static power consumption. The simulation shows that the hierarchical context switch control method makes static power consumption less than 20 – 80%.

Keyword Dynamic Reconfiguration, Power Consumption, Hierarchical Context Switch Control

1. はじめに

今日の組み込みデバイスには、より多くの機能をより高速に実装し、かつ、消費電力を低く抑えるという、相反する要求を満たすことが求められている。このような要求を満たすためのアーキテクチャとして、動作中にハードウェア構成を再構成可能な動的再構成型ハードウェアが注目を集めている[1]。

動的再構成型ハードウェアは、多数の粗粒度の

Processing Element (PE) を構成要素とし、動作中に PE の機能と PE 間接続を変更しながら処理を行う。そのため、従来の Field Programmable Gate Array (FPGA) や Complex Programmable Logic Device (CPLD) などの動作中の回路の書き換えが不可能なデバイスに比べ、高い面積効率を実現するという利点がある。なかでも、複数の回路構成 (コンテキスト) を切り替えながら再構成を行うマルチコンテキスト型の動的再構成ハードウェアは、大きなタスクを複数のコンテキストで時分

割実行することが可能であるため、面積効率がさらに優れたデバイスとして実用化が期待されている。

マルチコンテキスト型の動的再構成型ハードウェアを組み込み向けに使用する場合、消費電力を削減することが重要な課題となる。マルチコンテキスト型の場合、各コンテキストで使用される PE 数にばらつきがあることが多い。このため、回路規模の小さなコンテキストでは演算に使用されない遊休 PE が多数存在することになり、余計な電力消費の原因となっている。

これまで、電力効率向上のために、大きなコンテキストをいくつかの小さなコンテキストに分割したり（コンテキスト分割）、複数の小さなコンテキストをまとめて大きなコンテキストにしたりする（コンテキスト統合）手法が提案されている[2][3]。小さなコンテキストを統合することで PE 稼働率や処理の並列度を高めることができるため、動作クロックを下げたり、PE の論理遷移を減らすことができることが報告されている。

一般に、消費電力には、回路の動作によって消費される動的消費電力と、リーク電流による静的消費電力がある。コンテキスト分割/統合は、動的消費電力の削減を目的とした手法である。しかし、近年の半導体においては、リーク電流が全体の消費電力の中で無視できない要因となっており、その影響は年々強まっている[4]。従って、遊休 PE を効率的に管理し、静的消費電力を削減することで、さらに電力効率を高めることが必要であると考えられる。

本報告では、静的消費電力に着目し、処理の割り当てられていない遊休 PE を停止させることで電力の削減を目指す。演算を行わない PE を停止させるために、コンテキストの切り替え制御を行う状態遷移コントローラを少ない PE ごとに配置する手法も考えられる。しかし、状態遷移コントローラは、処理結果に応じて次の状態を指示するステートマシンを保持するなど、実装時のハードウェアコストが少なくない。そこで、状態遷移を制御するコントローラと電力制御のための単純な構成のコントローラを階層的に配置して状態遷移を制御する階層型状態遷移コントロール手法を提案する。本手法により、ハードウェアコストを抑えながら遊休 PE が消費する静的消費電力を削減することが可能となる。

2. 動的再構成型ハードウェア

2.1. 対象とするアーキテクチャ

本稿では粗粒度の PE を構成要素とし、それらを格子状に並べてスイッチで接続したアーキテクチャを対

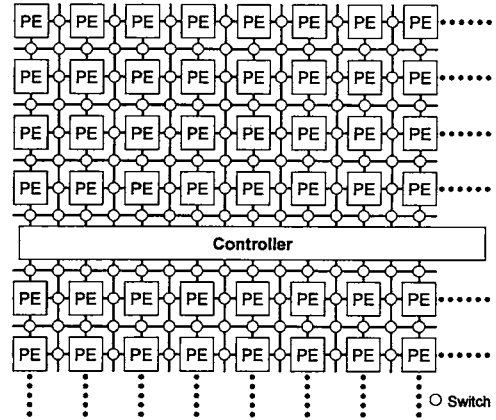


図 1 粗粒度動的再構成型ハードウェア

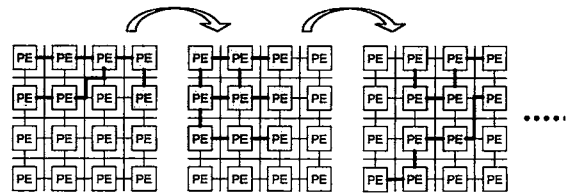


図 2 動的再構成

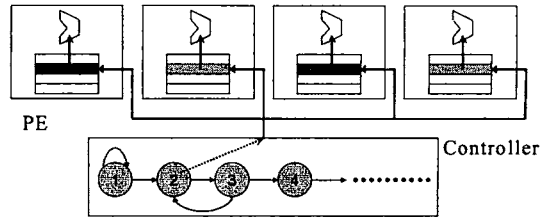


図 3 状態遷移コントロール

象に議論を進める。図 1 に、本稿で対象とするアーキテクチャを示す。各 PE は算術演算や論理演算を実行する演算器 (ALU) やレジスタ等を備えているものとする。また、PE は内部に命令メモリを持ち、そこに複数の回路構成情報を記憶しておく。構成情報を切り替えて各 PE の機能と PE 間接続を変更することにより、図 2 のようにコンテキストを切り替えながら処理を行う。PE およびスイッチの制御は、ステートマシンを持つ状態遷移コントローラにより行われる。図 3 に示すようにこのコントローラから各 PE にステート番号が入力され、コンテキストの切り替えが行われる。

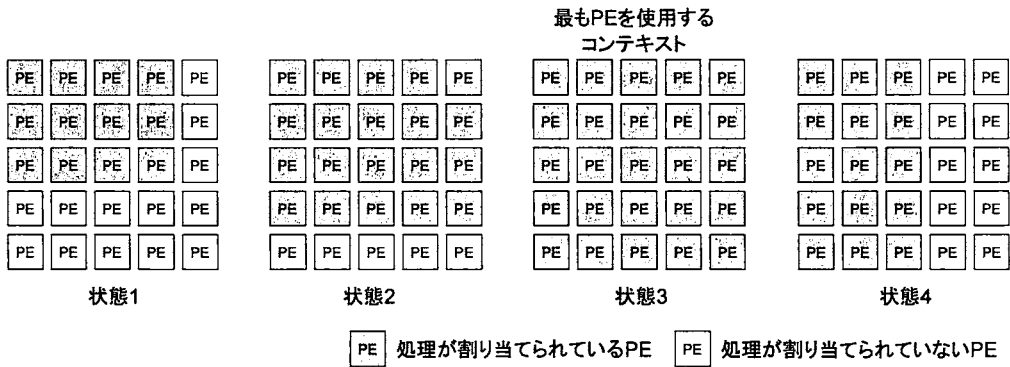


図 4 使用 PE 数のばらつき

2.2. DRP

前述した構成の動的再構成可能デバイスに、NEC エレクトロニクス社の Dynamically Reconfigurable Processor (DRP) [5]がある。

DRP の各 PE は 8 ビット ALU，データ制御や簡単な論理演算を行う Data Management Unit (DMA)，フリップフロップ，レジスタファイルから構成される。また，回路構成を記憶する命令メモリを持ち，ここに 16 のコンテキストを保持する。実行時には State Transition Controller (STC) が命令ポインタを発行し，それに従って 1 クロックごとにコンテキストを切り替えることが可能である。

この PE を 8×8 の格子状に 64 個並べ，その周囲に分散メモリブロック，中央に PE や配線の状態遷移を制御する STC を配置したものを基本ユニットとし，Tile と呼ぶ。

DRP-1 は DRP のプロトタイプチップであり，Tile を 8 個 (4 列×2 行) 持ち，中央にチップ全体の状態遷移を制御するコントローラ (Central State Transition Controller: CSTC) を持つ。また，これらを補助するために乗算器や PCI インタフェース，外部メモリアンタフェースなどを備えている。

また，DRP-1 では統合開発環境 Musketeer および DRP コンパイラが提供されている [6]。これらを利用することで C 言語ライクな BDL (Behavior Design Language) で記述されたコードからステートマシンとデータパス回路を合成することが可能である。

2.3. マルチコンテキスト型動的再構成ハードウェアにおける問題点

マルチコンテキスト型の動的再構成可能ハードウェアは，複数のコンテキストを記憶し，処理に応じて

それらを切り替えながら実行する。しかしながら，各コンテキストにおいてその中で使用される PE の数は異なることが多い。回路全体で必要とされる PE 数は最も多くの PE を使用するコンテキストで使用される PE 数に等しいため，図 4 のように PE 使用数の少ないコンテキストでは演算に使われない PE が多く存在することになる。演算に使用されない PE では動的消費電力は生じないが，それらは静的消費電力を消費している。

半導体における消費電力は動的消費電力と静的消費電力の和として次式で表される。

$$P = \alpha CV^2 f + I_l V$$

第一項は回路の動作によって消費される動的消費電力であり， α は遷移確率， C は負荷容量， V は電源電圧， f は動作周波数を表している。第二項はリーク電流による静的消費電力であり， I_l はリーク電流を表している。従来は第一項に比べ第二項は小さく，消費電力は動的消費電力によって支配されていた。しかし製造プロセスの微細化により C と V は減少する傾向にあり，動的消費電力は小さくなる傾向にある。一方， I_l は増加する傾向にありリーク電流による消費電力への影響が無視できなくなってきた。従って，演算を行わない PE における静的消費電力を削減することは重要な課題となる。

3. 階層型状態遷移コントロール

動的再構成型ハードウェアの電力効率を向上させるため，処理を割当てられない遊休 PE の静的消費電力を削減することを目的とする階層型状態遷移コントロール手法を提案する。

電力効率の問題は回路の微細化と高集積化が急速

に進んでいるVLSIなどでも大きな問題となっている。VLSIでは回路の領域によって複数の電源電圧を使い分けたり、使用されない領域の電源制御を動的に行うためにMulti Threshold-Voltage CMOS (MTCMOS) [7], Variable Threshold CMOS (VT-CMOS) [8]によって閾電圧を変えリーク電流を抑えたり、Gated Clock[9]によってクロック供給を遮断する手法が提案されている。しかしマルチコンテキスト型の動的再構成型ハードウェアでは、一つの状態遷移コントローラで全てのPEおよびそれらの接続を制御するため、各コンテキストで使用されるPE数や処理の割当ての有無に関わらず、全てのPEへ制御信号が送られる。そのため、常にPEには電源が供給され続けることになる。このような使用されないPEへの電源供給をなくすために少ない数のPEごとにコントローラを配置する手法も考えられるが、コントローラはステートマシンを保持し、それを制御するためハードウェアコストが高く現実的ではないと思われる。また、PEごとに電源制御を行うと回路の複雑度が増し、ハードウェアコストの増加や性能の低下が懸念される。

そこで、ある状態遷移コントローラが管理する N 個のPEを n 個のPEからなるいくつかのサブアレイに分割し、サブアレイごとに単純な回路構成のサブコントローラを配置する階層型のコンテキスト切り替え手法を提案する。中央の状態遷移コントローラからの制御信号は直接PEに伝えられるのではなく、サブコントローラを介して伝えられる。回路のコンフィグレーション時に、各コンテキストにおけるPEへの処理の割当ての有無によって、サブコントローラを設定する。PEに処理が割り当てられている場合はそのコンテキスト番号をサブアレイ内のPEに出力する。逆に、PEに処理が割り当てられていない場合は、サブアレイ内のPEを停止させる、クロックを遮断する、もしくはサブアレイの動作電圧を低くするなどの動作を行うことで静的消費電力の削減に寄与する。例えば図5に示す例の場合、サブアレイ内のPEは状態4では処理が割り当てられていない。サブコントローラは状態遷移コントローラからの状態番号を受け取り、それが4である場合はサブアレイ内のPEを停止し、それ以外の場合は状態番号を出力する。サブコントローラには、状態遷移コントローラからの状態番号をデコードするデコーダ、および電源遮断またはクロック遮断用の回路の他に、コンテキストが m パターンの場合、 m ビットのメモリが必要となる。

適切なサブアレイのPE数はアプリケーションによって異なると思われる。そこで、複数のサブアレイをまとめて大きなサブアレイとする多層型への拡張が考えられる。図6では3層に拡張した例を示す。サブア

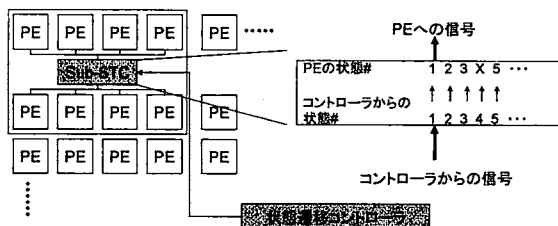


図5 階層型状態遷移コントロール

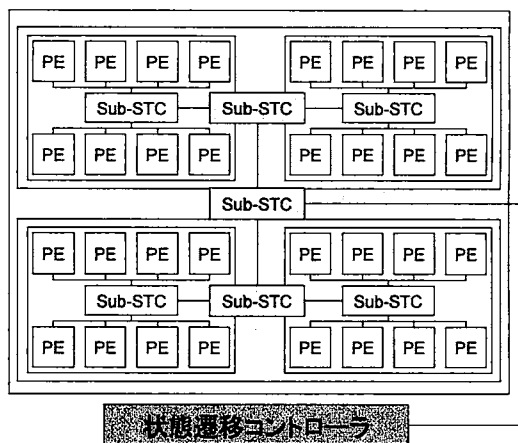


図6 多層型への拡張

レイのPE数を n 個とし、 K 階層で制御を行う場合、 k 階層目のコントローラを使って制御できるPE数は $2^{K-k}n$ 個となる。このようにサブアレイのサイズを動的に変更可能とすることで、アプリケーションに合わせて適切な規模で電力制御が行える。使用PE数の多いアプリケーションではより上位層のサブアレイで制御することで、性能への影響やサブコントローラによる電力消費を最小限に抑えることが可能となる。

4. 評価

コンテキスト統合によりコンテキスト間の使用PE数のばらつきを抑えて動的消費電力の削減を図る場合と、提案する階層型状態遷移コントロールを導入して静的消費電力の削減を図る場合の電力効率への影響を、DRP-Iおよびシミュレーションによって評価した。

4.1. コンテキストの統合による効果

使用PE数の小さなコンテキストを統合することによる消費電力への影響を評価するために、離散フーリ

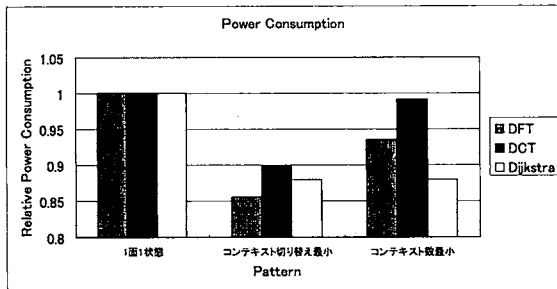


図7 コンテキスト切り替えによる消費電力の差

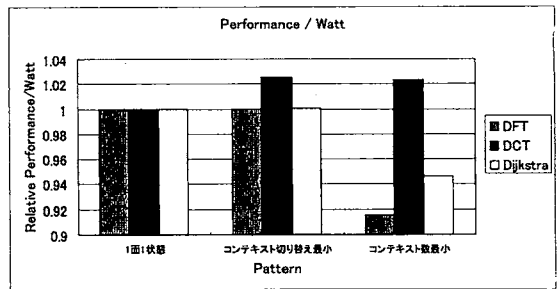


図8 コンテキスト切り替えによる電力効率の差

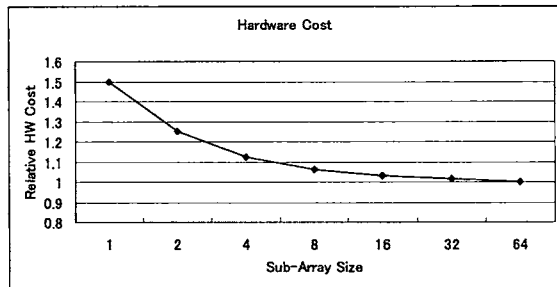


図9 サブアレイ PE 数とハードウェアコストの関係

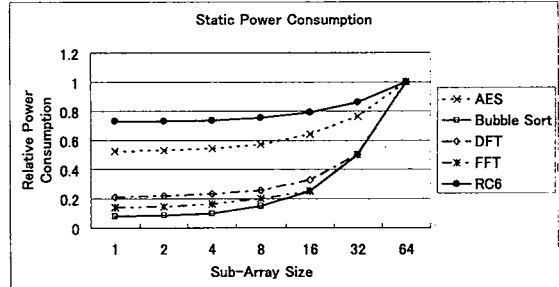


図10 サブアレイ PE 数と静的消費電力の関係

エ変換 (DFT), 離散コサイン変換 (DCT), Dijkstra 法を DRP-1 に実装した。コンテキスト統合のパターンは様々考えられるため、今回は以下の代表的な 3 つのパターンについて調査した。

- ・ 1 コンテキストごとに回路を切り替える場合 (パターン 1)
- ・ コンテキストの切り替え回数を最小とするようにコンテキストを統合する場合 (パターン 2)
- ・ コンテキスト数を最小とするようにコンテキストを統合する場合 (パターン 3)

これらの 3 パターンについて、1 コンテキストごとに回路を切り替えるパターン 1 の消費電力を 1 とした相対消費電力を図 7 に示す。これは DRP-1 の開発環境の電力プロファイラによって算出された値を用いているため、実測値とは異なる可能性もある。コンテキスト切り替えを考慮して統合を行ったパターン 2 の場合、統合を行わない場合に比べて 1 割以上消費電力を削減することが分かる。しかし、切り替えを考慮せずに統合するパターン 3 の場合、消費電力の削減にはあまり効果がないことが分かる。

スループットを消費電力で割り、ワット当たりの性能で表したものを図 8 に示す。図 7 で 1 割程度の消費電力削減が見られたパターン 2 においても、パターン 1 と電力効率では大差がないことが分かる。これは複

数のコンテキストを統合したことで回路の複雑さが増し、動作速度が低下したためと考えられる。また、パターン 3 の場合は電力効率の低下を招く場合も見られた。

一般に、コンテキスト統合による効果はアプリケーションによって特性が大きく異なる。今回は 3 つのアプリケーションのみで評価を行ったが、FFT のような実装密度の低いアプリケーションでは 2 割程度消費電力が削減されることが報告されている [10]。しかし、複数のコンテキストを統合することで回路の複雑度が増加し、動作速度の低下を招く場合もある。このため、消費電力が削減されても電力効率ではコンテキスト統合を行わない場合とあまり変わらなくなることも多いと思われる。

4.2. 階層型状態遷移コントロールの効果

階層型状態遷移コントロールを行うことによる消費電力削減効果を AES [11], Bubble Sort, DFT, Dijkstra, FFT [12], RC6 [13] の各アプリケーションを用いて評価した。階層型状態遷移コントロールを行った場合の消費電力は実機による評価ができないため、各コンテキストで使用される PE 数をもとに計算によって求めた。ここで、処理を割り当てられていない PE はサブコントローラによって停止されると仮定している。また、

問題の簡単化のためサブコントローラの階層は1階層とした。

サブアレイのPE数に対するハードウェアコスト比を図9に示す。図9では、サブコントローラ1個のハードウェアコストをPE1個のコストの0.5とし、サブアレイのPE数を64個とした場合を基準として正規化している。各PEを個別に制御する場合には1.5倍のハードウェアコストの増加があるが、サブアレイのPE数が4個以上なら1割程度のコスト増加に収まることが分かる。

また、階層型状態遷移コントロールを行った場合の静的消費電力を、図10に示す。図10では、サブアレイのPE数が64個の場合を基準として正規化した相対消費電力を示している。AESやRC6など実装密度が高いアプリケーションやコンテキストごとに使用されるPE数の差が小さいアプリケーションで2割程度、逆に実装密度が低い、もしくはコンテキストごとに使用されるPE数の差が大きいBubble Sort, DFT, FFTでは8割程度の静的消費電力が削減されることが分かる。

サブアレイのPE数を少なくするに従ってより細かい電力制御が可能となる。一方で必要なサブコントローラ数が増えるためハードウェアコストは増加する。消費電力とハードウェアコストはトレードオフの関係にあるが、今回の結果からはサブアレイのPEは8割程度が適当であると思われる。

5. まとめと今後の課題

マルチコンテキスト型動的再構成ハードウェアの電力効率を向上させるため、処理の割り当てられていない遊休PEの静的消費電力の削減に着目し、階層型状態遷移コントロール手法を提案した。状態遷移を制御するコントローラと、電力制御をするコントローラを階層的に用いることにより、ハードウェアコストを抑えながら静的消費電力を削減することが可能となる。シミュレーションにより、最大で2割から8割の静的消費電力を削減可能であることが分かった。

今後は、サブコントローラのハードウェアコストの詳細な見積もりと、サブコントローラの導入および電力制御を行うことによる遅延への影響など、性能面の評価を行う予定である。また、実際の回路では使用されるPEの位置はマッピングにより大きく異なるため、マッピングや配線を考慮した評価を行うことが必要である。

謝辞

本研究に対し多くの有益なアドバイスを下さいました NEC システムデバイス研究所の皆様深く感謝いたします。また、本研究は科学研究費補助金を用いて行われました。関係各位に感謝いたします。

文 献

- [1] 末吉敏則, 天野英晴 (編), “リコンフィギャラブルシステム,” オーム社, 2005
- [2] 長谷川揚平, 西村隆, 阿部昌平, 黒瀧俊輔, ヴァントウアン, 天野英晴, “動的リコンフィギャラブルプロセッサにおける性能と消費電力の定量的解析,” 第27回パルテノン研究会予稿集, pp.3-10, 2005
- [3] 長谷川揚平, 天野英晴, 阿部昌平, 黒瀧俊輔, ヴァントウアン, “動的リコンフィギャラブルプロセッサにおける時分割多重実行の性能と消費電力の解析,” 先進的計算基盤システムシンポジウム論文集, pp.135-142, 2006
- [4] N.S.Kim, T.Austin, D.Baauw, T.Mudge, K.Flautner, J.S.Hu, M.J.Irwin, M.Kandemir, V.Narayanan, “Leakage current: Moore’s law meets static power,” IEEE Computer, Vol.32, Issue 12, pp.68-75, 2003
- [5] M.Motomura, “A dynamically reconfigurable processor architecture,” Microprocessor Forum, October, 2002
- [6] 栗島亨, 戸井崇雄, 中村典嗣, 紙弘和, 加藤吉之介, 若林一敏, 宮澤義幸, 李京, “動的再構成可能チップ DRP の C コンパイラ,” 電情通技報 VLD2003-118, pp.23-28, 2004
- [7] S.Mutoh, T.Douseki, Y.Matsuya, T.Aoki, S.Shigematsu, J.Yamada, “1-V power supply high-speed digital circuit technology with multithreshold-voltage CMOS,” IEEE Journal Solid-State Circuits, Vol.30, Issue 8, pp.847-854, 1995
- [8] T.Kuroda, T.Fujita, S.Mita, T.Nagamatsu, S.Yoshioka, K.Suzuki, F.Sano, M.Norishima, M.Murota, M.Kako, M.Kinugawa, M.Kakumu, T.Sakurai, “A 0.9-V, 150-MHz, 10-mW, 4 mm², 2-D discrete cosine transform core processor with variable threshold-voltage (VT) scheme,” IEEE Journal Solid-State Circuits, Vol.31, Issue 11, pp.1770-1779, 1996
- [9] A.P.Chandrakasan and R.W.Broderson, “LOW POWER DIGITAL CMOS DESIGN,” Kluwer Academic Publishers, 1995.
- [10] 西村隆, 長谷川揚平, 天野英晴, “動的リコンフィギャラブルプロセッサにおける低電力設計手法の検討,” 電情通技報 RECONF2006-7, pp.37-42, 2006
- [11] 阿部昌平, 長谷川揚平, 黒瀧俊輔, 安生健一朗, 栗島亨, 天野英晴, “リコンフィギャラブルプロセッサ DRP-1 上での AES-CBC の実装,” 第4回リコンフィギャラブルシステム研究会論文集, pp.239-242, 2004
- [12] 黒瀧俊輔, 鈴木紀章, 安生健一朗, 本村真人, 若林一敏, 天野英晴, “FFT(Fast Fourier Transform) の DRP によるアクセラレーション手法,” FPGA/PLD Conference, 2004
- [13] 長谷川揚平, 山田裕, 出口勝昭, 安生健一朗, 栗島亨, 天野英晴, “リコンフィギャラブルプロセッサ上でのブロック暗号 RC6 の実装,” 電情通技報 VLD2003-119, pp.29-34, 2004