

ハイレベルフロアプランシステムにおける電源配線最適化手法の提案

林 孝之[†] 川上善之[†] 福井 正博[‡]

[†]立命館大学大学院 理工学研究科 [‡]電気情報デザイン学科

〒525-8577 滋賀県草津市野路東 1-1-1

E-mail: [†]mfukui@se.ritsumeai.ac.jp

あらまし 近年の半導体における微細化技術の発展により、IRドロップ、エレクトロマイグレーション(以降EMと呼ぶ)といった物理現象がVLSIに与える影響は大きな問題となっており、電源配線最適化の重要性が増している。電源配線最適化のためには、配線幅の最適化だけでなく、デカップリング容量の挿入が重要であるが、デカップリング容量の挿入にはチップ面積の増加を伴うため、詳細の配置配線が終了した段階では困難である。著者らは、電源配線に対するアプローチとして、フロアプランのレベルにおいて、粗い抽象化された概略の配線幅とデカップリング容量の挿入を行い、チップ歩留まりや製造コストを考えたトレードオフ解析を行う方法を検討し、簡単な試行実験をおこなったので報告する。

キーワード 電池駆動システム, 低電力, 電源最適化, 電池モデル

An algorithm of power grid optimization for high-level floorplan

Takayuki HAYASHI[†] Yoshiyuki KAWAKAMI[†] and Masahiro FUKUI[‡]

[†] Graduate School of Science and Engineering, [‡] College of Science and Engineering, Ritsumeikan University

1-1-1 Noji-higashi, Kusatsu, Shiga 525-8577, Japan

E-mail: [†]mfukui@se.ritsumeai.ac.jp

Abstract Recent rapid growth of the narrow and fine patterning technology faces many difficulties of power grid design, e.g. IR drop, electro migration. Not only the wire width optimization, but also the placement optimization of decoupling capacitance is effective for the power grid optimization problem. However, the insertions of the decoupling capacitance cause the increase of size of the blocks in the chip. It is hard to analyze the trade-off after the detail placement and routing optimization. Authors propose an approach to do the optimization in the phase of floorplanning and deals with trade-off analysis between the chip cost by area increase and stabilization of circuit behavior of the power and grid. Rough ideas and small experimental results are discussed.

Keyword system operated by batteries, low power, power dissipation model, battery model

1. 序論

近年、半導体技術が発展、および微細化の進展により、IRドロップやエレクトロマイグレーションなど電源配線にかかわる問題が顕著になっている。電源配線最適化のためには、配線幅の最適化だけでなく、デカップリング容量の挿入が重要であるが、デカップリング容量の挿入にはチップ面積の増加を伴うため、詳細の配置配線が終了した段階では困難である。そのため、フロアプランのレベルにおいて、粗い抽象化された概略の配線幅とデカップリング容量の挿入を行い、チップ歩留まりや製造コストを考えたトレードオフ解析を行い、詳細配置配線終了後に詳細の電源配線最適化をおこなうアプローチが有効と考えられる。

本稿は、フロアプランレベルでの概略電源配線の最適化に関する手法の提案と、簡単な実験による考察を目的とする。

本手法では、あらかじめ概略的に電源配線最適化を行うことで、設計工程の序盤で効率的にデカップを配置することができる。また、チップ面積の見積もりやIRドロップなどの重大な物理現象を緩和することが出来る。これによって、LSIの設計が効率的で無駄なコストを抑えられるようになる。さらに、チップコストに加え、IRドロップ・EMさらに配線混雑度を同時に考慮する。

2 システム構成

2.1 最適化とは

電源配線最適化とは、電源配線において一部で電圧降下が大きすぎたり、配線が断線したりし LSI がうまく動作しなくなるのを防ぐことである。そのために LSI が正常に動作するように最適な電源回路を導くことを目的としている。

今回の実験において、最適化の要因として IR ドロップと EM・配線混雑度、チップ面積辺りのコストを考慮することにする。そしてこれらの現象を考慮しつつ、最適な回路に改善されたかどうかを判断するための目安として、評価関数を用いる。評価関数は先ほどの物理現象に応じて変化するような関数であり、この関数によって求められる値のことを評価値と呼ぶことにする。これらについては後で詳しく述べる。

2.2 レイアウトモデルと構造

本手法で使用するレイアウトモデルを説明する。電源配線層は垂直の配線と水平の配線がそれぞれの層に通っており、2層構造になっている。そしてこの2層はコンタクトまたはビアでつながっている。本手法では配線を変化させることに加え、デキャップ容量を挿入することで最適化をおこなう。デキャップ容量を挿入することで急激な電圧の変化などを軽減することができ、IR ドロップやインダクタノイズを緩和する効果がある。

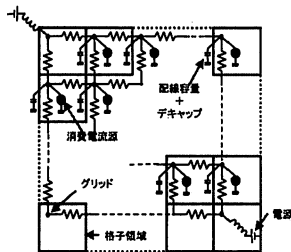


図1 5×5メッシュ構造回路モデル

次にこの電源配線の回路モデルについて説明する。本実験の回路は図1のような回路モデルとなり、水平・垂直の配線が交わる点をグリッドと呼ぶことにする。そして四つのグリッドと四本の配線によって囲まれた最小の四角形を格子領域と呼ぶ。この各格子領域の左上のグリッドに接続されているキャパシタンスは格子領域内のデキャップと配線容量の和である。そのほかに各格子領域には各ブロックに供給する電流を表現する電流源が接続されている。

2.3 最適化アルゴリズム

電源配線の最適化を行っていくうえでのアルゴリ

ズムは図2のようにになっている。同図で示したとおり、(1)回路における初期値の設定、(2)回路解析を行い各時間における電圧、電流密度などを計算する、(3)2で求めた値から評価値の最悪値を求める、(4)最も改善度の高い格子を選択し、最適化を行う格子を決定する、(5)評価値が最も良くなる改善動作を選択し行う、(6)2~5の動作を繰り返し評価値が改善されなくなるまで続ける。

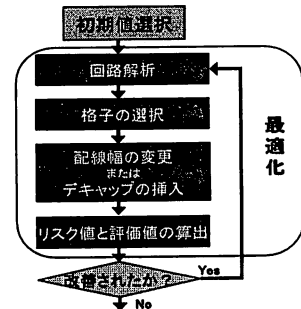


図2 最適化アルゴリズム

3 従来との変更点

3.1 リスク関数について

従来の最適化実験では IR ドロップと EM、配線混雑度を同時に考慮して最適化した。しかしながら、IR ドロップと EM、配線混雑度のこれらすべては違う単位である。そのため、例えば配線を太くしたときに IR ドロップが改善されるが、同時に配線混雑度が悪化してしまう為、全体でみると配線を変化させる前後で一体どちらが最適な配線であるか、違う次元であるために判断することができない。よってこれを解決するためにはそれらの単位を統一する必要がある。これらの単位を統一するために用いたものがリスクである。リスク関数は IR ドロップなどの物理量の危険値の上限を決め、それに対する現在の物理量を割合で表したものである。

[1]では電源配線層にデキャップを、挿入していたが、通常 LSI において、デキャップはブロック層に挿入することが多いため、本手法ではブロック層にデキャップを挿入する。したがって、ブロック層に挿入したデキャップの個数に応じてチップの面積が変化し、これによって一枚にかかるコストが増加する。これを考慮した新しいリスク関数がコストリスク関数である。以下では、これらのリスク関数について説明する。

本手法で用いるリスク関数は配線混雑度を考慮した未結線リスク、IR ドロップリスク、さらに EM リスクである。これら3つを表現するために下の図3を用いる。

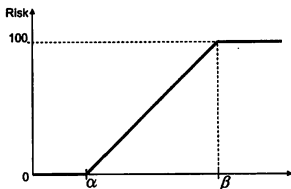


図3 リスク関数

3.1.1 未結線リスク関数

各格子領域は、電源配線、信号線で使用されるため、それぞれの占める面積の総和を格子領域の面積と比較し、その割合が増えると配線不可能に陥る危険性が増加する。このような配置配線における危険度を表したものが未結線リスクである。ここで、格子の面積を S とし、電源配線の占める面積を S_p 、信号線の占める面積を S_w 、各面積 S に占めるそれらの割合を P_s とすると、

$$P = \frac{S_p + S_w}{S} \quad (1)$$

このように定義し、図3において P を横軸にとり、 α を 20(%)、 β を 60(%)としたものを未結線リスク関数とする。

3.1.2 IR ドロップリスク関数

IR ドロップが顕著に起こってしまうと供給電圧が各機能ブロックを安定して動作させるための値を下回り、LSI が動作しなくなる危険性がある。この危険性を表したものが IR ドロップリスクである。これを求めるためには各メッシュ構造の頂点の電圧値を求める必要がある。そこで電源電圧を V_{dd} とし、各頂点の電圧を V とする。これらから電源電圧に対する IR ドロップの値を P_{ir} とすると

$$P_{ir} = \frac{V_{dd} - V}{V_{dd}} \times 100 \quad (2)$$

という式とおくことが出来る。この P_{ir} が一定の値を超えると回路は正常に動作しない。本実験においてこの値を一定の値を 20(%) とし、つまり図3において α を 0、 β を 20 とし、 β が 20 の IR ドロップのリスクが 100 とし最も危険な状態とする。

3.1.3 EM リスク関数

EM リスクとは EM が起きる可能性を表したものである。EM は電流密度の変化が大きいほど起きる危険性が増すので最大の EM リスク値 (σ_{max}) は次の式(3)のように表すことができる。

$$\sigma_{max} = I_{max} / W_{min} \quad (3)$$

この σ_{max} からのリスクを 100 とし、このとき最も危険な状態とする。さらにリスクが増加し始める値を

σ_p とし、この値を次式(4)に示す。

$$\sigma_p = (I_{max} \times W_{min}) \times 0.6 \quad (4)$$

ここで、 I_{max} とはメッシュ構造の電源回路内における最大電流値であり、 W_{min} は配線幅の最小幅の値である。これをふまえて図3において、 $\sigma_p = \alpha$ 、 $\sigma_{max} = \beta$ としたものを EM のリスク関数とする。

これらのリスクを減らすためにはデキャップを挿入することでリスク値が緩和される。よって、これら2つの関数だけではデキャップを必要なだけ挿入し続けることになる。しかしながら、デキャップを挿入すればするほどチップ面積の増加につながってしまう。

一般にチップ面積の増加に伴い、チップにかかるコストも増加する。LSI の製造においてこのコストを考慮することは重要なことであるため、今回の研究において IR ドロップと EM のリスク関数に加え、コストを考慮したリスクを用いることにした。

3.1.4 コストリスク関数

コストリスク関数とは、一枚のチップ面積の変化におけるコストの変化をもとめ、そのコストに対するリスクを表したものである。

チップが大きくなると一枚のウェハからとることの出来るチップの数が減少する。さらに、すべてのチップが良品チップとして製造できるわけではなく製造過程でホコリが落ちたりすることにより不良品チップが出てきてしまう。よって、ウェハからとりえる最大チップ数に対する良品チップ数の割合を考慮した。これを歩留まりという。歩留まりの式の例を下に示す。

$$Y = e^{-D_0 A} \quad (5)$$

$$Y = \left(\frac{1 - e^{-D_0 A}}{D_0 A} \right)^2 \quad (6)$$

$$Y = \frac{1 - e^{-2D_0 A}}{2D_0 A} \quad (7)$$

$$Y = \frac{1}{1 + AD_0} \quad (8)$$

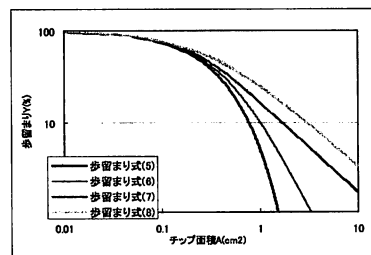


図4 歩留まりのグラフ

上の図4を見てもわかるように、歩留まりはチップ一枚の面積が増加すればするほど減少していく。つまり、チップ面積が大きくなればなるほど不良品が製造される確率が高くなるのである。これらの歩留まりの式を用いてチップ面積の変化に対するコストを求める式を次式(9)に示す。

$$Cost = \frac{100000 \times A}{Y \times Ws} + 2.75A + 25 \quad (9)$$

ここでの A はチップ一枚の面積、Y は歩留まり、Ws はウェハ一枚の面積、10000 というのはウェハ一枚の値段(円)である。+2.75A+25 とは、チップ製造にかかる配線等のコストを表すものである。さらにこの式をグラフ化したものを下の図5に示す。なお、関数に用いた歩留まりの式は(5)式を用いた。

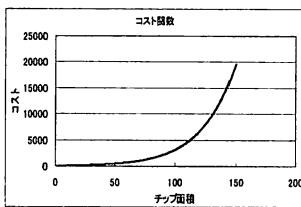


図5 チップ面積あたりのコスト関数

ここでチップ面積についてだが、今回の実験ではデキャップを挿入することで面積が増加する形式を用いるため次式(10)と表すことが出来る。

$$A(\text{cm}^2) = S + 1 \text{ 個のデキャップ面積} \times \text{デキャップ数} \quad (10)$$

S は初期のチップ面積で今回の実験では 1.3mm×1.3mm, 5mm×5mm, 10mm×10mm の3種類を用いてコストを考慮した。この結果は跡で示す。さらに1個のデキャップ面積は 0.05mm×0.05mm とし、デキャップが挿入された個数分だけ面積が増加することになる。

よってチップのコストはデキャップの個数に比例し、挿入デキャップ数によって一枚のコストが決まることになる。このことから、コストリスク関数は挿入デキャップ数に応じて変化する関数にした。今回の実験における挿入デキャップ数は 1440 個を上限としているのでコストリスク関数は

$$P_{\text{cost}} = \frac{\text{合計デキャップ数}}{1440} \times 100 \quad (11)$$

とあらわすことができる。この Pcost の値が 35(%)までと 35(%)から 70(%)、さらに 70(%)以上と三段階に分けて重みをつけることにした。これをふまえて関数にしたものを下に示す。

このように傾斜を2段階に分けた理由は、Pcost を 35(%)辺りに収束させたかったためであり、0(%)から 35(%)のときより 35(%)から 70(%)の範囲にリスク

の重みをもたせたかったからである。今回 70(%)からをリスク 100にしたのは、70(%)を超えるとチップ一枚の値段が上がりすぎ、製造における利益が上がらなくなるためである。

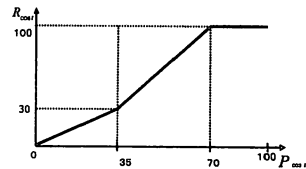


図6 コストリスク関数

3.2 評価関数

前述したように最適化を行う上でその電源回路が本当に最適化されたかどうかを判断する材料として、評価関数を用いる。最適化するうえで問題として挙げられた IR ドロップ・EM・コスト、これらのリスクが 100 を超えてしまうと回路は正常に動作しない。そのためそれぞれのリスク関数を持ちいて安全度を求める関数を定義する。ここで、安全度とは各格子において定義される。ただし、コストリスク関数においてはチップ全体の挿入デキャップ数に応じてリスク値が変化するため、チップに対して定義する。安全度からはコストリスクの値を除いた IR と EM、RW の3つの値において式化した。

$$safe(A) = \frac{(100 - R_{IR})(100 - R_{EM})(100 - R_{RW})}{100^2} \quad (12)$$

ここでは各安全度の積を用いることとし、Rir が IR ドロップリスク、Rem が EM リスク、Rrw が未結線リスクである。この安全度を用いて、評価関数を定義すると次式(13)のようになる。

$$F(A) = 360 \times \min_A safe(A) + \sum_A safe(A) + 100 \times (100 - R_{\text{cost}}) \quad (13)$$

安全度が最も低いものと、格子領域におけるすべての格子の安全度、そして先ほどの格子ごとの安全度に加えていなかったコストリスク値 Rcost の安全度の和によって評価関数を定義した。ここで安全度の最小値に 360 をかけたのはすべての格子の安全度の和と比重を対等にするためである。このため、安全度の一番低い格子の値が評価値に大きくかかわってくるため、評価されたかどうかのわかりやすくなる。コストの安全度に 100 をかけたのも同様の理由であり、比重を増やさないコストが考慮されないためである。すべての格子の安全度を加えたのは、回路全体が本当に改善されたかどうかを判断するためである。さらにコストリスクも考慮する必要があるのでコストリスク値の安全度を加えることにより、IR ドロップ、EM、コストの3つを同時に最適化することが出来る評価関数になる。

4. 実験と結果

4.1 実験方法

実験では 10×10 と 5×5 のメッシュ構造の回路を用いて実験を行った。改善方法として回路における配線幅とデキャップの容量の取りうる値は、前者は3種類の太さを、後者は6種類の容量の値を取りうるものとした。なお、それらの初期値は配線容量には真ん中の値を、デキャップ容量には一番小さい値、0を与えた。デキャップの初期値の0はつまり初期状態の回路にデキャップは一つも配置されていないということである。

4.2 実験結果

実験における評価値の推移を図7に、各リスク値の安全度の推移を図8および図9に示す。リスク値の安全度とは $100 - \text{各リスク値}$ で定義する。実験前後における各格子領域のリスク値の変化を図10に示す。改善後のデキャップ配置を図11に示す。

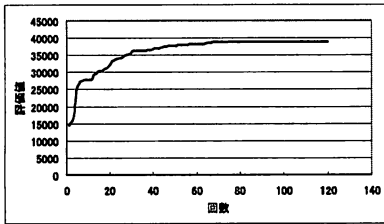


図7 5×5メッシュ構造における評価値の推移

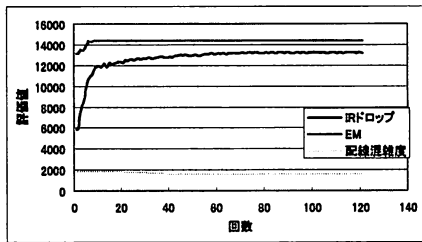


図8 IRドロップ・EM、配線混雑度の安全度の推移

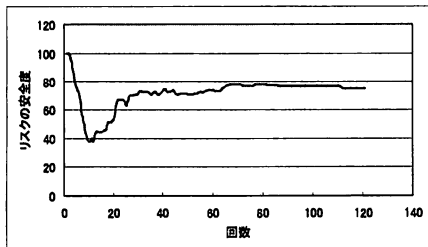


図9 コストリスクの安全度の推移

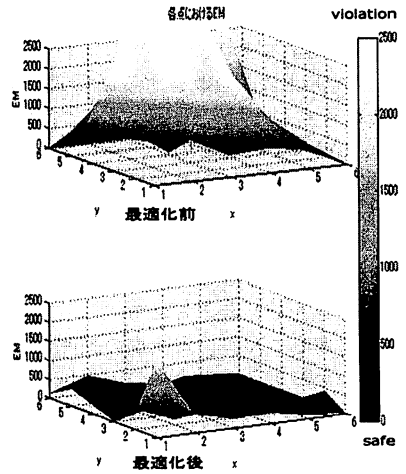
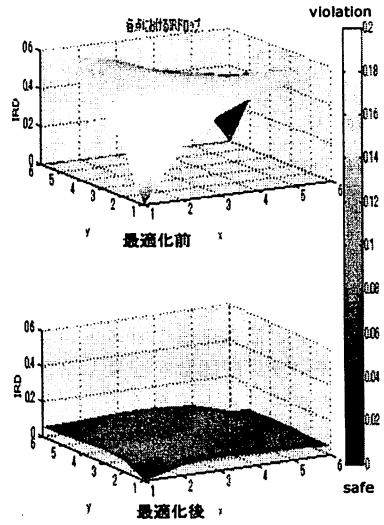


図10 最適化前後における各点のIRドロップとEMの危険値

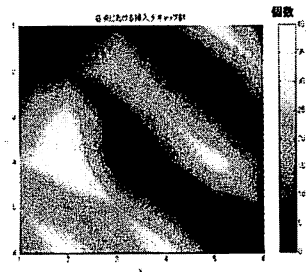


図11 デキャップの配置と個数

表1 初期チップ面積におけるコスト

チップ初期面積 (mm ²)	1.3×1.3	5×5	10×10
最適化後のコスト	38.701	177.11	3266.426
最大配置数のコスト	48.322	199.122	3591.116
コストの差	11.621	22.012	324.69
削減率(%)	24.04	11.05	9.04

ここでの、削減率とは最大デキャップ配置数を配置したときのコストと最適化後のコストの差を求め、その差が最大デキャップ配置数を配置したときのコストに占める割合を求めたものである。

4.3 評価

今回の実験において、IR、EM のリスクに関してリスク値は改善されていることがわかる。

しかしながら、コストリスク値に関しては一度落ち込んでから、改善されて約 80 に収束していることがわかる。これはコストリスクを改善する優先度が IR ドロップや EM を改善するそれよりも低かったためである。そのため最適化の前半の改善動作がほぼデキャップを配置する動作となり、コストリスク値が悪化してしまったためであり、IR ドロップリスクと EM リスクの値が収束してからはコストリスクを考慮し、必要最低限のデキャップ配置数にしようとしたため徐々にコストの安全度が改善されたと考えられる。

次に EM に関してだが、安全度の推移、最悪値の推移を見てもわかるように安全度の上限値に届いていることがわかる。今回の実験では 3.1.2 でも述べたが、EM のリスク関数は最大値の 60% からリスクが増加し始める。よって、最適化後ではすべての格子領域において EM のリスク値は 60% 未満であることがわかる。このため、最適化前半で EM がほぼ上限に達してしまったため、その後半においてあまり考慮されていない可能性がある。

また、図 10・12 を見てわかるように、格子領域の座標(1.1)と(6, 6)において、IR ドロップ、EM の値が顕著になっていることがわかる。これはこの点に電源電圧が接続されているためである。電源電圧が接続されているために IR ドロップは顕著に現れることはない。逆に EM においては電流密度の差が顕著になる為、危険度が高く現れる結果になっているのである。デキャップの配置位置と数においても同様の傾向が見られる。電源電圧付近においてはデキャップの配置数は多くないが、そこから遠くなればなるほど配置数が多くなっていることがわかる。

表 1 や図 5 より初期の面積が大きくなればなるほど、

チップ一枚のコストは 2 乗関数的に増加していくことがわかる。本来は初期チップ面積が増加すればするほど削減率は増加するはずであるが、今回は増加面積が非常に微小であるため、コストに対し増加量の割合が少なくなってしまうためであると考えられる

5. 結論

本稿ではフロアプランシステムにおける電源配線最適化手法について述べた。従来の実験とはデキャップの配置位置を変化させ、さらにデキャップの配置数において変化するコストを考慮することに着目した。回路規模もフロアプランシステムのために概略的なものでよい為、従来の 10×10 や 20×20 といったものではなく、5×5 で最適化を行い、瞬時に概略配線とデキャップの配置数と位置を求められるようにした。最適化においては、IR ドロップ、EM、そしてコストを同時に考慮し、3 種類のリスクとして定義した。実験では IR ドロップ、EM はそれぞれが改善されている。コストに関しても一時的にはリスクが増しているが、その後徐々に値が改善されていることから、これらは同時に最適化されていることがわかる。

今回の実験では、LSI が最適に動作するようなデキャップの配置位置と個数を求めるようにしてきた。結果を示したとおり、本実験プログラムによってデキャップの配置位置と個数を求めることが出来た。今後はこれを電源配線におけるフロアプランシステムとして用いていけるように、より実践的数値で考慮していく必要がある。

参考文献

- [1] H. Ishijima, K. Kusano, T. Harada, Y. Kawakami, and M. Fukui, "An algorithm for power grid optimization based on dynamic current consumption," in Proc. IASTED International Conference on Circuits, Signals and Systems, No.531, pp.114-119. (Nov. 2006)
- [2] 草野健次, 寺尾誠, 石嶋宏亘, 川上善之, 福井正博, "電源配線における多次元最適化問題の一手法," 情報処理学会研究報告, Vol.2006, No.111, 2006-SLDM-126, pp.123-128. (2006 年 10 月)
- [3] H. Ishijima, T. Harada, K. Kusano, M. Fukui, M. Yoshikawa, and H. Terai, "A power grid optimization algorithm with consideration of dynamic circuit operations," in Proc. Synthesis and System Integration of Mixed Technologies, pp.446-451. (April, 2006)
- [4] オーム社 電気通信学会 編 LSI ハンドブック
- [5] Jingjing Fu, Zuying Luo, Xianlong Hong, Yici Cai, Sheldon X.-D. Tan, Zhu Pan, "A Fast Decoupling Capacitor Budgeting Algorithm for Robust On-Chip Power Delivery" pp.505~510. (2004 IEEE)