

## 離散遅延値を持つ PDE を用いたクロックデスクュー手法

橋爪 裕子<sup>†</sup> 大谷 直毅<sup>†</sup> 高島 康裕<sup>†</sup> 中村 祐一<sup>‡</sup>

<sup>†</sup> 北九州市立大学国際環境工学部 〒808-0135 北九州市若松区ひびきの 1-1

<sup>‡</sup> NEC システム IP コア研究所 〒211-8666 川崎市中原区下沼部 1753

E-mail: <sup>†</sup> {yuko.hashizume@is.,naoki.ootani@is.,takasima@}env.kitakyu-u.ac.jp, <sup>‡</sup> yuichi@az.jp.nec.com

あらまし 近年の LSI 製造では微細化が進み、その結果、チップの性能向上は目覚ましい進歩が見られる反面、設計時に想定していた様々な性能値から製造時にずれが生じるいわゆる製造ばらつきが深刻な問題になっている。その対策のひとつとして製造後に遅延値調整できる素子(PDE)をクロックツリーに挿入し、クロック到着時刻を調整するデスクュー手法がある。既存のデスクュー手法では、製造ばらつきは正規分布に従う仮定の下に一部の FF におけるクロック到着時刻を測定し、その値に基づき FF 対間のクロック到着時刻差を推定することによって、PDE の遅延量を線形計画法で決定していた。線形計画法を利用するために従来手法では、連続遅延値を持つ PDE の利用を仮定する必要があり、現実問題への適用が困難となっていた。そこで、本稿では現実の問題に対応するために、PDE が離散遅延値を持つ場合に対するデスクュー手法を提案する。提案手法では、制約式が totally unimodular になることを利用して、線形計画法により PDE の遅延値が決定可能となった。実験により、無施策だと良品率 19.4% しかない例題 LSI に対して、遅延素子一個分の遅延量が 30ps である PDE16 個を用いて全体の 0.15% の FF のクロック到着時刻を測定することにより 85.4% へ改善可能であるなど提案手法の有効性を確認した。

キーワード デスクュー, Programmable Delay Element(PDE), 線形計画法, 正規分布, Totally Unimodular

## A Clock Deskew Method using PDE with Discrete Delay

Yuko HASHIZUME<sup>†</sup> Naoki Otani<sup>†</sup> Yasuhiro TAKASHIMA<sup>†</sup> and Yuichi NAKAMURA<sup>‡</sup>

<sup>†</sup> Faculty of Environmental Engineering, The University of Kitakyushu 1-1 Hibikino, Wakamatsu-ku, Kitakyushu-shi, Fukuoka, 808-0135 Japan

<sup>‡</sup> System IP Core Research Labs., NEC Corp. 1753 Shimonumabe, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8666 Japan

E-mail: <sup>†</sup> {yuko.hashizume@is.,naoki.ootani@is.,takasima@}env.kitakyu-u.ac.jp, <sup>‡</sup> yuichi@az.jp.nec.com

**Abstract** In deep-submicron technology, process variations can severely affect the performance and the yield of VLSI chips. As a countermeasure to the variations, deskew, which inserts Programmable Delay Elements (PDEs) into the clock tree and adjusts the clock arrival times of FFs, has been proposed. One of the previous deskew methods measures the arrival clock times of small amount of FFs and presumes that of the others under the assumption that process variation follows Gaussian distribution. This method assumed that PDEs have continuous delay value. We extend this method to handle PDEs which have discrete delay value. We utilize that the constraints hold totally unimodular and decide the delay values of PDEs by the linear programming. Our experiments show that the yield is improved from 19.4% to 85.4% after applying deskew method for a sample when the arrival times for 0.15% of total FFs are measured and the delays of 16 PDEs with delay steps of 30ps are tuned.

**Keyword** Deskew, Programmable Delay Element(PDE), Linear Programming, Gaussian Distribution, Totally Unimodular

### 1. はじめに

近年の製造技術の進歩による LSI の微細化がさらに進んでいる。その結果、特に 45nm 以下の製造プロセスによる VLSI チップでは、製造ばらつきが歩留まりに大きく影響との報告がなされている [1]。その対策として、いくつかの手法が提案されている [2,3,4,5,6,7]。それらは、チップ製造前の設計やアーキテクチャから

のアプローチとチップ製造後にパラメータを調整する手法とに分けられる。前者では、SSTA による設計 [2, 3] や、非同期回路を利用した手法 [4] があげられる。一方、後者においては、ダイナミックリコンフィギュラブル回路による論理の組み換えやクロック木への遅延素子を挿入するデスクュー手法 [5]-[7] 等が提案されている。この後者の手法は、チップ製造後のパラメータ

を測定し調整するため、製造ばらつきに起因する歩留まりの向上にも効果が大いといわれている

デスクュー手法とは、チップ製造時に、クロック木の経路中に遅延値調整可能である素子(Programmable Delay Element)を挿入し、製造後にその遅延値を調整することにより、製造ばらつきによるクロック到着時刻のずれ、いわゆるクロックスキューを解消する手法であり(図1)、代表的なチップとしては Intel の Itanium 2 に実際に搭載されていると言われている[5]。一方、クロックスキューが原因である不良品の率は30%程度であるとの調査もあり[1]、デスクュー手法は歩留まりの向上に有効であると考えられる。

従来手法のうち、[5]-[7]はチップの動作テストにおいて、成功したテストベクタの数を適応度とし、PDEの遅延値を遺伝子とした Genetic Algorithm を利用して問題解決方法を提案している。[8]は、スラックを予め計算しておき、そのスラックの小さな場所から順に PDE を挿入し、テストを繰り返し実行する手法を提案している。これらの手法は、現実に LSI 設計のフローに影響を与えずに導入することが可能であるが、最適化過程において、何度もテストを繰り返す必要があり、そのコストが非常に大きい。

また、全 FF のクロック到着時刻を測定し、それに基づいて PDE の遅延値を線形計画法で計算する手法も提案されている[9]。これは、PDE の値は一度の計算で完了し、その定量的な解析も容易であるが、全 FF のクロック到着時刻を知る必要があるため、実用問題への適用は難しい。そこで、[10]では製造ばらつきは正規分布に従うとの仮定の下で、一部の FF におけるクロック到着時刻を測定し、その値に基づき FF 対間のクロック到着時刻差を推定し、PDE の遅延値を決定するデスクュー手法が提案されている。ここでは、0.2%程度の FF でのクロック到着時刻を測定するだけで、全ての FF の到着時刻を測定したものと同程度の良品率が得られることを示した。しかし、線形計画法を利用するため、連続遅延値を持つ PDE を仮定する必要があり、現実の問題との乖離が問題となっていた。

そこで、本稿では離散遅延値を持つ PDE を用いたデスクュー問題の解法を提案する。従来の線形計画法の自然な拡張では、線形計画問題に離散数値を用いることにより、線形計画問題の解決が必要となり、大きな計算時間が必要となる。そこで、制約式が totally unimodular になることを利用し、線形計画法を用いて PDE の遅延値を決定する手法を提案する。実験では、離散遅延値を持つ PDE を利用した提案手法が、連続遅延値を持つ PDE を利用した従来手法とほぼ同程度の良品率を得られることを示す。

本稿の構成は以下の通りである。

2.節では、本稿でのモデル及び制約について記述する。3.節では提案手法について説明し、その有効性を4.節に記述する。そして、5.節にてまとめる。

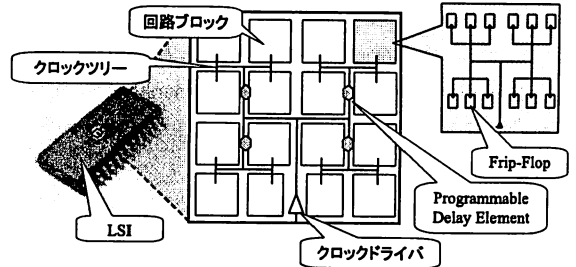


図1 クロックツリーへの PDE 挿入

## 2. 準備

### 2.1. クロック分配モデル

本稿では、考慮するクロック分配モデルは、説明の簡単化のため、H-tree と仮定するが、この制限は容易に CTS など一般のクロック分配モデルにも拡張可能である。図2に本稿で用いる H-tree モデルを示す。

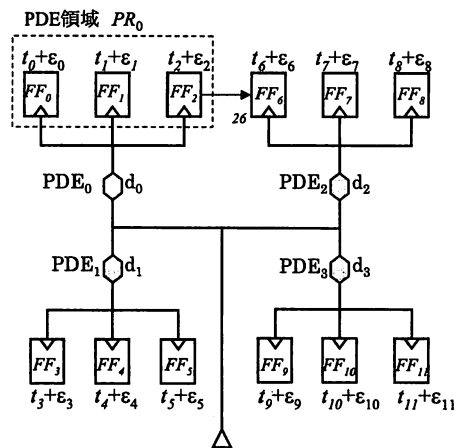


図2 H-tree モデル

各  $FF_i$  に対し、設計時のクロック到着時刻を  $t_i$ 、製造時のクロック到着時刻のばらつきを  $\varepsilon_i$  とする。また、これらの和が製造後のクロック到着時刻となり、 $T_i = t_i + \varepsilon_i$  となる。 $FF_i, FF_j$  間のパスの遅延値は  $\Delta_{ij}$  を表す。

本稿では、H-tree に対する全ての PDE の挿入箇所は H-tree の同じ高さであるとし、クロックソースから各 FF までの間に丁度一個の PDE が存在するとする。そ

の結果、各 FF において PDE による遅延制御は丁度一個からしか影響を受けない。同じ PDE<sub>j</sub> によりクロック到着時刻を制御される FF は同じ PDE 領域 PR<sub>j</sub> に属すとする。そのときの各 FF でのクロック到着時刻は遅延値 d<sub>j</sub>(≥0)だけ遅れる。例えば、図 2 においては、FF<sub>0</sub> のクロック到着時刻、製造ばらつきはそれぞれ t<sub>0</sub>, ε<sub>0</sub> であり、その結果、製造後のクロック到着時刻 T<sub>0</sub>=t<sub>0</sub>+ε<sub>0</sub> である。また、FF<sub>2</sub>, FF<sub>6</sub> 間のパス遅延は、Δ<sub>26</sub> である。PDE<sub>0</sub> の領域 PR<sub>0</sub> には、FF<sub>0</sub>, FF<sub>1</sub>, FF<sub>2</sub> が属し、そのクロック到着時刻は d<sub>0</sub> だけ遅れる。

本稿では、クロック信号に対する H-tree の各枝の遅延は正規分布に従い、各枝間の遅延の分布はそれぞれ独立であると仮定する。その結果、クロックソースから各 FF までのクロック信号は、平均がクロックソースから各 FF までに通過する枝の平均の和、分散が通過する分散の和であるような正規分布となる。図 3 に本稿で考えるばらつきのモデルの例を示す。クロックソースから FF<sub>0</sub> までの各枝が、それぞれ、α<sub>1</sub>~N(μ<sub>1</sub>, σ<sub>1</sub><sup>2</sup>), α<sub>2</sub>~N(μ<sub>2</sub>, σ<sub>2</sub><sup>2</sup>), α<sub>3</sub>~N(μ<sub>3</sub>, σ<sub>3</sub><sup>2</sup>) であるとする。そのとき、FF<sub>0</sub> の製造後のクロック到着時刻は T<sub>0</sub>=α<sub>1</sub>+α<sub>2</sub>+α<sub>3</sub>~N(μ<sub>1</sub>+μ<sub>2</sub>+μ<sub>3</sub>, σ<sub>1</sub><sup>2</sup>+σ<sub>2</sub><sup>2</sup>+σ<sub>3</sub><sup>2</sup>) となる。

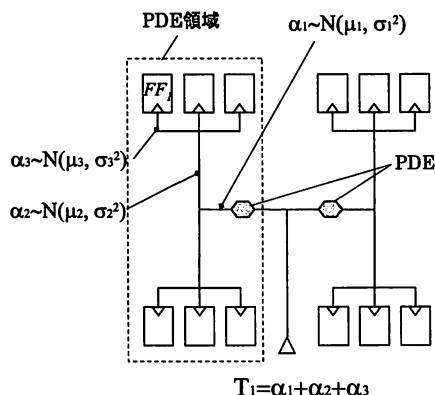


図3 クロック到着時刻のばらつき

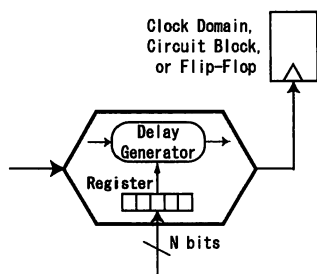


図4 PDE

## 2.2. PDE

本稿で用いる PDE モデルは、[5, 6]で使われているものと同様である(図 4)。具体的には、「遅延素子 1 個分の遅延量を p とすると PDE での遅延はその定数倍である」というものである。例えば、[5]では遅延素子の実現方法については記述がないが、p=30ps として実験が行われている。また、[6]では遅延素子としてバッファが用いられ、状況に応じて p=30.5ps もしくは 9ps が遅延量として使用されている。

## 3. 提案手法

### 3.1. クロック到着時刻差の推定

各 PDE の遅延値の決定には[10]と同様に線形計画法を用いる。制約式には、セットアップ制約とホールド制約を用いる。各 FF のクロック到着時刻が既知であるとすると、FF<sub>i</sub>∈PR<sub>j</sub>, FF<sub>i'</sub>∈PR<sub>j'</sub> 間にパスが存在するとき、セットアップ制約、ホールド制約はそれぞれ、

$$\begin{aligned} (T_i + d_j) + \Delta_{ii'} &\leq (T_{i'} + d_{j'}) + CP - T_S \\ (T_i + d_j) + \Delta_{ii'} &\leq (T_{i'} + d_{j'}) + T_H \end{aligned}$$

である。これは、

$$T_H - (T_i + T_j) - \Delta_{ii'} \leq d_j - d_{j'} \leq CP - T_S - (T_i + T_j) - \Delta_{ii'} \quad (1)$$

とまとめることができる。ここで、T<sub>S</sub>はセットアップ時間、T<sub>H</sub>はホールド時間、CPはクロック周期である。

クロック到着時刻差の推定には、[10]で提案されている手法を用い、パスの存在する FF 対間のクロック到着時刻差を推定する。クロック到着時刻の推定手法[10]を用いて推定された FF<sub>i</sub> と FF<sub>i'</sub> のクロック到着時刻が T<sub>i</sub>~N(μ<sub>i</sub>, σ<sub>i</sub><sup>2</sup>), T<sub>i'</sub>~N(μ<sub>i'</sub>, σ<sub>i'</sub><sup>2</sup>) であるとする、この FF 対間のクロック到着時刻差は正規分布の性質より、T<sub>i</sub>-T<sub>i'</sub>~N(μ<sub>i</sub>-μ<sub>i'</sub>, σ<sub>i</sub><sup>2</sup>+σ<sub>i'</sub><sup>2</sup>) となる。さらに、平均 μ、標準偏差 σ であるような正規分布においては、μ±3σ の範囲に 99.7% が含まれることが知られている。よって、T<sub>i</sub>-T<sub>i'</sub>

は [μ<sub>i</sub>-μ<sub>i'</sub>-3√(σ<sub>i</sub><sup>2</sup>+σ<sub>i'</sub><sup>2</sup>), μ<sub>i</sub>-μ<sub>i'</sub>+3√(σ<sub>i</sub><sup>2</sup>+σ<sub>i'</sub><sup>2</sup>)] の範囲で推定

され、セットアップ制約、及びホールド制約を求めるときに、この範囲のより厳しい値を用いられ、制約式は式(2), (3)のようになる。

$$T_H - \Delta_{ii'} - (\mu_i - \mu_{i'}) + 3\sqrt{\sigma_i^2 + \sigma_{i'}^2} \leq d_j - d_{j'} \quad (2)$$

$$d_j - d_{j'} \leq CP - T_S - \Delta_{ii'} - (\mu_i - \mu_{i'}) - 3\sqrt{\sigma_i^2 + \sigma_{i'}^2} \quad (3)$$

### 3.2. 分散遅延値 PDE を用いたデスクュー手法

まず、本稿で考慮する問題は以下の通りである。

入力 : FF 集合、一部の FF のクロック到着時刻、全パスの接続関係と遅延時間、クロック木の各枝での遅延分布、セットアップ時間、ホールド時間

出力 : 全ての PDE の遅延値(離散値)

制約 : セットアップ制約、ホールド制約

表1 連続遅延値 PDE を用いたクロック到着時刻差推定によるデスクュー手法(前良品率 19.4%)

FF 測定数	1024	512	256	128	64	32	16	8	4
PDE 数	ratio	ratio	ratio	ratio	ratio	ratio	ratio	ratio	ratio
2	40.2	34.6	29.0	18.2	10.4	1.2	0.0	0.0	0.0
4	85.0	82.2	78.4	66.0	48.6	14.4	1.0	0.0	0.0
8	95.8	95.0	93.8	88.8	82.6	50.0	16.8	0.0	0.0
16	98.8	99.0	98.2	97.0	95.2	86.2	69.2	0.0	0.0
32	98.8	99.0	98.6	88.6	97.8	94.2	84.6	0.0	0.0
64	99.0	99.2	98.0	98.4	97.6	95.0	91.2	6.2	0.0
128	98.8	99.0	98.2	98.8	98.0	96.4	94.4	45.8	0.0
256	99.2	99.4	98.6	99.2	98.6	96.6	96.8	77.4	0.0
512	98.8	99.4	98.8	99.2	98.4	96.4	96.0	88.0	22.2
1024	98.6	99.4	98.8	99.0	98.4	96.4	96.0	93.4	72.8

表2 分散遅延値 PDE を用いたクロック到着時刻差推定によるデスクュー手法(前良品率 19.4%)

FF 測定数	1024	512	256	128	64	32	16	8	4
PDE 数	ratio	ratio	ratio	ratio	ratio	ratio	ratio	ratio	ratio
2	38.8	33.4	26.8	16.0	8.8	1.0	0.0	0.0	0.0
4	84.2	80.4	76.4	62.6	43.6	11.6	0.4	0.0	0.0
8	95.6	94.6	93.2	87.4	81.2	43.8	9.6	0.0	0.0
16	99.0	98.8	98.2	97.0	95.6	85.4	61.2	0.0	0.0
32	99.2	99.2	98.8	98.8	98.6	95.2	80.0	0.0	0.0
64	99.4	99.4	99.0	99.0	99.0	96.4	91.4	1.4	0.0
128	99.4	99.4	99.4	99.4	99.4	97.4	95.0	26.2	0.0
256	99.8	99.8	99.8	99.8	99.8	98.2	98.0	74.2	0.0
512	99.8	99.8	100.0	99.8	99.8	98.6	97.6	88.6	2.6
1024	99.8	99.8	100.0	99.8	99.8	98.6	98.0	94.0	65.6

表3 全 FF 測定による実験結果(前良品 19.4%)

PDE 数	連続値	分散値
2	50.8	50.8
4	89.2	89.2
8	97.2	97.2
16	99.4	99.4
32	99.6	99.6
64	99.6	99.6
128	99.8	99.8
256	100.0	100.0
512	100.0	100.0
1024	100.0	100.0

3.1 節で示したように、パスの存在する FF 対間のクロック到着時刻差を推定する。2.2 節で紹介したのと同様、遅延素子 1 個の遅延量を  $p$  とすると、PDE 領域  $j$  の PDE 遅延量は  $px_j$  である。よって、式(2)と(3)に代入すると、式(4)と(5)のようになる。

$$T_H - \Delta_{ii'} - (\mu_i - \mu_{i'}) + 3\sqrt{\sigma_i^2 + \sigma_{i'}^2} \leq px_j - px_{j'} \quad (4)$$

$$px_j - px_{j'} \leq CP - T_S - \Delta_{ii'} - (\mu_i - \mu_{i'}) - 3\sqrt{\sigma_i^2 + \sigma_{i'}^2} \quad (5)$$

そこで両辺を  $p$  で割ると式(6)及び(7)となる。

$$\left( T_H - \Delta_{ii'} - (\mu_i - \mu_{i'}) + 3\sqrt{\sigma_i^2 + \sigma_{i'}^2} \right) / p \leq x_j - x_{j'} \quad (6)$$

$$x_j - x_{j'} \leq \left( CP - T_S - \Delta_{ii'} - (\mu_i - \mu_{i'}) - 3\sqrt{\sigma_i^2 + \sigma_{i'}^2} \right) / p \quad (7)$$

ここで、変数  $x$  が整数であるので、式(6)の左辺は切り上げ、式(7)の右辺は切り下げても結果に違いは無い。以上より、制約式として式(8)及び(9)が得られる。

$$\left\lceil \left( T_H - \Delta_{ii'} - (\mu_i - \mu_{i'}) + 3\sqrt{\sigma_i^2 + \sigma_{i'}^2} \right) / p \right\rceil \leq x_j - x_{j'} \quad (8)$$

$$x_j - x_{j'} \leq \left\lfloor \left( CP - T_S - \Delta_{ii'} - (\mu_i - \mu_{i'}) - 3\sqrt{\sigma_i^2 + \sigma_{i'}^2} \right) / p \right\rfloor \quad (9)$$

制約式(8)及び(9)を観察すると

- ・変数の係数は、1, 0, -1 のいずれか、
  - ・定数項はすべて整数、
- である。

よって、制約式は、totally unimodular[11]となるので、提案する線形計画問題は、変数に整数性を規定しなくても、整数解を得ることができる。

#### 4. 実験

提案手法の有効性を確認するため、実験により、[10]で提案された連続遅延値を持つ PDE を用いたクロック到着時刻差推定によるデスクュー手法と比較を行った。

表 4 連続遅延値 PDE を用いたクロック到着時刻差推定によるデスクュー手法(前良品率 16.0%)

FF 測定数	1024	512	256	128	64	32	16	8	4
PDE 数	ratio	ratio	ratio	ratio	ratio	ratio	ratio	ratio	ratio
2	38.0	32.8	28.6	16.2	8.2	1.6	0.2	0.0	0.0
4	86.8	82.6	77.6	64.0	49.0	13.0	1.4	0.0	0.0
8	97.0	96.4	94.8	89.4	82.4	48.2	13.2	0.0	0.0
16	99.2	99.4	98.6	98.0	96.4	87.8	64.8	0.0	0.0
32	98.8	99.4	98.8	98.8	98.2	95.8	82.4	0.2	0.0
64	99.0	99.6	99.2	98.8	98.8	97.0	89.4	7.0	0.0
128	98.8	99.6	99.2	99.0	99.0	97.6	93.4	45.2	0.0
256	98.6	99.4	99.0	98.4	98.4	97.8	95.8	79.0	0.0
512	98.6	99.4	98.6	98.2	98.6	98.0	96.8	88.6	22.0
1024	98.6	99.2	98.6	97.6	98.4	97.8	96.6	91.8	75.4

表 5 離散遅延値 PDE(p=200ps) を用いたクロック到着時刻差推定によるデスクュー手法(前良品率 16.0%)

FF 測定数	1024	512	256	128	64	32	16	8	4
PDE 数	ratio	Ratio	ratio	ratio	ratio	ratio	ratio	ratio	ratio
2	21.4	16.2	14.0	7.2	3.4	0.6	0.0	0.0	0.0
4	50.2	41.6	32.4	17.6	7.2	1.0	0.0	0.0	0.0
8	77.4	70.0	58.2	33.0	15.6	1.4	0.0	0.0	0.0
16	96.8	95.8	89.8	71.2	44.4	3.2	0.0	0.0	0.0
32	99.4	99.2	99.0	94.0	81.0	18.8	0.2	0.0	0.0
64	99.8	99.6	99.4	98.4	97.8	54.8	1.4	0.0	0.0
128	100.0	100.0	99.8	99.4	99.2	93.2	18.8	0.0	0.0
256	100.0	100.0	99.8	99.4	99.4	98.0	85.4	0.0	0.0
512	99.8	100.0	99.4	99.6	99.6	99.0	97.4	0.0	0.0
1024	99.8	99.8	99.4	99.6	99.6	99.4	97.6	9.8	0.0

表 6 全 FF 測定による実験結果(前良品 16.0%)

PDE 数	連続値	離散値
2	49.0	49.0
4	90.8	90.8
8	98.2	98.2
16	99.6	99.6
32	99.6	99.6
64	99.8	99.8
128	100.0	100.0
256	100.0	100.0
512	100.0	100.0
1024	100.0	100.0

実験環境は、AMD Opteron 265, メモリ 3GB, CentOS 4.3, 最適化エンジンとして CPLEX 10.0 を利用した。各試行の計算時間は、それぞれ数秒程度なので明記しない。モデルの各値は以下の通りである。

- H-tree : 5 段
- FF の総数 : 20480 個
- FF 毎のパスの数 : 5 本
- 挿入する PDE の数 : 2-1024 個
- クロック周期 : 2ns, 500MHz
- セットアップ時間, ホールド時間 : 共に 0.1ns
- パス遅延の分布 :  $\Delta \sim N(\mu_{\Delta}, \sigma_{\Delta}) = (1.0ns, 0.18ns)$
- クロック到着時刻のばらつき : H-tree の各枝におけるクロック到着時刻のばらつきは正規分

布に従い、その平均値は 0ns, 標準偏差は枝の長さに比例し、クロックソースから各 FF 間での値は 0.114ns。

500 個のモデル回路を作成し、遅延素子 1 個分の遅延量  $p$  が 30ps である PDE と 200ps である PDE を用い、それぞれ上限は定めずに行った。表 1 に連続遅延値を持つ PDE を利用したデスクュー手法適用後の良品率、表 2 に離散遅延値を持つ PDE を利用したデスクュー手法適用後の良品率、表 3 に全 FF のクロック到着時刻を測定したモデルへのデスクュー手法適用後の良品率をそれぞれ示す。

表 1, 2 のように、 $p=30$  の離散遅延値を持った PDE を用いた場合と連続遅延値を持った PDE を用いた場合と比較すると、ほぼ同程度の良品率が得られていることがわかる。この結果より、提案手法のように離散化を行えば、質を落とさずに離散遅延値を持つ PDE によるデスクュー手法に簡単に拡張できることが確認できた。また、挿入する PDE 数が多いときに、離散遅延値を持つ PDE を用いた方が高い良品率の場合がある。これは、クロック到着時刻差の推定を行っているためである。推定したクロック到着時刻差を用いて得られた制約が実際のクロック到着時刻を用いて得られた制約の範囲から逸脱している場合、デスクュー適用後も良品にならないことが多い。連続値を用いた制約で

は実際の制約を逸脱していても、離散化することで実際の制約の範囲内に収まる場合があり、これにより離散値を持つ PDE を用いた方が高い良品率になる場合が生じる。

また、遅延素子 1 個分の遅延量  $p$  を増やし 200ps の PDE を用いた結果を表 4, 5, 6 に示す。これらより、遅延素子 1 個分の遅延量を増やすと、制約式を満たす PDE の値を定めることができず、良品率が下がることになる。  $p=200ps$  では連続値に比べて良品率は劣るものの、64FF のクロック到着時刻を測定し PDE を 32 個挿入すればデスクュー適用前が 16.0%の良品率である回路がデスクュー適用後 81.0%になっている。これより、遅延量  $p$  を増やしても観測数、挿入する PDE 数を増やせば高い良品率が得られることがわかる。

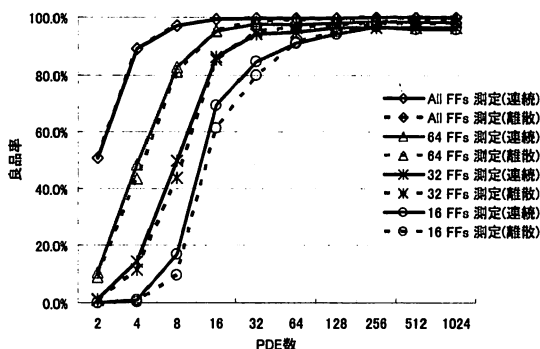


図 5 連続値と離散値( $p=30ps$ )による良品率の比較

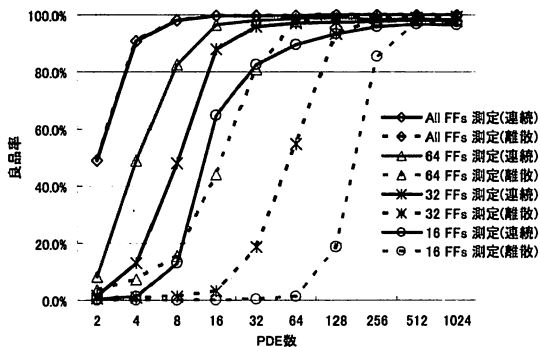


図 6 連続値と離散値( $p=200ps$ )による良品率の比較

## 5. おわりに

本稿では、FF 対間のクロック到着時刻差を推定するモデルに対し、離散遅延値を持つ PDE を用いたデスクュー問題を短時間で効率よく解く手法を提案した。提

案手法では制約式が totally unimodular になることを利用し、離散値変数に対して、整数計画法ではなく線形計画法を利用することが可能となった。遅延素子 1 個分の遅延量が 30ps である PDE を用いれば、連続遅延値を持つ PDE を用いた場合と同等の結果を実験により得ることができた。また、遅延素子 1 個分の遅延量が 200ps である PDE を用いた場合は、連続遅延値を持つ PDE を用いた場合に比べ劣るもののクロック到着時刻を観測する FF と挿入する PDE を増やせば高い良品率が得られた。これにより、離散遅延値を持つ PDE を用いても提案するデスクュー手法が有効であることが確認できた。

今後の課題としては、今回は PDE の遅延値に上限を設けていないので、上限を設けた場合の PDE の挿入箇所を含めた検討を予定している。

## 文 献

- [1] L. Scheffer, S. Nassif, A. Strojwas, B. Koeneemann, and N. S. Nagaraj, "Design for Manufacturing in the sub-65 nm Era," in Tutorial on DAC 2005, 2005.
- [2] J. Singh, and S. Sapatnekar, "Statistical Timing Analysis with Correlated Non-Gaussian Parameters using Independent Component Analysis," in Proc. of DAC 2006, p@p. 155-160, 2006.
- [3] W. -S. Wang, V. Kreinovich, and M. Orshansky, "Statistical Timing Based on Incomplete Probabilistic Descriptions of Parameter Uncertainty," in Proc. of DAC 2006, pp. 161-166, 2006.
- [4] <http://www.silistix.com/>
- [5] S. Tam, U. Desai and R. Limaye, "Clock Generation and Distribution for the Third Generation Itanium Processor," in Proc. of Symp. on VLSI Circuits, pp. 9-12, 2003.
- [6] M. Murakawa, E. Takahashi, T. Susa, and T. Higuchi, "Post-Fabrication Clock Timing Adjustment for Digital LSIs with Genetic Algorithms Ensuring Timing Margins," MIRAI Project, 2004.
- [7] S. Tam, S. Rusu, U. N. Desai, R. Kim, J. Zhang, and I. Young, "Clock generation and distribution for the first IA64 microprocessor," IEEE Solid-State Circuits, 35(11), pp. 1545-1552, 2000.
- [8] F. -L. Tsai, D. H. Baik, C. C.-P. Chen and K. K. Saluja, "A Yield Improvement Methodology Using Pre- and Post- Silicon Clock Scheduling," Proceedings of the 2004 IEEE International Conference on Systems, Man & Cybernetics (SMC2004), pp. 3670-3674, 2004.
- [9] 橋爪 裕子, 高島 康裕, 中村 祐一, 梶谷 洋司, "製造ばらつきに対応したクロックデスクュー手法とその良品化率に関する考察", 2006 ソサエティ大会, AS-1-6, 2006.
- [10] 大谷 直毅, 橋爪 裕子, 高島 康裕, 中村 祐一, "統計的推定を用いたクロックデスクューに対する一手法", 信学技報, VLD2006-126, pp. 43-48
- [11] W. J. Cook, W. H. Cunningham, W. R. Pullayblank, and A. Schrijver, "Combinatorial Optimization," John Wiley & Sons, Inc., 1998