

## パワーゲーティング技術における製造ばらつきの回路特性への影響

萩原 汐 佐藤 高史 益 一哉

東京工業大学 統合研究院

E-mail: paper@lsi.pi.titech.ac.jp

**あらまし** プロセス微細化に伴って増加するリーク電流を低減して低消費電力化を図るため、動作していない回路の電源をスイッチにより選択的に遮断するパワーゲーティング技術が提案されている。一方で、回路特性に対する製造ばらつきの影響が顕著となり、ばらつきを考慮した回路設計手法が必要となっている。本論文では、電源遮断スイッチを用いる回路においてトランジスタの特性ばらつきが回路特性、特に遅延時間ばらつきに与える影響について議論する。電源遮断スイッチを含めた回路中の全てのトランジスタのばらつきを考慮するときの回路遅延とその分散を求める式を導く。モンテカルロ・シミュレーションとの比較により、提案する式が遅延分散の電源スイッチサイズ依存性等を適切に表現することを確認した。導出した式は、電源遮断スイッチの有無による遅延時間ばらつきの高速な見積りやばらつき考慮のスイッチサイズ最適化等に利用できる。

**キーワード** パワーゲーティング, 製造ばらつき, モンテカルロ・シミュレーション, 遅延解析

## Analytical Delay Variation Analysis for Power-Gated Circuits Under Process Variation

Shiho HAGIWARA, Takashi SATO, and Kazuya MASU

Integrated Reserch Institute, Tokyo Institute of Technology

E-mail: paper@lsi.pi.titech.ac.jp

**Abstract** Subthreshold leakage current of transistors has been increasingly becoming larger as the miniaturization of their size. Power gating concept, which utilize sleep transistor to selectively shut off power supplies of inactive circuit blocks, is considered to be one of a promising techniques to reduce power consumption of an LSI. The device size scaling, on the other hand, increased the impact of device parameter variations on circuit performance. This paper discusses combined influence of device parameter variation on delay characteristic of power-gated circuits. Analytical equations which evaluate delay variance of logic gates is derived using simple MOSFET current models. Monte-Carlo simulations demonstrate that the proposed equations correctly capture virtual ground voltage, circuit delay, and delay variation of switch-transistor size dependency, etc. The proposed equations can be suitably used for switch size optimization considering device variation.

**Key words** Power-gating, Manufacturing variation, Monte-Carlo simulation, Gate delay analysis

### 1. はじめに

LSIは、プロセスの改善、デバイス寸法の微細化・高集積化や回路技術の改良等により、電子製品の低消費電力化や小型化の要求に継続的に応えてきた。しかし微細化にともなう、閾値電圧の低下によるサブスレッシヨルド

リーク電流の増加や、ゲート酸化膜の薄膜化によるゲートリーク電流の増加が問題となりはじめている。リーク電流は回路の動作時、待機時を問わず常に流れるため、消費電力に与える影響が大きい。特に製品の小型化とバッテリーの長寿命化の両立が求められるモバイル機器においては、製品の価値を決める重要な問題となる。

これらリーク電流を低減するための回路技術として、パワーゲーティング技術がある。パワーゲーティングとは、回路ブロックの電源配線と回路全体の電源配線との間に電源遮断スイッチトランジスタを設けて、回路ブロックの非動作時に電源と回路ブロックを切り離すことにより、リーク電流を抑える技術である [2]。パワーゲーティング技術を用いる回路では、電源遮断スイッチの占有面積と遅延時間や局所的な電源電圧降下など回路特性との間にはトレードオフの関係がある。スイッチトランジスタのサイズ（ゲート幅）を適切に決定することはコストと性能の双方の観点から重要となっており、このため、スイッチサイズの最適化手法として多くの研究がなされている。例えば、ゲート遅延時間を指標として決定する手法 [1] や、1 ゲートまたは小規模回路でスイッチサイズを決定した上で、さらに大規模回路へ階層的にスイッチサイズを与えていく方法 [3] などが提案されている。

一方で、プロセスの微細化による製造ばらつきや増大も設計上の大きな問題となってきた。特にトランジスタのゲート長やしきい値のばらつきは、ゲート遅延に与える影響が大きいことから重要である。そのため、ばらつきの測定技術 [4] やモデルの開発 [7]、およびこれらをタイミング検証に利用する統計的静的遅延解析 [6] 等の研究が盛んに行われている。

パワーゲーティング技術、及び製造ばらつきを考慮した製造容易化設計技術は、ともに今後の LSI 設計において重要な技術である。そこで本研究では、電源遮断スイッチを用いる回路における回路性能ばらつきを定量的に評価する。本論文では、製造ばらつきとしてトランジスタのゲート長ばらつき、回路性能としてゲート遅延を用いて、製造ばらつきが回路性能に与える影響について解析的に計算する。スイッチトランジスタおよびコアトランジスタのチャンネル長がともに変動する時に、提案する式がゲート遅延時間のばらつきを正しくあらわすことを、モンテカルロ・シミュレーションにより確認する。提案するばらつきを求める解析式は、計算に多大な時間を要するモンテカルロ解析を置き換えることができる。電源遮断スイッチ挿入によるゲート遅延時間ばらつきの変動や、仮想グラウンド電位の解析、およびばらつき考慮の最適化等を効率化できる。

## 2. 電源遮断スイッチを用いる回路の遅延時間ばらつきの解析式

本章では、電源遮断スイッチ（以下電源 SW）を用いる回路において、デバイスばらつきが論理ゲートの遅延にどのような影響を及ぼすかを、簡単な解析式として求める。デバイスばらつきの要因として、トランジスタのゲート長を考慮する。検討する回路の概略構成を図 1 に示す。1 段

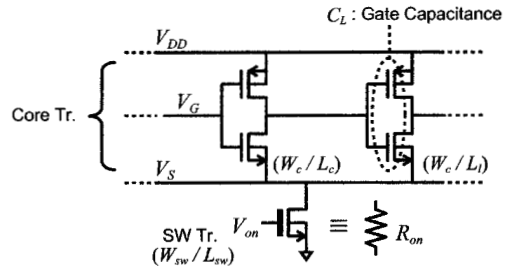


図 1: 電源遮断スイッチを用いる回路の構成

表 1: 変数一覧

	Core Tr.	SW Tr.
ゲート長	$L_c, L_l^*$	$L_{sw}$
ゲート長ばらつき	$3\sigma L_c$	$3\sigma L_{sw}$
ゲート幅	$W_c$	$W_{sw}$
閾値電圧	$V_{th}$	$V_{th2}$
ゲート電位	$V_G$	$V_{on}$
ドレイン電位	$V_{DD}$	$V_S$
ソース電位	$V_S$	$0\text{ V}$
ドレイン電流	$I_{DS}$	$I_{DS}$
オン抵抗	-	$R_{on}$
負荷容量	$C_L$	-
$\mu C_{ox}(W/L)$	$\beta_c$	$\beta_{sw}$

\*)  $L_c$  は着目するトランジスタの、 $L_l$  は着目するトランジスタが駆動する次段のトランジスタのチャンネル長。

目（左側）のインバータに着目し、1 段目のゲート遅延時間  $\tau$  を計算する。このインバータのゲート寸法を  $W_c, L_c$  とし、ゲート電圧を  $V_G$  とする。また、着目するゲートが駆動する次段の論理ゲートのゲート寸法を  $W_c, L_l$  とする。電源 SW をグラウンド側に挿入しているため、論理回路のグラウンドが仮想グラウンドとなる。論理回路が動作して仮想グラウンドの電位  $V_S$  が変動すると、論理回路の遅延時間が変動する。電源  $V_{DD}$  には、一定電圧  $V_{DD}$  を印加する。回路中のトランジスタには、論理機能を実現するコアトランジスタと電源 SW のトランジスタの 2 種類がある。本論文ではそれぞれのトランジスタを Core Tr. および SW Tr. と略記する。表 1 に、使用する変数をまとめる。

Core Tr. は飽和領域、SW Tr. は線形領域で動作していることから、Core Tr. および SW Tr. の電流式として、次の式を用いる。

$$I_{ds} = \beta_{sw} \left\{ (V_g - V_{th2})V_s - \frac{1}{2}V_{ds}^2 \right\} \quad (1)$$

$$I_{ds} = \frac{\beta_c}{2} (V_{gs} - V_{th})^2 \quad (2)$$

電源 SW のオン抵抗  $R_{on}$  について、 $R_{on} = \partial V_S / \partial I_{D_{sw}}$

であることから,

$$\begin{aligned} 1/R_{on} &= \frac{\partial}{\partial V_S} \left[ \beta_{sw} \left\{ (V_{on} - V_{th2}) V_S - \frac{1}{2} V_S^2 \right\} \right] \\ &= \beta_{sw} (V_{on} - V_{th2} - V_S) \end{aligned} \quad (3)$$

となる。仮想グラウンド電位  $V_S$  は  $R_{on}$  と動作電流  $I_{DS}$  の積として,

$$V_S = R_{on} \cdot \frac{\beta_c}{2} (V_{GS} - V_{th})^2. \quad (4)$$

式 (3) と (4) を連立させて  $V_S$  について整理すると次式を得る。

$$\begin{aligned} \left( \frac{\beta_c}{2} + \beta_{sw} \right) V_S^2 - (\beta_{sw} \Delta V_{sw} + \beta_c \Delta V_{ov}) V_S \\ + \frac{\beta_c \Delta V_{ov}^2}{2} = 0 \end{aligned} \quad (5)$$

これを解いて,

$$\begin{aligned} V_S &= \frac{\beta_{sw} \Delta V_{sw} + \beta_c \Delta V_{ov}}{(\beta_c + 2\beta_{sw})} \\ &\quad - \sqrt{\frac{(\beta_{sw} \Delta V_{sw} + \beta_c \Delta V_{ov})^2}{(\beta_c + 2\beta_{sw})^2} - \frac{\beta_{sw} \Delta V_{ov}^2}{\beta_c + 2\beta_{sw}}} \end{aligned} \quad (6)$$

ただし,  $\Delta V_{ov} = V_G - V_{th}$ ,  $\Delta V_{sw} = V_{on} - V_{th2}$ .

論理ゲートの遅延  $\tau$  は,

$$\begin{aligned} \tau &\propto \frac{C_L \cdot V_{DS}}{I_{DS}} = \frac{C_L (V_{DD} - V_S)}{V_S / R_{on}} \\ &= R_{on} C_L (V_{DD} / V_S - 1) \end{aligned} \quad (7)$$

と表されるので, 式 (6) で求めた  $V_S$  を代入することで陽に書き下すことができる。負荷容量  $C_L$  は次段のゲート容量であるが, 次段トランジスタのゲート長  $L_l$  に比例することから,  $C_{L0}$  を単位ゲート長当たりのゲート容量として  $C_L = C_{L0} L_l$  としている。

いま, ゲート長  $L_c, L_l, L_{sw}$  が, それぞれ標準偏差  $\sigma_{L_c}, \sigma_{L_l}, \sigma_{L_{sw}}$  で互いに独立にばらつくとき, 遅延時間  $\tau$  の分散  $\sigma_\tau^2$  は下式のように計算できる。

$$\sigma_\tau^2 = \left( \frac{\partial \tau}{\partial L_c} \right)^2 \sigma_{L_c}^2 + \left( \frac{\partial \tau}{\partial L_l} \right)^2 \sigma_{L_l}^2 + \left( \frac{\partial \tau}{\partial L_{sw}} \right)^2 \sigma_{L_{sw}}^2 \quad (8)$$

第 1, 第 2 項は Core Tr. 起因のばらつき, 第 3 項は SW Tr. 起因のばらつきを表す。回路中のすべてのトランジスタがばらつきを持つことから, 着目するゲートが駆動する次段のゲートの負荷容量が変化する。この影響を計算に反映させることが必要である。式 (7) 中の偏微分をそれぞれ求めることで,  $\sigma_\tau^2$  を計算することができる。式 (7) の比例定数を  $1/2$ ,  $\beta_c = \beta_{c0}/L_c$ ,  $\beta_{sw} = \beta_{sw0}/L_{sw}$  とすると, 式 (8) 中のゲート長に対する感度項はそれぞれ以下のように表わされる。

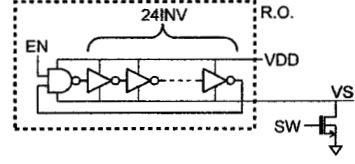


図 2: 電源遮断トランジスタを持つリングオシレータ

$$\frac{\partial \tau}{\partial L_c} = \frac{C_L (2V_{DD} V_S - V_{DD} \Delta V_{sw} - V_S^2)}{A \beta_{c0} V_S (\Delta V_{sw} - V_S)} \quad (9)$$

$$\frac{\partial \tau}{\partial L_l} = \frac{C_{L0} (V_{DD} - V_S)}{2 \beta_{sw} V_S (\Delta V_{sw} - V_S)} \quad (10)$$

$$\begin{aligned} \frac{\partial \tau}{\partial L_{sw}} &= \frac{C_L (V_{DD} - V_S)}{2 V_S \cdot \beta_{sw0} (\Delta V_{sw} - V_S)} + \\ &\quad \frac{C_L}{2 L_{sw} \beta_c} \cdot \frac{V_{DD} V_S - V_{DD} \Delta V_{sw} - V_S^2}{2 A \cdot V_S (\Delta V_{sw} - V_S)} \end{aligned} \quad (11)$$

ただし,  $A = \beta_{sw} (2V_S - \Delta V_{sw}) / \beta_c - \Delta V_{ov}$  とおいた。

式 (9)-(11) にある変数のうち,  $V_S$  は式 (5) により定義される。電圧  $V_{DD}$ ,  $V_G$ ,  $V_{on}$  は電源電圧仕様やプロセスにより決定される。変数  $\beta_c, \beta_{sw}, V_{th}, V_{th2}$  は, 使用するトランジスタの  $I_{DS}-V_{DS}$  特性から求めることができる。以上ではインバータ 1 段のゲート遅延について考えたが, 等価的な  $\beta_c, C_L$  等を考えることにより他種の論理ゲートについても同じ式が適用できる。

### 3. モンテカルロ・シミュレーションによる $\sigma_\tau^2$ の導出式の比較

本章では図 2 に示す回路を用いて, 提案する式 (7), (9)-(11) から  $\sigma_\tau^2$  を計算した結果と, 回路シミュレータを使ったモンテカルロ・シミュレーションの結果を比較し,  $V_S$  の近似次数及び  $C_L$  の  $\sigma_\tau^2$  に対する感度について述べる。評価に用いる回路では, 24 段のインバータと 1 段の NAND からなるリングオシレータ (以下 R.O.) が遅延を求める論理回路となる。

#### 3.1 モンテカルロ・シミュレーションの手順

まず, モンテカルロ・シミュレーションによりゲート遅延時間  $\tau_{sim}$  の分散  $\sigma_{\tau_{sim}}^2$  を求める手順について説明する。回路シミュレーションの結果得られる R.O. の発振周期  $t_{cycle}$  からゲート 1 段あたりの遅延時間  $\tau_{sim}$  は, 全てのゲート遅延時間が等しいと考えて  $\tau_{sim} = t_{cycle}/50$  とする。製造ばらつきとしてトランジスタのゲート長  $L$  のみを考え, Core Tr., SW Tr. のいずれも  $3\sigma = 19.5 \text{ nm}$  の正規分布でばらつくと仮定して, 1000 回の試行を行う。 $\sigma_{\tau_{sim}}^2$  のスイッチサイズ  $W_{sw}$  依存性を, 図 3 および図 4 に示す。それぞれ, SW Tr. のみのゲート長ばらつきを考慮する場合, および, 全ての Tr. のゲート長ばらつきを考慮する場合である。また, 図 5 は, R.O. のインバータ 1 段だけがばらつくとしたときの結果を示している。

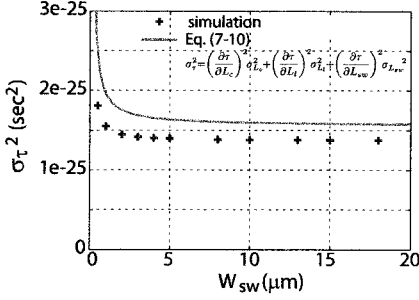


図 3: ゲート遅延ばらつききの  $W_{sw}$  依存性 (全 Tr. の  $L$  ばらつきを考慮)

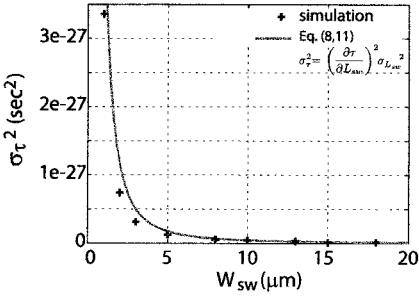


図 4: ゲート遅延ばらつききの  $W_{sw}$  依存性 (SW Tr. の  $L$  ばらつきのみを考慮)

### 3.2 提案する解析式による $\tau$ 導出の手順

前章の解析式を用いて  $\sigma_\tau^2$  を求めた結果を、それぞれの図に実線で示している。R.O. ではインバータの入力論理状態 0,1 は同確率であることから、式 (7) の比例定数は  $1/2$  としている (付録 1 参照)。 $\beta_c, \beta_{sw}$  は、使用するトランジスタの  $I_D$ - $V_D$  特性及び  $I_D$ - $V_G$  特性から、および  $C_L$  は R.O. 内の 1 つのインバータについて  $\tau$ - $L_c$  特性をシミュレーションにて求め、式 (7) を使ったフィッティングにて求めた。NMOS と PMOS で  $I_D$ - $V_G$  特性が異なるため、各値は 2 つずつ求まるが、ここではその平均値をパラメータとして用いた。  $C_L$  については、 $\tau$ - $W_{sw}$  特性を回路シミュレーションにより求め、式 (7) から求めた。

ここで、遅延時間  $\tau_{sim}$  は、発振周期  $t_{cycle}$  の間に通過する論理ゲート数の平均値を用いている。R.O. では 1 周期の間に信号が同じゲートを 2 回通過するので、遅延時間と異なりばらつきは全体の  $1/25 (= 2/50)$  相当となる。図 3 の Core Tr. 起因のばらつき (実線) については、これを考慮して計算している。

### 3.3 $V_S$ の近似の次数

仮想グラウンド電位はほぼ 0 V となるよう設計するのが一般的であることから、式 (6) 導出の際に  $V_S^2$  を微小

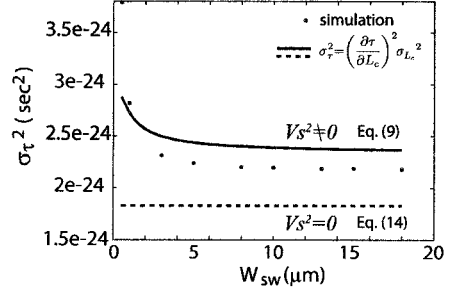


図 5: ゲート遅延ばらつききの  $W_{sw}$  依存性 (R.O. 1 段の  $L$  ばらつきのみを考慮)

と考慮して無視すると、以下のより簡単な式が得られる。

$$1/V_S = \frac{2\beta_{sw}(V_{on} - V_{th2})}{\beta_c(V_G - V_{th})^2} + \frac{2}{V_G - V_{th}} \quad (12)$$

$$\tau = \frac{C_L V_{DD}}{\beta_c(V_G - V_{th})^2} + C_L \left( \frac{V_{DD}}{V_G - V_{th}} - \frac{1}{2} \right) \frac{1}{\beta_{sw}(V_{on} - V_{th2})} \quad (13)$$

式 (13) を用いて求めた遅延時間の分散  $\sigma_\tau^2$  を、図 5 に点線で示す。実線は式 (6) で定義される  $V_S$  を用いて求めた  $\sigma_\tau^2$  である。なお、図 5 では着目したゲートだけのばらつきを考慮しているため、着目したゲートの  $L$  起因の遅延時間ばらつきを表す  $(\partial\tau/\partial L_c)^2 \sigma_{L_c}^2$  の計算結果となっている。

図 5 において、 $\sigma_\tau^2$  (点線) が  $W_{sw}$  依存を持たず一定となる。これは、式 (13) では、 $\beta_c$  と  $\beta_{sw}$  が別の項に分かれているために、

$$\frac{\partial\tau}{\partial L_c} = \frac{C_L V_{DD}}{\beta_c(V_G - V_{th})^2} \frac{1}{L_{c0}} \quad (14)$$

と、 $\partial\tau/\partial L_c$  が  $W_{sw}$  に依らず一定になるからである (一方、図 5 実線では  $W_{sw}$  の依存性が見られる)。今回の R.O. を使ったシミュレーションにおいては配線抵抗等を含めなかったため、遅延時間とそのばらつきは次段のゲート容量の影響が大きく、この近似でも特に問題はない。しかし、着目したゲートの  $L$  によるばらつきと次段のゲート容量によるばらつき的大小関係について予め知ることは困難であること、 $V_S$  の電位、およびそのばらつきが大きくなり始めるスイッチサイズを知ることは重要であると考えられること、から  $V_S$  は二次の項まで含めて計算する必要がある。

### 3.4 $C_L$ の $\sigma_\tau^2$ に対する感度

図 3 について、式 (8) から  $\sigma_\tau^2$  を求めた結果はモンテカルロ・シミュレーションの結果と傾向は同様であるが、絶対値が合っていない。全体の傾向は合っていることから、式 (9)~(11) のいずれの式においても全体の大きさを決めて  $C_L$  の値が適切でないことが主な原因であると言

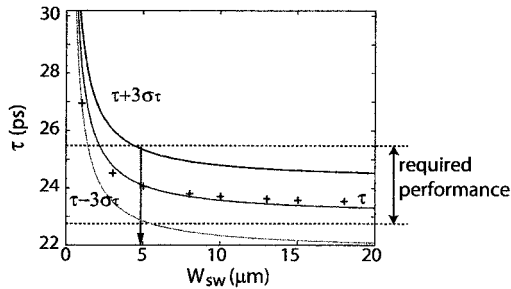


図 6: 遅延ばらつき  $3\sigma_\tau$  を制約とする  $W_{sw}$  の決定

える。今回の試行においては、 $\tau$  の  $L_c$  依存性が合うようにフィッティングして求めたが、今後は、より適切な決め方を検討する必要がある。

#### 4. ばらつきを考慮した $W_{sw}$ の決定

提案する式により、遅延時間のばらつき量を高速に求めることができるため、モンテカルロ・シミュレーションを行うことなくゲート遅延時間のばらつきを考慮した設計が可能となる。例えば 3 章で行った R.O. を使ったモンテカルロ・シミュレーションでは、トランジスタサイズ  $W_{sw}$  の一つの値に対するばらつき (例えば図 XX の 1 点) を求めるのに、平均 90 分の解析時間が必要であった。一方、提案する式に基いてばらつき量の計算を行う場合には、 $L$  違いの  $I_{DS}-V_{DS}$  特性さえ分かれば良いので、極めて短時間で  $W_{sw}$  依存性を求めることができる。導出した式は単純な電流式に基づいており、あらかじめ求めておくべきパラメータが少ないため、設計のフェーズによらず適用は容易であると考えられる。

##### 4.1 ワorstケースの計算

提案する式の適用例として、ばらつきを考慮したスイッチサイズ  $W_{sw}$  の決定方について述べる。例えば、ゲート遅延時間について、最大遅延時間と最小遅延時間の仕様を満たさなければならない場合は、式 (8)~(11) から  $\sigma_\tau^2$  を用いて、図 6 のような関係を得れば良い。図中の 3 本の実線の内、中央は  $\tau$  の中心値であり式 (7) から求められる。この値に式 (8)~(11) から求まる  $3\sigma_\tau$  を加算した値及び減算した値が上下の実線であり、その  $W_{sw}$  でのワorstケースを示している。図 6 の点線の水平線は要求された仕様を表しており、この範囲内に  $\tau \pm 3\sigma_\tau$  が収まるような  $W_{sw}$  を選べば良い。

##### 4.2 ばらつきへの寄与の割合

SW Tr. と Core Tr. では、ゲート遅延時間ばらつきに対する感度がどちらが大きいかを式 (8)~(11) から求めることができる。図 7 は、横軸を  $W_{sw}$ 、縦軸を、

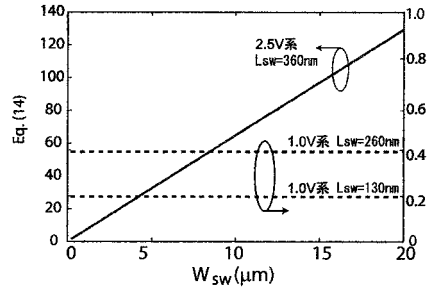


図 7: Core Tr. と SW Tr. の寄与分の割合の SW Tr. の種類による違い

$$\frac{\text{CoreTr.寄与分}}{\text{SWTr.寄与分}} = \frac{\sqrt{\left(\frac{\partial \tau}{\partial L_c}\right)^2 \sigma_{L_c}^2 + \left(\frac{\partial \tau}{\partial L_1}\right)^2 \sigma_{L_1}^2}}{\sqrt{\left(\frac{\partial \tau}{\partial L_{sw}}\right)^2 \sigma_{L_{sw}}^2}} \quad (15)$$

として、 $\sigma_\tau$  への寄与の割合を示したものである。実線ではゲート長  $L = 360$  nm の 2.5V 系トランジスタを、点線では Core Tr. の同じ 1.0V 系トランジスタを、SW Tr. として用いた場合の  $W_{sw}$  による違いを表している。

図 7 から図 2 程度の回路規模ならば、2.5V 系トランジスタを電源 SW とした場合、SW Tr. によるばらつき寄与は Core Tr. のそれと比較して桁で小さくほとんど効かないことが分かる。しかし、電源 SW と Core Tr. で同じ 1.0V 系トランジスタを用いた場合は、SW Tr. の  $L$  ばらつきの影響が Core Tr. の 5 倍程度と、関係が逆転する。このため、SW Tr. 起因のばらつきの割合が少ない 2.5 V 系トランジスタを用いる場合には、ばらつきの観点からは設計が容易である。一方、Core Tr. を用いてパワーゲーティングを行なう場合には、ばらつきを考慮した SW Tr. のサイズ選択が非常に重要であることがわかる。

## 5. まとめ

電源遮断スイッチを用いた回路において、トランジスタのゲート長ばらつきを考慮したとき、その分散  $\sigma_L$  から、ゲート遅延時間の分散  $\sigma_\tau$  を計算するための式を導出した。モンテカルロ・シミュレーションにより提案する式は、 $\sigma_\tau$  の  $W_{sw}$  依存性をよくあらわすことを示した。また、導出した式を用いて、遅延時間ばらつきを考慮したスイッチサイズの決定方法、各トランジスタの遅延時間ばらつきへの寄与量の割合について検討し、電源遮断 SW の  $L$  の寄与量が桁で小さいことを示した。

## 謝 辞

今回の研究についてご指導、議論いただいた、株式会社ルネサステクノロジ DFM・EDA 技術開発部の方々に

感謝致します。

本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社の協力で行われたものである。

## 付 録

### 1. $\tau$ の立式

インバータのゲートの遅延時間  $\tau$  について、出力電圧を  $V$ 、負荷容量を  $C_L$  とすると、

$$I_{DS} = \frac{dQ}{dt} = C_L \frac{dV}{dt} \quad (\text{A.1})$$

$$\int_0^\tau I_{DS} dt = C_L \int_{t=0}^{t=\tau} dV \quad (\text{A.2})$$

入力電圧が  $V_{DD}$  の場合は、

$$\tau I_{DS} = C_L \int_{V_{DD}/2}^{V_{DD}} dV = C_L V_{DD}/2 \quad (\text{A.3})$$

入力電圧が  $V_S$  の場合は、

$$\tau I_{DS} = C_L \int_{V_S}^{V_{DD}/2} dV = C_L (V_{DD}/2 - V_S) \quad (\text{A.4})$$

R.O. の入力電圧は、 $V_{DD}$ ,  $V_S$  が同確率であるので、平均を取ると、

$$\tau = \frac{1}{2} \cdot \frac{C_L V_{DS}}{I_{DS}} \quad (\text{A.5})$$

となる。

## 文 献

- [1] M. Anis and M. Elmasry, "Design and Optimization of Multithreshold CMOS (MTCMOS) Circuits," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, 2003, Vol.22, No.10, pp. 1324-1342
- [2] S. Mutoh, T. Douseki, Y. Matsuya, T. Aoki, S. Shigematsu, and J. Yamada, "1-V power supply high-speed digital circuit technology with multithreshold-voltage CMOS," *J. Solid-State Circuits*, 1995, Vol.30, No.8, pp. 847-845
- [3] J. Kao, S. Narendra and A. Chandrakasan, "MTCMOS hierarchical sizing based on mutual exclusive discharge patterns," in *Proc. Design Automation Conference*, 1998, pp. 495-500
- [4] S. Ohkawa, M. Aoki and H. Masuda, "Analysis and Characterization of Device Variations in an LSI Chip Using an Integrated Device Matrix Array," *IEEE Trans. on Semiconductor Manufacturing*, 2004, Vol.17, No.2, pp.155-165
- [5] C. Hu, X. Xi, M. Dunga, J. He, W. Liu, K. M. Cao, X. Jin, J. J. Ou, M. Chan, A. M. Niknejad, "BSIM4.5.0 MOSFET Model - User's Manual," 2004
- [6] H. Chang and S. S. Sapatnekar, "Statistical timing analysis considering spatial correlations using a single PERT-like traversal," in *Proc. ICCAD*, 2003, pp. 621-625.
- [7] J. Xiong, V. Zolotov, and L. He, "Robust extraction of spatial correlation," in *Proc. ISPD*, 2006, pp. 2-9.