

パス遅延故障を検出可能な回路の構成に関する一検討

渡邊 孝志† 吉田たけお†

† 琉球大学 工学部 情報工学科

E-mail: †{nabe,tyoshida}@fts.ie.u-ryukyu.ac.jp

あらまし 本稿では、パス遅延故障を検出可能な回路の構成法について述べる。パス遅延故障は順序回路内のレジスタが保持する値に影響を及ぼすため、レジスタの値を観測する必要がある。本稿では、同期式順序回路内の組み合わせ回路の入力と出力を符号化し、レジスタの値を観測することにより、パス遅延故障を検出する。また、そのために符号が満たすべき条件と、符号化された回路が満たすべき条件を示し、パス遅延故障を検出することが可能な回路を構成する方法について述べる。本稿で提案する構成法を用いることにより、ゲートの置き換えのみで、パス遅延故障を検出可能な回路を設計することが可能となる。また、ITC'99 ベンチマーク回路に提案手法を適用し、その性能評価を行う。

キーワード パス遅延故障, 故障検出, 配線遅延, 等距離符号

A Construction Method of Path Delay Fault Detectable Circuits

Takashi WATANABE† and Takeo YOSHIDA†

† Department of Information Engineering, Faculty of Engineering, University of the Ryukyus

E-mail: †{nabe,tyoshida}@fts.ie.u-ryukyu.ac.jp

Abstract In this paper, we propose a construction method of path delay fault detectable circuits. A value of each register in synchronous sequential circuits is necessary to be checked because of path delay faults affect it. In this paper, we detect path delay faults by observing whether a value of register is a code word or a non-codeword, after both the input and the output of combinational circuits in sequential circuits are encoded to an error detecting code. To detect path delay faults, we show conditions which the error detecting code and construction of the circuit should satisfy. And we describe a method to construct path delay fault detectable circuits. By using our method, we can easily design path delay fault detectable circuits. We also show that the evaluation of ITC'99 benchmark circuits which are adopted our method.

Key words Path Delay Fault, Fault Detection, Wiring Delay, Equidistant Code

1. はじめに

近年、半導体微細加工技術の進歩により、縮退故障ではモデル化することができない新たな物理現象が顕在化してきた。そのような物理現象の一つに配線遅延が挙げられる[1]。この配線遅延に起因する故障のモデルは、既に多数提案されており、その中でも、近年、パス遅延故障モデルがよく扱われている。

このパス遅延故障に関する研究は、テスト生成の分野では活発に行われている[2]~[4]。しかし、耐故障技術の分野ではあまり扱われていない。また、テストによって故障を完全に除去することは困難であるため、パス遅延故障に対する耐故障技術を確立する必要がある。

我々の研究グループは、順序回路の状態遷移回路に発生したパス遅延故障を検出する方法を既に提案した[5],[6]。また、同期式順序回路内の組み合わせ回路を対象に、それに発生したパ

ス遅延故障を検出するための条件を導出し、その条件を満たす等距離遷移回路を提案した[7]。

文献[7]では、同期式順序回路内の組み合わせ回路の出力を等距離符号によって符号化し、回路の出力がその等距離符号の符号語であるか否かによって、パス遅延故障の有無を判別している。しかし、文献[7]で提案した等距離遷移回路は、耐故障化前の回路に比べ、遅延時間が増加してしまい、さらに、回路規模のオーバーヘッドも大きいという問題があった。

そこで本稿では、改めて、回路に発生する遅延の影響について検討し、パス遅延故障を検出可能な回路が満たすべき条件を示す。また、その条件を満足する回路の構成法を提案する。本稿で提案するパス遅延故障を検出可能な回路は、元の回路の段数と同等かそれよりも少ない段数で構成され、先行研究では平均で46%増加していた遅延時間と524%増加していた回路面積を、それぞれ、9%および316%の増加に抑えることができるよ

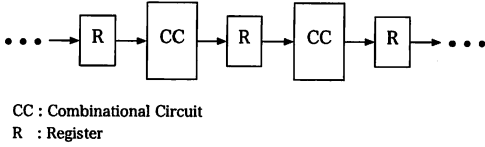


図1 同期式順序回路の構成

うになった。また、パス遅延故障を検出可能な回路を、ゲートの置き換えのみで構成することが可能となった。

以下2.で、パス遅延故障の影響と検出条件について述べる。続いて3.では、2.で述べた条件を満たす回路を構成する方法について検討する。そして4.では、ITC'99ベンチマーク回路を、本稿で提案した構成法に基づいて、パス遅延故障を検出可能な回路として設計した結果を示し、提案した構成法の評価を示す。最後に5.で、本稿のまとめと今後の課題について述べる。

2. パス遅延故障とその検出条件

一般に、論理回路に発生した故障を検出するためには、その回路の出力に何らかの冗長性を持たせる必要がある。文献[7]では、同期式順序回路内の組み合わせ回路の入出力を誤り検出符号に符号化し、パス遅延故障の有無を判別している。本稿でも同様に、組み合わせ回路の入出力を誤り検出符号に符号化し、パス遅延故障に対してフォールトセキュアとなる回路を設計する。パス遅延故障の検出条件は、既に文献[7]によって提案されているが、本稿では、改めて条件を整理しておく。

まずはじめに、パス遅延故障の定義を以下に示す。

[定義2.1] 論理回路において、外部入力またはフリップフロップ (FF) を始点とし、外部出力または FF を終点とする接続したゲートの集合をパスと呼ぶ。このとき、あるパスの始点における信号値の変化が、規定時間内にそのパスの終点に到達しないような故障をパス遅延故障という。 □

また、以降の議論で用いる用語を以下のように定義する。

[定義2.2] n ビットのベクトル $X_1 = (x_{11}x_{12} \cdots x_{1n})$ と $X_2 = (x_{21}x_{22} \cdots x_{2n})$ に対して、

$$CB(X_1, X_2) = \{(c_1c_2 \cdots c_n) \mid c_i \in \{x_{1i}, x_{2i}\}, \\ i = 1, 2, \dots, n\}$$

で表される集合を X_1 と X_2 で張られるキューブという。 □

[定義2.3] n ビットのベクトル X_1 と X_2 に対して、

$$TR(X_1, X_2) = CB(X_1, X_2) - \{X_1, X_2\}$$

で表される集合を X_1 と X_2 の間の過渡ベクトル集合という。また、 $TR(X_1, X_2)$ の任意の要素を、 X_1 と X_2 の間の過渡ベクトルという。 □

同期式順序回路は、図1に示すように、レジスタと組み合わせ回路が交互に接続された構造になる。以下では、同期式順序回路内の組み合わせ回路の一つを C と表す。また、回路 C の入力および出力に接続されているレジスタを、それぞれ I_C, O_C と表す。さらに、同期式順序回路内のレジスタ R が時

刻 $t (t \geq 0)$ において実際に保持している値を R^t 、レジスタ R が時刻 t において保持すべき正しい値を $[R^t]$ と表すことにする。ここで、時刻 t まで同期式順序回路が正常に動作している場合、 $R^t = [R^t]$ となる。また、この回路 C の入出力は誤り検出符号 W で符号化されているものとし、このとき、回路 C が実現している論理関数を f_C と表す。これらの記号を用いると、論理関数 f_C は、時刻 t から $t+1$ の間において、

$$[O_C^{t+1}] = f_C([I_C^t]) \quad (1)$$

なる関係を満たす。なお、回路への入力が X_1 から X_2 に変化することを $X_1 \rightarrow X_2$ と表すことにする。

回路内の遅延が発生する箇所は、(外部)入力線、ゲート、ゲート間を接続する内部信号線、(外部)出力線の4箇所が考えられる。このとき、ゲートおよび内部信号線の遅延の影響は、論理ハザードの影響と等価であり、回路構造を変更することによって除去できることが知られている[8]。すなわち、遅延故障の影響を解析するためには、入力線と出力線に発生する遅延の影響についてのみ考慮すればよいことになる。

まず、出力線における遅延の影響について考える。回路 C が、時刻 $t+1$ まで正常に動作しており、時刻 $t+1$ から $t+2$ の間で出力線に遅延が発生した場合、回路 C の出力値 O_C^{t+2} の取りうる値は、明らかに

$$O_C^{t+2} \in CB([O_C^{t+1}], [O_C^{t+2}]) \quad (2)$$

となる。ここで、 O_C^{t+2} が取りうる値を、以下の3つの場合に分けて考える。

- (1) $O_C^{t+2} = [O_C^{t+2}]$
- (2) $O_C^{t+2} = [O_C^{t+1}]$
- (3) $O_C^{t+2} \in TR([O_C^{t+1}], [O_C^{t+2}])$

(1)となる場合、レジスタ O_C は、時刻 $t+2$ において正しい符号語を保持する。

(2)となる場合、 O_C^{t+2} は符号 W の符号語となるが、この場合、 O_C^{t+2} が正しい符号語か不正な符号語かを判別できない。これらを区別するためには、 $[O_C^{t+2}] (= f_C([I_C^{t+1}])) \neq [O_C^{t+1}] (= f_C([I_C^t]))$ とする必要がある。すなわち、回路 C をフォールトセキュアとするためには、時刻 $t+1 (t \geq 0)$ における W の符号語と時刻 $t+2$ における W の符号語が異なる必要がある。以下では、時刻 t における W の符号語の集合を W^t と表すことにする。この表現を用いると、

$$W = \bigcup_{t=0}^{\infty} W^t \quad (3)$$

となる。さらにこの場合、正しい符号語か不正な符号語かを判別するために、連続する時刻における符号語の集合 W^{t+1} と W^{t+2} は、

$$W^{t+1} \cap W^{t+2} = \phi \quad (4)$$

を満たさなくてはならない。この条件を満たすことにより、 $O_C^{t+2} = [O_C^{t+1}] (\in W^{t+1})$ となった場合は、 O_C^{t+2} を非符号語とみなすことができる。本稿では、このように連続した時刻で符

号語が異なり、かつ、式 (4) を満たすような符号 W を時変符号と呼ぶことにする。すなわち、この時変符号を用いて回路 C の出力を符号化すれば、 $O_C^{t+2} = [O_C^{t+1}]$ となるときに故障を検出できる。

また、(3) となる場合、 $TR([O_C^{t+1}], [O_C^{t+2}])$ の中に不正な符号語が含まれていなければよい。この条件を満たせば、 $O_C^{t+2} \in TR([O_C^t], [O_C^{t+2}])$ となるときに故障を検出できる。

以上のことを、補題として以下に示す。なお、以下では時刻 $t+2$ における不正な符号語の集合を

$$W_W^{t+2} = W^{t+2} - \{[O_C^{t+2}]\} \quad (5)$$

と表す。

[補題 2.1] 組み合わせ回路 C の出力が、時変符号 W で符号化されているものとする。このとき、符号 W が以下の条件を満たすれば、回路 C は、出力線に発生する遅延故障に対してフォールトセキュアとなる。

$$\forall t \geq 0, \forall X_1 \in W^{t+1}, \forall X_2 \in W^{t+2}, \\ CB(X_1, X_2) \cap W_W^{t+2} = \emptyset \quad \square$$

次に、回路 C の入力線にのみ遅延が発生した場合を考える。入力の変化を $[I_C^t] \rightarrow [I_C^{t+1}]$ としたとき、時刻 t から $t+1$ の間に入力線に発生する遅延の影響で、回路 C の入力値 I_C^{t+1} の取りうる値は、

$$I_C^{t+1} \in CB([I_C^t], [I_C^{t+1}]) \quad (6)$$

となる。すなわち、回路 C が出力する値は、入力の遅延の影響を受け、

$$O_C^{t+2} = f_C(I_C^{t+1}) \quad (7)$$

となる。このとき、遅延故障を検出するためには、 O_C^{t+2} が不正な符号語とならないように、論理関数 f_C を定める必要がある。すなわち、論理関数 f_C が満たすべき条件は、

$$f_C(I_C^{t+1}) \notin W_W^{t+2} \quad (8)$$

となる。この条件が満たされていれば、回路 C は、入力線に発生する遅延故障に対してフォールトセキュアとなる。

次に、入力線と出力線の両方に遅延が発生した場合を考える。なお、回路 C は時刻 t まで正常に動作しているものとする。この場合、まず、入力線に発生した遅延により、回路 C の入力 I_C^{t+1} の取りうる値は式 (6) となり、出力値は $f_C(I_C^{t+1})$ となる。さらに、出力線の遅延の影響により、最終的な回路 C の出力 O_C^{t+2} は、

$$O_C^{t+2} \in CB([O_C^{t+1}], f_C(I_C^{t+1})) \quad (9)$$

となる。このとき、 O_C^{t+2} が不正な符号語でなければ、回路 C は、入力線と出力線の両方で発生した遅延故障に対してフォールトセキュアとなる。すなわち、論理関数 f_C が満たすべき条件は、

$$CB([O_C^{t+1}], f_C(I_C^{t+1})) \cap W_W^{t+2} = \emptyset \quad (10)$$

となる。この条件を定理として以下に示す。

[定理 2.1] 組み合わせ回路 C の入出力が、時変符号 W で符号化されているものとする。このとき、時変符号 W と論理関

数 f_C が、以下の条件を満たすれば、回路 C は、パス遅延故障に対してフォールトセキュアとなる。

$$\forall t \geq 0, \forall X_1 \in W^t, \forall X_2 \in W^{t+1}, \forall V \in CB(X_1, X_2), \\ CB(f_C(X_1), f_C(V)) \cap W_W^{t+2} = \emptyset \quad \square$$

3. パス遅延故障を検出可能な回路の構成法

3.1 準備

ここでは、定理 2.1 を満たす回路を設計する方法について述べる。まず、その準備として、定理 2.1 で示した条件を場合分けしておく。

定理 2.1 における V は、時刻 $t+1$ において回路 C に印加される入力値を表している。また、時刻 $t+2$ における回路 C の出力値 O_C^{t+2} は、 $CB(f_C(X_1), f_C(V))$ の要素となる。定理 2.1 は、 V と O_C^{t+2} が取る値によって、以下の 5 つに分けて考えることができる。

$$(1) V = X_1 (\in W^t)$$

入力線の遅延の影響によって、回路 C への入力値が、時刻 t と $t+1$ において全く同じ値になる。また、出力線の遅延の影響とは無関係に、回路 C の出力も、時刻 $t+1$ と $t+2$ において全く同じ値になる。この場合、遅延故障を検出するためには、回路 C の出力を時変符号 W で符号化する必要がある。

$$(2) V = X_2 (\in W^{t+1})$$

入力線が遅延の影響を受けていない場合である。この場合、遅延故障を検出するためには、回路 C の出力を、補題 2.1 を満たす時変符号 W で符号化する必要がある。

$$(3) V \in TR(X_1, X_2) \text{ かつ } O_C^{t+2} = f_C(X_1)$$

入力線と出力線が両方とも遅延の影響を受けているが、回路 C の出力は、時刻 $t+1$ と $t+2$ において全く同じ値になる。この場合、遅延故障を検出するためには、回路 C の出力を時変符号 W で符号化する必要がある。

$$(4) V \in TR(X_1, X_2) \text{ かつ } O_C^{t+2} = f_C(V)$$

回路 C の出力は、入力線の遅延の影響のみを受けている。この場合、誤りを検出するためには、 $f_C(V)$ が時刻 $t+2$ における不正な符号語になっていない必要がある。

$$(5) V \in TR(X_1, X_2) \text{ かつ } O_C^{t+2} \in TR(f_C(X_1), f_C(V))$$

入力線と出力線が両方とも遅延の影響を受けている。この場合、誤りを検出するためには、 $f_C(X_1)$ と $f_C(V)$ の間の任意の過渡ベクトルが、時刻 $t+2$ における不正な符号語になっていない必要がある。

3.2 時変符号 W の決定

定理 2.1 を満たす回路を設計するには、まず、時変符号 W を作る必要がある。時変符号 W は、前述したように、式 (4) を満たす。この条件を満たすためには、連続する時刻において、符号語が異なりさえすればよい。すなわち、偶数時刻と奇数時

表 1 内部データ表現に用いる時変符号 W

値	奇数時刻	偶数時刻
0	0001 (odd..0)	0010 (even..0)
1	0100 (odd..1)	1000 (even..1)

$$f_C(V) = N \quad (12)$$

でなければならない。ここで N は、時刻 $t+2$ における非符号語を表しており、 $N \notin W^{t+2}$ を満たす。

また、(5) の場合に発生する遅延故障を検出するためには、 $f_C(X_1)$ と $f_C(V)$ の間の任意の過渡ベクトルが、時刻 $t+2$ における不正な符号語になっていない必要がある。ここで、 $f_C(V)$ の値は、式 (11) となる場合と、式 (12) となる場合に分けて考える必要がある。式 (11) となる場合、 $f_C(V) = f_C(X_2)$ となり、定理 2.1 の条件は、補題 2.1 の条件と同じになる。したがってこの場合、時変符号 W によって、遅延故障を検出することができる。しかし、式 (12) となる場合、非符号語 N と時刻 $t+1$ での回路の出力 $[O_C^{t+1}]$ との間の過渡ベクトルが出力される。この場合、定理 2.1 を満たすためには、

$$TR([O_C^{t+1}], N) \cap W_W^{t+2} = \phi \quad (13)$$

となる必要がある。

次に、表 1 に示した時変符号 W を用いて入出力が符号化された回路 C が、以上の条件を満たす方法について検討する。このとき、任意の符号語間の過渡ベクトルを考え、上述した条件を満たすように回路を構成するのは困難である。そこで、上記の条件を満足する基本論理ゲート (NOT, AND, OR の各ゲート) を用いて、回路全体を構成することを考える。そのために、まず、上記の条件を満足するような基本論理ゲートの構成について検討する。

ただし、2. で述べたように、論理関数 f_C には式 (1) の関係が成り立つ。すなわち、定理 2.1 を満たす回路は、入力として偶数 (奇数) 時刻の符号語が印加されたとき、出力は奇数 (偶数) 時刻の符号語となる必要がある。このことを満たすように、個々の基本論理ゲートの入出力関係を定めた場合、回路全体の段数によっては、時刻のつじつまが合わなくなる可能性がある。そこで、個々の基本論理ゲートを、偶数 (奇数) 時刻の符号語が印加されたとき、偶数 (奇数) 時刻の符号語を出力するように設計し、回路の最終段に偶数 (奇数) 時刻の符号語を、奇数 (偶数) 時刻の符号語に変換する時刻変換回路 (TC) を置くことによって、時刻のつじつまを合わせることにする。

この場合の、符号 W に対応した基本論理ゲートを実現する各回路をそれぞれ、耐故障 NOT (FN)、耐故障 AND (FA)、耐故障 OR (FO)、また、これらの回路が実現している論理関数をそれぞれ、 f_{FN} , f_{FA} , f_{FO} と表すことにする。同様に、時刻変換回路 (TC) が実現している論理関数を f_{TC} と表すことにする。表 2 に、これらの各回路の真理値表を示す。この真理値表から、FN, FA, FO, TC の各回路の構成は、図 2 に示す通りとなる。なお、ここでは 4 ビットの符号語 X_i を、 $X_i = (x_i^{E1}, x_i^{O1}, x_i^{E2}, x_i^{O2})$ と表している。

まず、耐故障 NOT (FN) と時刻変換回路 (TC) について考える。FN と TC は、図 2(a), 2(d) から明らかのように、ゲートを含んでおらず、信号線の交換のみを行う回路となっている。すなわち、入力線で遅延が発生しても、その影響はそのまま出力線の遅延の影響となり、時変符号 W の誤り検出能力によって、この遅延故障を検出することができる。

刻での符号語が異なるだけでよい。そこで本稿では、通常の誤り検出符号を、偶数時刻での符号語と奇数時刻での符号語に分割して用いることにする。このような時変符号を用いることにより、3.1 に示した (1), (3) の場合に発生する遅延故障を検出することができる。

次に、3.1 に示した (2) の場合に発生する遅延故障を検出することを考える。そのためには、時変符号 W が、補題 2.1 を満たす必要がある。上述したように、時変符号 W を使用した場合、補題 2.1 の $CB(X_1, X_2)$ に含まれる値のうち、 X_2 は正しい符号語となり、 X_1 は非符号語となる。そこで、残りの $TR(X_1, X_2)$ に不正な符号語が含まれないような符号 W を考える必要がある。いま、 W^{t+1} に含まれる任意の符号語 X_1 と、 W^{t+2} に含まれる任意の符号語 X_2 との間の (ハミング) 距離を $d(X_1, X_2)$ 、 X_1 と X_2 の間の任意の過渡ベクトルを S と表すと、

$$\begin{aligned} d(X_1, S) &< d(X_1, X_2), \\ d(X_2, S) &< d(X_1, X_2) \end{aligned}$$

が成り立つ。ここで、符号 W の異なる符号語間の最小距離を d_{min} と表した場合、 S が不正な符号語となるためには、 $d(X_1, S) \geq d_{min}$ かつ $d(X_2, S) \geq d_{min}$ とならなくてはならない。この条件が成り立つためには、 $d(X_1, X_2) \geq 2d_{min}$ となる必要がある。言い換えると、 $d(X_1, X_2) < 2d_{min}$ となれば、 S は符号語となることはない。このとき、 S は W の非符号語となるので、補題 2.1 の条件を満足する。

ここで、 $d(X_1, X_2) < 2d_{min}$ を満たす最も単純な符号は、等距離符号であると考えられる。等距離符号では、任意の符号語間のハミング距離が全て d_{min} となるので、上述した条件を明らかに満足する。そこで本稿では、定理 2.1 を満たす符号として等距離符号を採用する。具体的には、表 1 に示す割り当てによって符号化を行う。なお、表 1 に示す符号による符号化は、符号化前の回路の入出力の各ビット毎に行う。このため、符号化前の回路が p 入力 q 出力であれば、符号化後の回路は $4p$ 入力 $4q$ 出力の回路となる。

3.3 論理関数 f_C の決定

次に、論理関数 f_C について検討する。上述したように、3.1 に示した (1), (2), (3) の場合、補題 2.1 を満たす時変符号 W によって、遅延故障を検出することができる。しかし、3.1 に示した (4), (5) の場合には、補題 2.1 を満たす時変符号 W を用いるだけでは、遅延故障を検出することができない。

(4) の場合に発生する遅延故障を検出するためには、 $f_C(V)$ が時刻 $t+2$ における不正な符号語とならないように設計する必要がある。すなわち、 $f_C(V)$ は、

$$f_C(V) = [O_C^{t+2}] \quad (11)$$

あるいは、

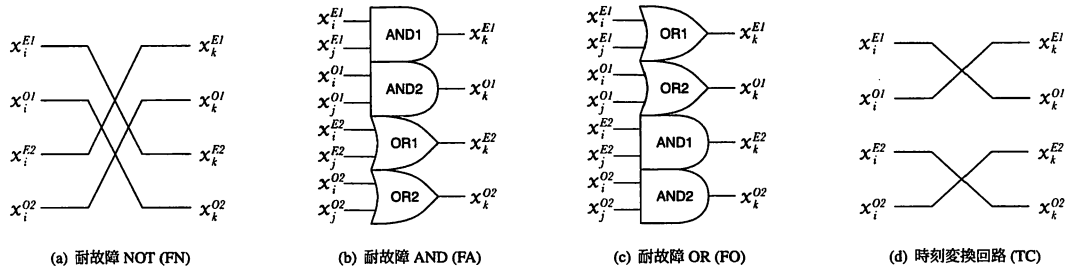


図2 耐故障論理ゲートの構成

表2 故障論理ゲートの真理値表

(a) FN と TC の真理値表

A	$f_{FN}(A)$	$f_{TC}(A)$
even_0	even_1	odd_0
even_1	even_0	odd_1
odd_0	odd_1	even_0
odd_1	odd_0	even_1

(b) FA と FO の真理値表

A	B	$f_{FA}(A, B)$	$f_{FO}(A, B)$
even_0	even_0	even_0	even_0
even_0	even_1	even_0	even_1
even_1	even_0	even_0	even_1
even_1	even_1	even_1	even_1
odd_0	odd_0	odd_0	odd_0
odd_0	odd_1	odd_0	odd_1
odd_1	odd_0	odd_0	odd_1
odd_1	odd_1	odd_1	odd_1

次に、耐故障 AND (FA) について考える。FA に表 1 の符号語を印加すると、

- $x_i^{E1}, x_i^{E2}, x_j^{E1}, x_j^{E2}, x_k^{E1}, x_k^{E2}$ は、奇数時刻で必ず 0 になる。
- $x_i^{O1}, x_i^{O2}, x_j^{O1}, x_j^{O2}, x_k^{O1}, x_k^{O2}$ は、偶数時刻で必ず 0 になる。

が成り立つ。このとき、FA 内部の任意の AND ゲートあるいは OR ゲートへの入力値の変化について考える。ここで、各ゲートへの入力値の組を (a, b) と表す。ただし、 $a, b \in \{0, 1\}$ である。このとき、上記の性質が成り立つため、連続する時刻での、各ゲートへの入力変化のパターンは、以下に示す 7 通りとなる。

- (1) $(0, 0) \rightarrow (0, 0)$
- (2) $(0, 0) \rightarrow (1, 1)$
- (3) $(1, 1) \rightarrow (0, 0)$
- (4) $(0, 0) \rightarrow (0, 1)$
- (5) $(0, 0) \rightarrow (1, 0)$
- (6) $(0, 1) \rightarrow (0, 0)$
- (7) $(1, 0) \rightarrow (0, 0)$

ここで、FA 内の AND ゲートに、(1)~(7) までの入力印可されたときの出力について考える。まず、(1) が印可された場合には入力値も出力値も変化しないので、遅延の影響は現れない。次に、(2), (3) が印可された場合、AND ゲートの出力値も $0 \rightarrow 1$ または $1 \rightarrow 0$ と変化するので、入力線に遅延が発生しても、その影響は、出力線の遅延の影響と等価になる。また、(4)~(7) の場合には、前時刻と現時刻の入力値のハミング距離が 1 となっている。このとき、入力線に遅延が発生した場合、前時刻の値がそのままゲートに入力されるので、出力も前時刻の値となる。したがって、この場合も出力線の遅延の影響と等価になる。つまり、(1)~(7) の入力変化のパターンしか印可されない場合、AND ゲートの入力での遅延の影響は、出力の遅延の影響と等価となる。

次に、FA 内の OR ゲートの出力について考える。(1) の場合には入力値も出力値も変化しないので、先ほどと同様に遅延の影響は現れない。また、(2)~(7) の場合は、OR の出力値も $0 \rightarrow 1$ または $1 \rightarrow 0$ と変化するので、入力線に遅延が発生しても、その影響は出力線の遅延の影響と等価になる。したがって、OR ゲートも AND ゲートと同様に、入力線の遅延の影響は、出力線の遅延の影響と等価である。

以上のことより、FA の入力線に発生した遅延は、出力線の遅延と等価になることがわかる。すなわち、

$$f_{FA}(V) \in CB([O_{FA}^{t+1}], [O_{FA}^{t+2}]) \quad (14)$$

が成り立つ。また、この式が成り立つ場合、定義 2.2 から、

$$CB([O_{FA}^{t+1}], f_{FA}(V)) \subseteq CB([O_{FA}^{t+1}], [O_{FA}^{t+2}]) \quad (15)$$

が成り立つこともわかる。したがって、 f_{FA} は、前述した論理関数が満たすべき条件を満足している。

なお、耐故障 OR (FO) についても同様に、

$$f_{FO}(V) \in CB([O_{FO}^{t+1}], [O_{FO}^{t+2}]) \quad (16)$$

および

$$CB([O_{FO}^{t+1}], f_{FO}(V)) \subseteq CB([O_{FO}^{t+1}], [O_{FO}^{t+2}]) \quad (17)$$

が成り立つことが確かめられる。したがって、 f_{FO} も、前述した論理関数が満たすべき条件を満足している。すなわち、図 2 に示した全ての回路は、定理 2.1 を満たした回路となっている。

表3 提案手法を用いて設計した ITC'99 ベンチマーク回路の回路面積と遅延時間

回路 番号	回路面積 (nm ²)		クリティカルパス (ns)		回路面積 増加率 (%)	遅延時間 増加率 (%)
	適用前	適用後	適用前	適用後		
b01	169.34	685.84	0.29	0.33	423	114
b02	107.25	438.17	0.22	0.29	409	132
b03	706.30	2828.04	0.56	0.55	400	98
b04	2424.44	9929.20	1.27	1.22	410	96
b05	3148.38	14030.15	1.53	1.75	446	114
b06	246.96	1022.41	0.27	0.35	414	129
b07	1547.38	6265.02	0.76	0.81	405	107
b08	620.92	2521.81	0.64	0.73	409	114
b09	700.66	2782.88	0.52	0.50	397	96
b10	608.93	2648.82	0.58	0.54	435	93
b11	1873.36	8321.14	0.83	1.07	444	129
b12	3833.52	15556.36	0.77	0.72	406	94
b13	1403.43	5699.83	0.48	0.47	406	98

次に, FN, FA, FO, TC を用いて, 多段回路 C を構成した場合を考える。前述したように, まず回路 C の入力線で発生した遅延は, 1 段目のゲートの出力で発生した遅延とみなすことができる。また, この 1 段目のゲートの出力の遅延は, 次段のゲートへの入力遅延として考えることができる。したがって, 入力遅延の影響がさらに次段の出力遅延として伝搬していくことになる。これを繰り返すと, 最終的に, 入力線で発生した遅延の影響は, 回路 C の出力線で発生した遅延と考えることができる。したがって, 回路 C においても,

$$f_c(V) \in CB([O_c^{t+1}], [O_c^{t+2}]) \quad (18)$$

が成り立つ。したがって,

$$CB([O_c^{t+1}], f_c(V)) \subseteq CB([O_c^{t+1}], [O_c^{t+2}]) \quad (19)$$

を満たすので, FN, FA, FO, TC を用いて構成された多段回路 C は, 定理 2.1 を満たす回路となる。

よって, 表 1 に示す時変符号 W を用いて, 回路 C の入出力を符号化し, 図 2 に示す耐故障論理ゲートを用いて, 回路内の各論理ゲートを置き換えることによって, パス遅延故障を検出可能な回路を構成することができる。このことがわかる。

4. 評価

ここでは, 提案した構成法を適用した回路の評価を行う。ITC'99 ベンチマーク回路を, 本稿で提案した手法で, パス遅延故障を検出可能な回路として設計した際の, 各回路の諸元を表 3 に示す。なお, 論理合成には, Synopsys 社の Design Compiler Ver.2006.06, TSMC 社の 90nm Standard Cell Library を使用した。また, 表 3 中の面積増加率は, 本手法を適用後の回路面積を適用前の回路面積で割った比率を百分率で表した値となっている。同様に, 遅延増加率は, 本手法を適用後の遅延時間を適用前の遅延時間で割った比率を百分率で表した値である。

表 3 からわかるように, 回路面積の増加率は平均で約 416%, 遅延時間の増加率は平均で約 109%であった。

遅延時間の増加率が低い回路では, クリティカルパス上に

NOT ゲートが多数存在していたことが確認された。また, 遅延時間の増加率が高い回路では, クリティカルパス上に NAND ゲートや NOR ゲートのような否定系のゲートが多数含まれていた。なお, 回路面積の増加が大きい回路も同様に NAND ゲートや NOR ゲートのような否定系のゲートを多数含んでいることが確認された。

5. おわりに

本稿では, 回路の入出力線に発生する遅延の影響を考え, パス遅延故障を検出するための条件を示した。また, この条件を満たし, 回路の段数を増やさずにパス遅延故障を検出可能な回路を構成する手法を提案した。さらに, 提案した回路を用いて, ITC'99 ベンチマーク回路を設計し, その評価結果を示した。

今後の課題としては, 回路面積の増加率を抑える手法の検討や提案した回路の自動設計手法などが挙げられる。

文 献

- [1] G.L.Smith, "Model for Delay Faults Based upon Paths," ITC-85, pp342-349, 1985.
- [2] Swarup Bhunia, Hamid Mahmoodi, Arijit Raychowdhury, Kaushik Roy, "A Novel Low-overhead Delay Testing Technique for Arbitrary Two-Pattern Test Application," DATE'05, pp1136-1141, 2005.
- [3] Atsushi Murakami, Seiji Kajihara, Tsutomu Sasao, Irith Pomeranz, Sudhakar M. Reddy, "Selection of Potentially Testable Path Delay Faults for Test Generation," Proceedings International Test Conference 2000, p376, 2000.
- [4] Görschwin Fey, Junhao Shi, Rolf Drechsler, "BDD Circuit Optimization for Path Delay Fault Testability," DSD'04, pp168-172, 2004.
- [5] 佐久真 源太, 島尻 寛之, 吉田 たけお, "パス遅延故障を検出可能な順序回路を構成するための状態割り当て法," VLD2004-76, pp91-96, 2004.
- [6] 佐久真 源太, 島尻 寛之, 吉田 たけお, "パス遅延故障を検出可能な順序回路の構成法," VLD-03, pp342-349, 2003.
- [7] 趙 顯秀, 吉田 たけお, "パス遅延故障を検出するための等距離遷移回路の提案," VLD2005-62, pp.7-12, 2005.
- [8] 当麻 喜弘, 内藤 祥雄, 南谷 崇, "岩波講座 情報工学 13 順序回路," 岩波講座, 1993.