

プロセス変動を考慮した電流制御による低電力化手法

金 均東[†] 今井 雅^{††} 近藤 正章[†] 中村 宏[†] 南谷 崇[†]

[†] 東京大学 先端科学技術研究センター 〒153-8904 東京都目黒区駒場 4-6-1

^{††} 東京大学 駒場オープンラボトリー 〒153-8904 東京都目黒区駒場 4-6-1

E-mail: †{kim,kondo,nakamura,nanya}@hal.rcast.u-tokyo.ac.jp, ††miyabi@hal.rcast.u-tokyo.ac.jp

あらまし プロセス変動の増加によりパイプラインステージ間の動作速度の差が広がっていく。サイクルタイムは最も低速なステージの動作速度によって決まり、サイクルタイムより十分高速なステージが発生する。本稿では、その様なステージに対して、パワーゲーティングを適用する場合、オンするスリープトランジスタ数を調整することにより、ダイナミック電力を削減する方式を提案する。

キーワード 低消費電力, プロセス変動, パワーゲーティング

A process-variation-aware low-power technique using current control

Kyundong KIM[†], Masashi IMAI^{††}, Masaaki KONDO[†], Hiroshi NAKAMURA[†], and
Takashi NANYA[†]

[†] Research Center for Advanced Science and Technology, The University of Tokyo,
4-6-1 Komaba, Meguro-ku, Tokyo, 153-8904 Japan

^{††} Komaba Open Laboratory, The University of Tokyo, 4-6-1 Komaba, Meguro-ku, Tokyo, 153-8904 Japan

E-mail: †{kim,kondo,nakamura,nanya}@hal.rcast.u-tokyo.ac.jp, ††miyabi@hal.rcast.u-tokyo.ac.jp

Abstract Due to process variations, the difference of the operation speed between pipeline stages is increased, resulting in a number of stages which have enough cycle-time because cycle-time depends heavily on that of the slowest stage. This paper propose a method which can reduce the dynamic power by activating the number of sleep transistors of the stages with both enough cycle-time and the power gating operation.

Key words Low power, Process variation, Power gating

1. はじめに

VLSI システムの著しい発展は高速化や高密度化のような様々な利点を持つ素子の微細化によるところが大きい。しかし微細化が進むにつれてリーク電力の増加に伴う消費電力の増大やプロセス変動などが顕在化し、近年の VLSI システム設計において大きな問題となっている。

リーク電力はトランジスタが非動作時においても流れてしまうリーク電流による静的な消費電力であり、プロセステクノロジーの進展と共に指数関数的に増加しており、今後は全消費電力の中でリーク電力の占める割合が支配的になると予測されている [1]。この問題の解決策として回路モジュールと GND、または VDD の間にトランジスタを挿入し、回路モジュールが非動作時にはトランジスタをオフにしてリーク電流の経路を遮断す

る Power Gating (PG) 手法の適用が提案されている [2]。リーク電力は今後も増加すると予測されるので [1]、急速に増加している消費電力の問題への対処として PG の必要性は高いと考えられる。一方、高性能化を目的とした周波数の上昇によりダイナミック電力も増加しつつあり、これも解決すべき重要な問題である。ダイナミック電力を抑制する有効な方法として動作電圧と周波数を動的に制御する Dynamic Voltage Frequency Scaling (DVFS) 手法が提案されている [8]。DVFS 手法には性能と消費エネルギーとの間にトレードオフの関係がある。

微細化に伴うもう一つの問題であるプロセス変動は VLSI の製造工程上でトランジスタのチャネル長やゲート酸化膜厚などに誤差が発生し、トランジスタ閾値のばらつきによってトランジスタの動作速度に変動が生じてしまうものである。これによってダイ内部での遅延変動が発生し、結果として同じダイ内

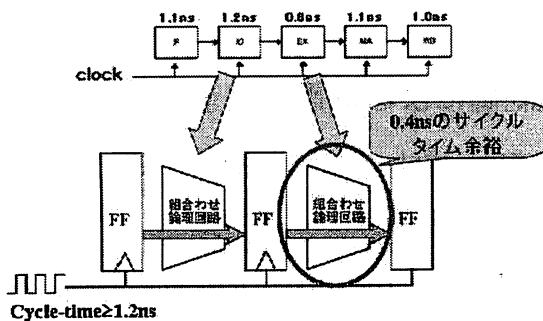


図1 パイプラインとプロセス変動

部の回路でも異なる動作速度を持つようになる[3]。従ってダイ内でクロックを共有する回路モジュール（例えばプロセッサの各パイプラインステージ）が同じ速度で動作するように設計しても、製作後には遅延変動により動作速度の差が発生してしまう。図1のようなパイプライン構造においてステージ間に動作速度の差が発生した場合を考える。最も低速な回路モジュールの動作速度に合わせて動作周波数が決まるので、高速な回路モジュールにおいては動作周波数に余裕が発生する。しかし、このことによる性能的な利点はない。

本稿ではこうした背景の下で動作周波数に余裕がある回路モジュールに注目し、性能低下を招くことなく消費エネルギーを削減する手法を提案する。まずPG適用回路において動的エネルギーの削減可能性に関して述べる。PG適用回路においてリーク電流経路の遮断を行うトランジスタはPower Switch (PS) と呼ばれ、性能低下を防ぐために一般的に十分な数のPSが実装される。この時、実装されているPSの数によって動作速度と消費エネルギーにトレードオフの関係が発生するので、まずこの関係を明らかにする。その後、より遅い動作速度が許容される回路モジュールにこのトレードオフ関係を利用して、動的エネルギーを削減する手法を提案する。さらに複数の回路でオン状態のPS数の変化による動作速度と消費エネルギーの変化に関して評価を行った結果を示す。本稿で提案する手法により、従来はリークエネルギー削減が目的であったPG適用回路においてさらに動的エネルギーの削減が達成可能となることを示す。

本稿の構成は以下の通りである。2章でPG概要とPG適用回路の特徴を述べる。3章ではエネルギー削減原理とオン状態のPS数による動作速度とエネルギーのトレードオフに関して説明し、エネルギー削減方法を提案する。次に4章では手法の実現するために必要な動作速度テスト方法を述べる。そして5章で提案した手法の効果をシミュレーションにより評価した結果を述べる。最後に6章で結論を述べる

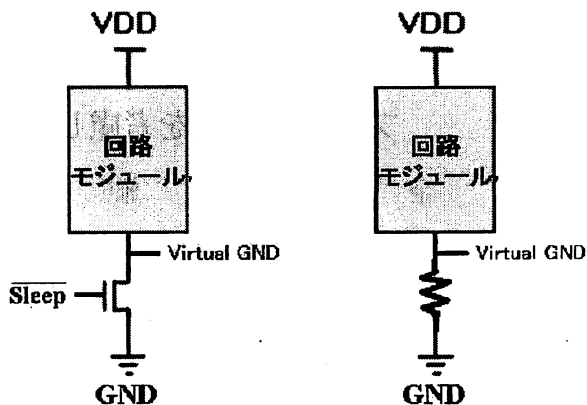


図2 Footer方式パワーゲーティングと抵抗と等価なPS

2. Power Gating (PG)

2.1 PGの概要

PGはPMOSを用いてVDDと回路モジュールのリーク経路を遮断するHeader方式、NMOSを用いてGNDとの経路を遮断するFooter方式、NMOSとPMOSの両方を利用するDual方式がある。図2の左にFooter方式のPG適用例を示す。回路モジュールとGND間にNMOSが挿入され、このNMOSはSleep信号によってオン・オフされる。回路モジュールが動作しない場合はこのNMOSをオフにすることでリークが流れるパスが遮断され、リークエネルギーが削減される。また、PSと回路が接続されるノードをVirtual GND (VGND) またはVirtual VDD (VVDD) と言う。

PGの実装方法としてはCell-based方式とDistributed Sleep Transistor Network (DSTN)方式が提案されている。Cell-based方式ではPSを内蔵したスタンダードセルを利用してPGを実現している一方、DSTN方式はPSを内蔵していない複数のスタンダードセルがPSを共有する方式である。PG適用回路の設計時に、PSの種類と実装方式によってリーク削減効果、面積オーバーヘッド、動作速度低下などの様々な検討事項が存在するので設計者はこうした要素を考慮した上で、目的に沿った設計を行う必要がある。PG適用回路の設計方式による得失利害に関しては現在盛んに研究が行われており[4]、本稿ではFooter方式のDSTNを対象として議論を進める。

3. 提案手法

従来のPG適用回路では一本のSleep信号線により対象回路に接続される全PSのオン・オフが制御される。従って回路動作時には実装されている全てのPSがオン状態になり、チップ製作後にオンとなるPS数を変更することは出来ない。本稿ではSleep信号を複数に分けることによりチップ製作後にもオン

状態 PS の個数を変えることが出来る回路を提案する。

一部の PS のみをオン状態にした時、実装した全 PS がオン状態である場合より動作速度が低下してしまうが、同時にエネルギーが削減される。以下でオン状態の PS 数削減による動作速度増加とエネルギー削減の原因に関して述べる。その後、チップの性能低下を及ぼさずにエネルギー削減を達成する方法を提案する。

3.1 オン状態 PS 数の減少による動作低下

PS は VGND と GND 間に置かれるのでオン状態では図 2 右のように抵抗と等価だと考えられる。実装 PS 数が多い場合は多数の抵抗が並列に接続されていることになり、合成抵抗値は小さくなる。しかし実装 PS 数が少ない場合は合成抵抗値が相対的に大きくなり、VGND と GND 間の電流の流れが制限される。この電流の制限により回路モジュールからの放電電流が円滑に GND まで流れることが出来なくなり、VGND 電圧が上昇してしまう。一方ゲートの遅延は式 (1) で表現することができるが [6]、VGND 電圧の上昇を考慮した PG 適用回路でのゲート遅延は式 (2) のようになる。ここで C_L はゲート出力のキャパシタンス、 V_t はトランジスタの閾値電圧、 V_{drop} は VGND 電圧の上昇である。 α は速度飽和係数 [6] でプロセステクノロジーによって変化し 90nm プロセスでは約 1.3 である。式 (2) の方が式 (1) より分母が小さいので VGND 電圧が上昇すると遅延が増加し、結果的にオン状態の PS が少ないほど遅延が増加することが分かる。

$$\tau_d \propto \frac{C_L V_{DD}}{(V_{DD} - V_T)^\alpha} \quad (1)$$

$$\tau_d^{PG} \propto \frac{C_L V_{DD}}{((V_{DD} - V_{drop}) - V_T)^\alpha} \quad (2)$$

3.2 オン状態 PS 数の減少によるエネルギー削減原理

オン状態 PS 数が減少すると消費エネルギーは削減される。図 3 の上の様なインバータチェーンを用いて消費エネルギー削減の原理を説明する。NMOS がオンからオフになるゲートに注目する。今注目しているゲートより前段に位置する (信号遷移が相対的に速い) ゲートの動作によって VGND 電圧上昇が起き、その時刻にこのゲートへの入力信号が 'Hi' から 'Low' に遷移した時、最初は NMOS がオン状態 (出力電圧は 0V) なので VGND 線から電流が流れ出力ノードは上昇した VGND 電圧と同じ電圧になる。つまり、出力ノードは VGND の電圧上昇分すでに電荷がチャージされる。その後、NMOS はオフになると電荷が出力ノード (図 3 の A と B ノード) に残り、同時に PMOS がオンになるので PMOS (P2 と P4) から出力ノードに流れる電荷量が減少する。すなわち、本来なら VGND から GND に流れるべき電荷が NMOS を通じて出力ノードにチャ-

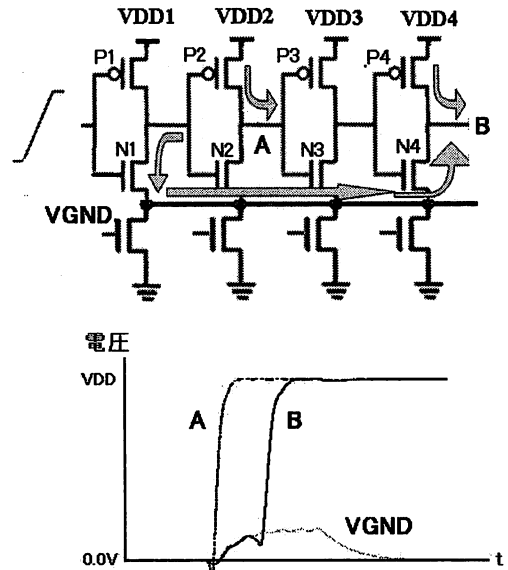


図 3 VGND 共有による電荷再利用効果

ジされて再利用される。VGND 電圧上昇が多いほど再利用される電荷量は増加するので、結果的にオン PS 数が少ないほどエネルギー削減率は高まることが分かる。図 3 の下に VGND と A, B ノードの電圧を示した。B ノードの方が VGND からの再利用電荷量が多いことが分かる。

3.3 性能低下を引き起こさないエネルギー削減方法

実装されている PS 数より少ない数の PS をオンすることによってエネルギー削減効果が得られるが、動作速度が低下してしまう。本稿ではプロセス変動によりサイクルタイムに余裕がある回路モジュールを対象としてオン状態 PS 数を調節することを考える。また、この時各モジュールは同じ動作速度を持つように設計されていると仮定する。なぜなら近年では設計段階において動作速度に余裕がある回路を対象として Multi-Vth のような低電力設計を行うことが一般的だからである。

N 個の独立した PS 制御 (独立した VGND を持つ) が可能な回路モジュールが同じクロックを共有する場合、エネルギー削減対象回路モジュールは最も遅い動作速度を持つ一個の回路モジュール以外の N-1 個の回路モジュールである。前述の通り、速度性能は最も遅い動作速度を持つ回路モジュールにより決定されるため、その他のモジュールを遅くしても性能低下は起こらない。すなわち、本提案手法により、性能低下を引き起こさずに動的エネルギーを削減することが出来る。

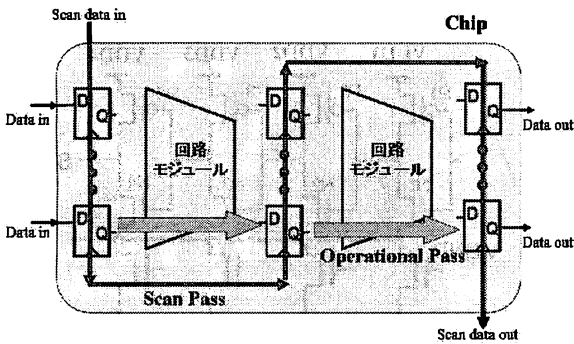


図4 スキャンチェーンの概念図

4. 動作速度テストとオンする PS 数データ保存

前節では動作速度に余裕があるモジュールを対象としてオン状態 PS 数を減少させて消費エネルギーを削減する方法に関して述べた。オン状態の PS 数による動作速度データをあらかじめ取得しておくことで、動作速度データを利用して決まったサイクルタイム制限を満たしながら最大エネルギー削減が達成可能なオン状態 PS 数分かる。また得られた最適のオン状態 PS 数をテストが終わった後も回路モジュールに与える必要がある。以下でこの2点に関して述べる

オン状態 PS 数も変化させた時の動作速度値を得るためにスキャンチェーンを利用する。図4. に示すスキャンチェーンの概念図を利用してスキャンチェーンに関する説明を行う。スキャンチェーン回路がスキャンモードになった場合、フリップフロップのデータが流れる経路が通常パスではないスキャンパスに切り替わる。この時フリップフロップは直列で繋がる長いシフトレジスタとして動作することになる。スキャンチェーンを用いてチップのピンとは直接接続していないフリップフロップのデータの観測や特定データ入力が可能になる。スキャンチェーンは本来チップ内部の回路モジュールに接触不良などによる誤動作の有無を判別するための回路であり、一般的なテスト方法は次のようになる。

- ・スキャンチェーンモードに入り、テスト対象回路モジュールの前段フリップフロップにデータを入力する
- ・通常モードに入り、回路が正しく動作できる十分なサイクルタイムのクロックを1周期だけ入力する
- ・スキャンチェーンモードに入り、テスト対象回路モジュールの後段フリップフロップのデータを出力して誤動作の有無を判別する

本稿では図4. のような回路構成を用いてテストとオン状態 PS 数の情報を保存することを考える。次のような過程でテ

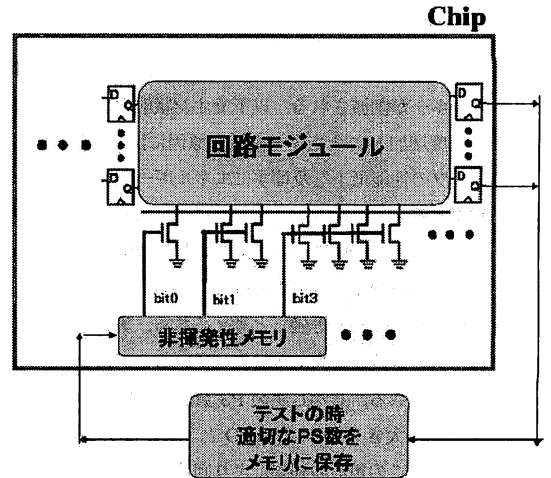


図5 オン状態の PS 数による遅延変動テスト

トを行う。

- 1) 各回路モジュールの全 PS をオン状態で、各回路モジュールの動作速度を得る。この時、最悪遅延を持つ入力ベクトルを与える。
- 2) 最低速な回路モジュールの動作速度をサイクルタイムとして決定する
- 3) 回路モジュールを除く全回路モジュールに対して各々4) ~ 6) の過程を繰り返す。
- 4) 対象回路モジュールの PS の数を調整する
- 5) スキャンチェーンを利用し、対象回路モジュールの正しい動作を確認する。
- 6) 正常動作したなら4) からの過程を繰り返す。もし正しく動作しなかったら直前のオン状態 PS 数を現在の回路モジュールのオンする PS 数と決めて不揮発性メモリに記録する

チップに電源が供給するたびに不揮発性メモリから適切な PS 数情報がロードされオンするようにして、追加的なテストなしで消費エネルギー削減が達成できる。ただし手法を使う場合、不揮発性メモリが要求されることと回路モジュールの数が多い場合のテスト費用や時間の増加がデメリットである。

5. 消費エネルギーと遅延の評価

5.1 評価環境

プロセス変動により余分の動作速度が発生した場合、削減可能なエネルギーを評価するために PG を適用した 16 段のインバータチェーンと 32bit CLA (Carry Lookahead Adder) を対象としてオン状態 PS 数の変化による遅延増加率とエネルギー削減率を評価する。16 段インバータチェーン回路では、オン状態の PS 数の変化による影響を出すために 10 個の独立した 16 段インバータチェーンを構成し VGND を共有するものである。

提案手法は PS を適用している回路モジュールを対象としたエネルギー削減方法であるので、十分な PS が実装され、全ての PS がオン状態の時の基準点とするのが妥当である。しかし、過剰な PS が実装される場合、面積増加による配線の抵抗の増加で相対的に遅延が緩やかに増加する。従ってシミュレーション評価を通じて最小遅延を持つ PS 数を検討し、その回路においてオン状態 PS 数が変化することによる消費エネルギーと遅延を評価した。実装した PS の総 width は、16 段インバータチェーンの場合は回路の全 MOS の総 width の 4%、32bitCLA の場合は 5.6% である。シノプシス社のツールで論理合成を行い、PG 適用が出来るように修正した Aspla90nm プロセスの generic 版セルを利用した。配線の影響を考慮して配置配線した後、寄生容量と抵抗を抽出したソースを利用して hspice でシミュレーションを行った。また出力にくらべて入力信号の遅移速度が遅いゲートで貫通電流が増加するという報告があるので [7]、妥当なデータを得るために評価回路の末端にフリップフロップを接続し、フリップフロップによる消費エネルギーも含めて評価を行った。

5.2 評価結果

図 6 に 16 段インバータにおける、図 7 に 32bitCLA における消費エネルギー削減率と遅延増加率を示す。横軸はオン状態の PS 数であり、縦軸は変化率である。オン状態の PS 数が減少すると消費エネルギーが減少し、遅延は増加するのが分かる。ただし 32bitCLA の場合、オン状態の PS 数が 128 個の周辺でオン状態の PS 数が増加するにも関わらず 2%程度消費エネルギーが増加、遅延が減少しているが、これはレイアウトした PS の位置による影響だと考えられる。32bitCLA の PS の制御には、5bit の信号線を利用し、最下位 bit の信号線から各々 4,8,16,32,64,128 個の PS 制御を行う。オン状態の PS 数が 128 個より少なくなる時、5bit 目の信号がオフになると同時に 128 個の PS がオフになる。このとき、PS 数と遅延増加の関係は 3 章で述べた関係とは逆になっている。16 段インバータにおいても一つの bit 信号線によって制御される中で最も多い数である 32 個の PS が同時にオフになるところで消費エネルギーと遅延の変化率が小さくなっている。

16 段インバータの場合、オン状態の PS 数が 8 個の時、オン状態の PS が 60 個の場合に比べて 25 %遅延が増加するが、10 %のエネルギーが削減されることを読み取れる。これは同じクロック信号で動作する 2 個の 16 段インバータにおいてプロセス変動により動作速度差が発生し、一方は平均動作速度より 12.5%速度低下し、一方は 12.5%速度が増加した場合、平均動作速度より 12.5%動作速度が速い 16 段インバータにおいて消費電力が 10%削減できることを意味する。

図 8 に遅延増加率と消費エネルギーの削減率の関係をより明確にするために、オン状態の PS 数を変化させた場合の遅延増

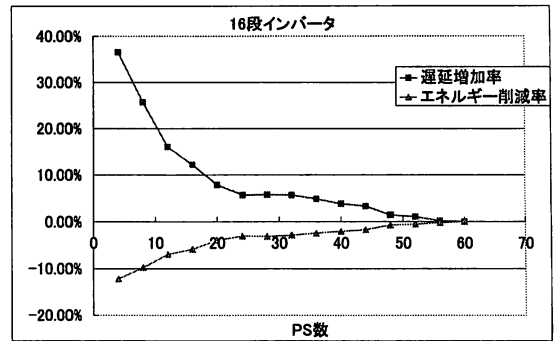


図 6 オン状態の PS 数を変化による遅延とエネルギーの変動 (16 段インバータ)

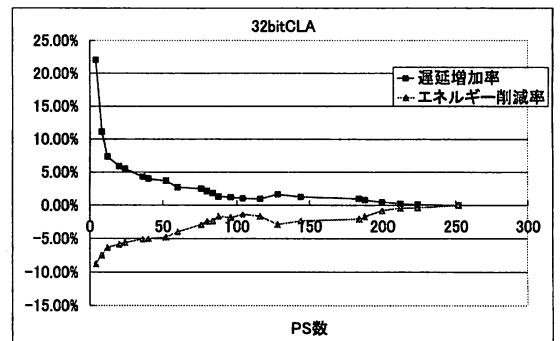


図 7 オン状態の PS 数を変化による遅延とエネルギーの変動 (32bit-CLA)

加率を横軸に、エネルギー削減率を縦軸に表した。遅延増加率に比べて消費エネルギー削減率が高いほど、より多くのエネルギーが削減されると予想されるので、遅延変動が 20%までの範囲において CLA の方がよりエネルギー削減効果が高いと言える

6. 結 論

PG を適用する回路において、オンする PS 数による消費エネルギーと動作速度との間のトレードオフ関係を明らかにし、hspice シミュレーションを通じて検証した。プロセス変動によりサイクルタイムに余裕がある回路を対象としてこのトレードオフ関係を適用し、性能低下を招かずに消費エネルギーを削減する方法を提案した。同時に最大のエネルギー消費が達成可能なオン状態の PS 数を得るテスト方法も提案した。提案手法はプロセス変動によるサイクルタイムの余裕を利用してエネル

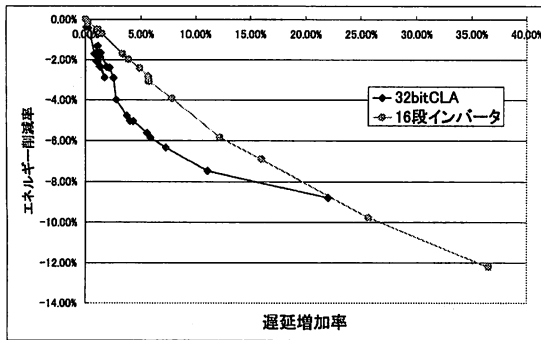


図 8 オン状態の PS 数を変化による遅延とエネルギーの対応関係

ギー削減を行うので、プロセス変動が増加し続ける今後のプロセステクノロジーにおいて提案手法の効果がさらに増大すると予想される。

謝 辞

本研究に対して貴重なご意見を頂いた芝浦工業大学情報工科学科宇佐美教授に感謝致します。本研究の一部は、科学技術振興機構・戦略的創造研究推進事業 (CREST) の研究プロジェクト「革新的電源制御による超低電力高性能システム LSI の研究」、および文部科学省科学研究費補助金 (基盤研究 (B) No.19300009) の支援によって行われた。また、本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社及び日本ケイデンス株式会社の協力で行われたものである。

文 献

- [1] International Technology Roadmap for Semiconductors <http://www.itrs.net/Links/2005ITRS/Home2005.htm>
- [2] Powell, M.D., Yang, S-H., Falsafi, B., Roy, K., and Vijaykumar, T. "Gated-vdd: A circuit technique to reduce leakage in deep-submicron cache memories," *In Proc. of the Int'l Symp. on Low Power Electronics and Design, 2000.*
- [3] Challenge: variability characterization and modeling for 65- to 90-nm processes Masuda, H.; Ohkawa, S.; Kurokawa, A.; Aoki, M.; *Custom Integrated Circuits Conference, 2005. Proceedings of the IEEE 2005 18-21 Sept. 2005 Page(s):593 - 599*
- [4] Challenges in sleep transistor design and implementation in low-power designs Kaijian Shi; Howard, D.; *Design Automation Conference, 2006 43rd ACM/IEEE 24-28 July 2006 Page(s):113 - 116*
- [5] Transistor Sizing Issues And Tool For Multi-threshold Cmos Technology Kao, J.; Chandrakasan, A.; Antoniadis, D.; *Design Automation Conference, 1997. Proceedings of the 34th June 9-13, 1997 Page(s):409 - 414*
- [6] T. Sakurai and A. R. Newton, "Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas," *IEEE Journal of Solid Stat Circuits, 1990.* H. Bhatnagar, *Advanced ASIC*
- [7] H. Veendrick, "Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits" *IEEE*

J. Solid-State Circuits, vol. SC-19, pp. 468-473, 1984.

- [8] A. P. Chandrakasan et al, "Low-Power CMOS Digital Design," *IEEE Journal of Solid-State Circuits*, Apr.1992.
- [9] Distributed sleep transistor network for power reduction Changbo Long; Lei He; *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on Volume 12, Issue 9, Sept. 2004 Page(s):937 - 946*