

無閉路可検査性に基づくテスト生成のための最適スルー木集合構成法

森永 広介 岡 伸也 吉川 祐樹 市原 英行 井上 智生

広島市立大学大学院情報科学研究科 〒731-3194 広島県広島市安佐南区大塚東3-4-1

E-mail: {morinaga,oka}@dsgn.im.hiroshima-cu.ac.jp, {yosikawa,ichihara,tomoo}@hiroshima-cu.ac.jp

あらまし 無閉路順序回路のクラスは τ^2 -bounded であり、実用的にテスト容易と考えられている [2], [3]。さらに、 τ^2 -bounded でありながら、無閉路順序回路より広いクラスとして、無閉路可検査順序回路 [4]、拡張無閉路順序回路 [5] が提案されている。これらの順序回路の条件は、主にスルー機能で定義されており、一般の順序回路に対して、これらのクラスに基づくテスト容易化設計はスルー機能の付加によって実現できる。よって、そのハードウェアオーバーヘッドは、従来の完全スキャン設計に比べて大きく削減できる。本研究では、与えられた順序回路が拡張無閉路可検査性を満たすために付加する必要のあるスルーコストを最小化するための最適スルー木構成法について考察する。拡張無閉路可検査性に基づくテスト容易化設計における最適スルー木集合を求める問題を定式化し、その問題を整数計画問題として表現する。実験により、本手法の有効性を示すとともに、拡張無閉路可検査性の有効性を確認する。
キーワード テスト生成, テスト容易化設計, 無閉路可検査性, 拡張無閉路可検査性, 整数計画問題

An Optimization of Thru Trees for Test Generation Based on Acyclical Testability

Kohsuke MORINAGA, Nobuya OKA, Yuki YOSHIKAWA, Hideyuki ICHIHARA, and Tomoo INOUE

Graduate of Information Sciences, Hiroshima City University
3-4-1 Ozuka-higashi, Asaminami-ku, Hiroshima 731-3194

E-mail: {morinaga,oka}@dsgn.im.hiroshima-cu.ac.jp, {yosikawa,ichihara,tomoo}@hiroshima-cu.ac.jp

Abstract The class of acyclic sequential circuits is τ^2 -bounded, i.e., acyclic sequential circuits are practically easily testable [2], [3]. Further, classes of acyclically testable sequential circuits [4] and extended acyclically testable ones [5], which are larger than that of acyclic sequential circuits, have been proposed. A key condition for acyclical / extended acyclical testability is defined mainly by means of thru functions, and hence, a given sequential circuit can be modified into such testable circuits by adding thru functions. Consequently, the DFT overhead can be reduced compared to conventional full scan design. This paper presents a method for implementing optimal thru trees which minimize the hardware cost required for extended acyclical testability of a given sequential circuits. We formulate the optimization problem on design for testability with thru trees based on extended acyclical testability, and express the formulation as an integer linear programming (ILP) model. Experimental results show the effectiveness of our formulation, and also demonstrate the effectiveness of the class of extended acyclical testability.

Key words test generation, design-for-testability, acyclical testability, extended acyclical testability, integer linear programming (ILP)

1. はじめに

論理回路に対するテスト生成問題は NP 困難として知られている [1] が、組合せ回路に対するテスト生成問題は有効なテスト生成アルゴリズムが提案されているため、実用的な計算時間で解くことが可能である。これに対し、順序回路に対するテスト生成問題は実用的な計算時間で解くことが困難であるため、

多くの場合、完全スキャン設計によって組合せ回路のテスト生成問題として取り扱われる。しかしながら、順序回路の中には、実用的には組合せ回路のテスト生成と同程度の処理時間でテスト生成が可能であると考えられるものがある。Ooi ら [2], [3] は、組合せ回路のテスト生成複雑度を $\tau = \Theta(n^r)$ (n は回路規模, r は 2 以上の定数) と表し、無閉路順序回路はテスト生成複雑度が τ^2 -bounded のクラスに属することを示した。文献 [4] では、閉

路を有しながら t^2 -bounded のテスト生成複雑度である無閉路可検査順序回路のクラスが示されている。さらに広いクラスとして、文献 [5] では、拡張無閉路可検査性を満たす順序回路が示されている。順序回路が拡張無閉路可検査であるための十分条件の 1 つに、正当化スルー木と伝搬スルー木に関するものがある。この 2 つのスルー木集合がフィードバック頂点集合 (Feedback Vertex Set ; FVS^(注1)) を被覆することにより、閉路を構成するレジスタに対して外部入力から値を正当化可能であり、閉路を構成するレジスタから外部出力へ値が伝搬可能となる。一方、文献 [6] は、順序回路を無閉路化する、すなわち、順序回路中のすべてのフィードバックループを切断するために必要なスキャンフリップフロップ数を最小にする問題を最小フィードバック頂点集合 (Minimum Feedback Vertex Set ; MFVS) 問題としてとらえ、その問題を実用的な時間で解くための効率のよい分枝限定法を示している。

本研究では、文献 [6] において示された MFVS 問題の整数計画問題としての定式化を応用し、拡張無閉路可検査性を満たすための最適スルー木集合を求める方法について考察する。与えられた順序回路に対する拡張無閉路可検査性スルー木集合に関する条件を、制約式として表し、スルー機能を付加するコストの総和を目的関数とすることで、付加スルーコストを最小にする最適スルー木集合問題を整数計画問題として表現する。また、本手法は無閉路可検査性を満たすためのスルー木集合を求める問題にも応用することが可能である。実験により、本手法の有効性を示すとともに、それぞれの可検査性に基づくテスト容易化設計における付加スルーによるハードウェアオーバヘッドや処理時間などの比較考察を示す。

2. 拡張無閉路可検査性

拡張無閉路可検査性は、順序回路に対するいくつかの条件によって定義されているが、本研究で特に重要と思われる定義のみ説明する。

2.1 対象回路

本研究で対象とする順序回路を図 1 に示す。順序回路は、組合せ論理部 (combinational logic block ; CLB) とレジスタからなり、それらの接続関係で表される。CLB には、図 1 の CLB2 の t_2 や CLB4 の t_4 のようなスルー機能を有するものもある。スルー機能には、1 つの入力の値をそのまま出力に伝達する単純スルー (図 2(a)) と、複数の入力をまとめて 1 つの出力に伝達する併合スルー (図 2(b)) がある。

このような順序回路は、次に示す R-グラフによって表される。順序回路 S_1 の R-グラフを図 3 に示す。

定義 1 (R-グラフ): 順序回路を表す R-グラフ $G_R = (V, A, t)$ は次に定義される有向グラフである。

1. 頂点 $v \in V$ は、レジスタ、外部入力、外部出力のいずれかを表す。レジスタ集合、外部入力集合、外部出力集合をそれぞれ、 V_R, V_{PI}, V_{PO} とすると、 $V = V_R \cup V_{PI} \cup V_{PO}$ である。

(注1) : 有向グラフ $G = (V, A)$ について、頂点の部分集合 $V' (\subseteq V)$ を取り除くと G が無閉路になるとき、 V' をフィードバック頂点集合という。

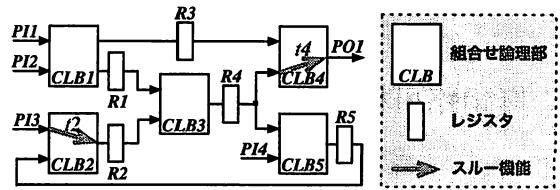


図 1 順序回路 S_1

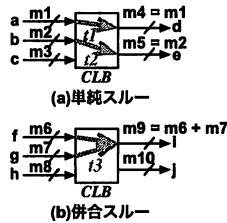


図 2 スルー機能

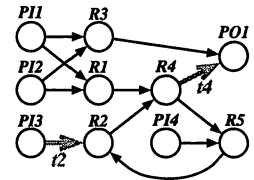


図 3 順序回路 S_1 の R-グラフ

2. 辺 $(u, v) \in A$ は、レジスタまたは外部入力 u から、レジスタまたは外部出力 v への、組合せ回路を通じた、または、直接の接続を表す。
3. 辺 $(u, v) \in A$ にスルー機能 t_i があるとき、 $t(u, v) = t_i$ と表す。スルー機能がない場合は $t(u, v) = \phi$ と表す。(すなわち、 $t: V^2 \rightarrow F \cup \{\phi\}$, $F = \{t_1, t_2, \dots, t_m\}$ はスルー機能の集合を表す)。

スルー機能 t_i が有効になるかどうかは、回路中のレジスタの値と外部入力の値に依存する。例えば、あるスルー機能 $t_i (\in F)$ がレジスタ $v_1, v_2 (\in V_R)$ の値によって有効となると、 t_i は v_1, v_2 によって活性化されるという。

2.2 拡張無閉路可検査性

文献 [5] は、閉路を持つ順序回路でありながら、テスト生成の計算複雑度が t^2 -bounded である回路のクラス、すなわち、テスト生成容易な回路のクラスの性質として拡張無閉路可検査性を提案している。拡張無閉路可検査性を満たすためには、順序回路が正当化スルー木集合と伝搬スルー木集合からなるスルー木集合対を持たなくてはならない。スルー木集合対を持つことにより、テスト生成が可能となる。

2.2.1 正当化スルー木と伝搬スルー木

文献 [5] では、正当化スルー木と伝搬スルー木を以下のように定義している。

定義 2 (正当化スルー木と伝搬スルー木): R-グラフを $G_R = (V, A, t)$ とする。正当化スルー木 $T^J = (V^J, A^J)$, $V^J \subseteq V$, $A^J \subseteq A$ は、以下の条件を満たす R-グラフ G_R の部分グラフである。

1. 任意の葉 $v \in V^J$ は外部入力 ($v \in V_{PI}$) に対応する。
2. 任意の辺 $(u, v) \in A^J$ はスルー機能を有する ($\forall (u, v) \in A^J, t(u, v) \neq \phi$)。
3. 併合スルーの入力は、すべて T^J に含まれるか、まったく含まれないかのいずれかである。 ($\forall t_i \in F, t_i^{-1}(t_i) \cap A^J = t_i^{-1}(t_i) \vee t_i^{-1}(t_i) \cap A^J = \phi$)

伝搬スルー木 $T^P = (V^P, A^P)$, $V^P \subseteq V$, $A^P \subseteq A$ は、以下の条件を満たす R-グラフ G_R の部分グラフである。

4. 根 $v \in V^P$ は外部出力 ($v \in V_{PO}$) に対応する。
5. 任意の辺 $(u, v) \in A^P$ はスルー機能を有する ($\forall (u, v) \in A^P, t(u, v) \neq \phi$)。

また、文献[5]は、拡張無閉路可検査性の条件のうち正当化スルー木と伝搬スルー木が満たす条件を以下のように示している。

定義 3 (スルー木集合対を持つ順序回路): 順序回路 S に対する R -グラフ $G_R = (V, A, t)$ が以下の条件を満たす正当化スルー木の集合 $T^J = \{T_i^J = (V_i^J, A_i^J), i = 1, 2, \dots, n^J\}$ と伝搬スルー木の集合 $T^P = \{T_i^P = (V_i^P, A_i^P), i = 1, 2, \dots, n^P\}$ を持つとき、順序回路 S はスルー木集合対 (T^J, T^P) を持つという。ここで、 $T = T^J \cup T^P$ 、 $V_T^J = \cup_{i=1}^{n^J} V_i^J$ 、 $V_T^P = \cup_{i=1}^{n^P} V_i^P$ 、 $A_T^J = \cup_{i=1}^{n^J} A_i^J$ 、 $A_T^P = \cup_{i=1}^{n^P} A_i^P$ とする。

1. 正当化スルー木の集合 T^J は以下の条件を満たす。
 - (a) 正当化スルー木は互いに素である ($\forall i, j (i \neq j), V_i^J \cap V_j^J = \phi$)。
 - (b) 正当化スルー木を構成する頂点の集合は R -グラフのフィードバック頂点集合 FVS を被覆する (すなわち、 $V^J \subseteq V_T^J$ となるような $FVS V' (\subseteq V)$ が存在する)。
2. 伝搬スルー木の集合 T^P は以下の条件を満たす。
 - (a) 伝搬スルー木は互いに素である ($\forall i, j (i \neq j), V_i^P \cap V_j^P = \phi$)。
 - (b) 伝搬スルー木を構成する頂点の集合は R -グラフの FVS を被覆する (すなわち、 $V^P \subseteq V_T^P$ となるような $FVS V' (\subseteq V)$ が存在する)。

スルー木集合対を持つ順序回路の R -グラフの例として、図 3 を考える。この R -グラフは頂点 $R2, R4, R5$ からなる閉路を有する。 FVS は、最小のものを考えると、頂点 $R2, R4, R5$ のいずれかとなる。正当化スルー木を構成する頂点集合は、 $\{PI3, R2\}$ であり、辺 $(PI3, R2)$ がスルー機能 $t2$ を有し、葉が外部入力 $PI3$ である。この正当化スルー木は FVS である頂点 $R2$ を被覆している。また、伝搬スルー木を構成する頂点集合は、 $\{R4, PO1\}$ であり、辺 $(R4, PO1)$ がスルー機能 $t4$ を有し、根が外部出力 $PO1$ である。この伝搬スルー木は FVS である頂点 $R4$ を被覆している。以上より、定義 3 を満たしていることがわかる。

拡張無閉路可検査性を満たす順序回路は、スルー木集合対を持つことにより、閉路を構成するいずれかのレジスタにスルー機能による正当化の経路が存在し、かつ、閉路を構成するいずれかのレジスタからスルー機能による伝搬の経路が存在する、よって、閉路上にあるレジスタを制御、観測することが可能となる。ここで、順序回路 S_1 (図 1) の $CLB5$ に対するテスト生成について考える。テスト生成は、図 4 に示すような時間展開モデル $C(S_1, CLB5)$ を用いて考えることができる。時間展開モデルは、値がレジスタに取り込まれる時刻を考慮して CLB の接続関係を表したものであり、組合せ回路である。この時間展開モデルに対して、図 4 の入出力 ($PI1_0, PI2_0, PI3_0, PI4, PI1_1, PI2_1, PI3_1 : PO1$) に対して ($E, F, A', B, G, H, D : C'''$) のテストパターンが得られたとすると、順序回路 S_1 に対する入出力の系列は、図 5 に示すように、 $(PI1, PI2, PI3, PI4 : PO1) = ((E, F, A', X : X), (X, X, X, X : X), (X, X, X, B : X), (G, H, D, X : X), (X, X, X, X : X), (X, X, X, X : C'''))$ となる。

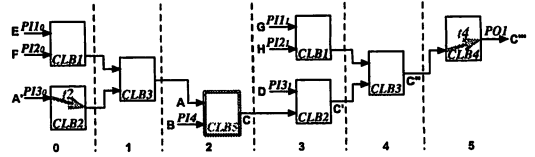


図 4 順序回路 S_1 の $CLB5$ に対する時間展開モデル $C(S_1, CLB5)$

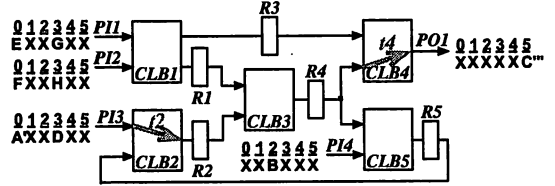


図 5 順序回路 S_1 における $CLB5$ に対するテスト系列

順序回路の R -グラフがスルー木集合対を持つことは、拡張無閉路可検査性を満たすための必要条件である。もし、与えられた順序回路がスルー木集合対を持たない場合、スルー機能を付加することで、スルー木集合対を持つ回路に変換するテスト容易化設計が考えられる。

3. 最適スルー木集合構成問題

本節では、拡張無閉路可検査性に基づくスルー木集合対を構成するための手法を提案する。

ここで考える問題は、与えられた順序回路の R -グラフに対して、最小のコストで拡張無閉路可検査性に基づくスルー木集合対を構成する問題である。ここでコストとは、任意の CLB にスルー機能を付加する (R -グラフ上では、任意の辺をスルー木に含める) 際のコストである。拡張無閉路可検査性に基づくスルー木集合構成問題を、次の最適化問題として定義する。

定義 4 (拡張無閉路可検査性に基づく最適スルー木集合構成問題):

- 入力: 順序回路 S の R -グラフ G_R , 辺 $(v_i, v_j) \in A$ にスルー機能を付加するためのコスト $c_{(i,j)}$ (ここで $c: A \rightarrow R$ (R は実数))
- 出力: 順序回路 S のスルー木集合対 (T^J, T^P)
- 最適化目標: 付加スルーコスト最小

次に、定義 4 において定義した最適スルー木集合構成問題が整数計画問題として表現できることを示す。

3.1 整数計画問題による定式化

まず、出力である正当化スルー木集合と伝搬スルー木集合を表現するために、各辺に対してそれぞれ変数 $a_{(i,j)}^J$ と $a_{(i,j)}^P$ を導入する。

- $a_{(i,j)}^J$: 辺 $(v_i, v_j) \in A$ が正当化スルー木集合に含まれるかどうかを示す変数。正当化スルー木集合に含まれる場合 $((v_i, v_j) \in A_T^J)$, $a_{(i,j)}^J = 1$ となり、含まれない場合は 0 となる。
- $a_{(i,j)}^P$: 辺 $(v_i, v_j) \in A$ が伝搬スルー木集合に含まれるかどうかを示す変数。伝搬スルー木集合に含まれる場合 $((v_i, v_j) \in A_T^P)$, $a_{(i,j)}^P = 1$ となり、含まれない場合 0 となる。

この 2 つの変数を用いて、整数計画問題の目的関数と制約条件を以下に示す。

3.1.1 目的関数

最適スルー木集合構成問題の最適化目標は、以下の目的関数を最小化することとして表される。

$$\sum_{(v_i, v_j) \in A} (c_{(i,j)} \times \max(a'_{(i,j)}, a^p_{(i,j)})) \quad (1)$$

ここで、式中の $\max(a'_{(i,j)}, a^p_{(i,j)})$ は $a'_{(i,j)}$ と $a^p_{(i,j)}$ のうち大きい値を返す関数である。 $a'_{(i,j)}$ と $a^p_{(i,j)}$ は 0 または 1 であるため、どちらか一方が 1 ならば、つまり、ある辺がどちらかのスルー木集合に含まれていれば、 $\max(a'_{(i,j)}, a^p_{(i,j)})$ は 1 になる。これに辺にスルー機能を与えるためのコスト関数である $c_{(i,j)}$ を掛けて、すべての辺に対して足しあわせることで、与えられた順序回路の R-グラフに対する総スルーコストを意味する。この目的関数をスルー木集合対を持つための制約条件の下で最小化することにより、付加スルーコスト最小のスルー木集合対を求めることが可能となる。

3.1.2 スルー木集合に関する制約条件

次に、 $a'_{(i,j)}, a^p_{(i,j)}$ が満たすべき制約条件について考える。制約条件は正当化スルー木集合に関するものと、伝搬スルー木集合に関するものに分けることができる。2つの条件は類似点が多いため、まず、正当化スルー木集合に関する条件について述べ、その後、伝搬スルー木集合に関する条件を正当化スルー木集合に関する条件との違いに着目して説明する。

(1) 正当化スルー木集合に対する基本条件

まず、正当化スルー木が木であることを保証するための条件を考える。これは言い換えると正当化スルー木は閉路を持たないことを保証する条件である。文献[6]では、最小フィードバック頂点集合問題を整数計画問題として表現する上で、グラフに閉路がないことを表現するために、頂点に対して重みを表す変数を導入している。ここでも同様に重みの変数として、各頂点 $v_i \in V$ に対して、重み $w'_i \in \mathbb{R}^+$ を導入する。この変数を用いると、正当化スルー木が木であることを保証するための制約条件は、

$$\forall (v_i, v_j) \in A, w'_i - w'_j + n(1 - a'_{(i,j)}) \geq 1 \quad (2)$$

と表現される。ここで、 n は頂点数 ($= |V|$) である。例えば、図6の頂点 v_1 に対する制約条件は、 $w'_1 - w'_3 + 6(1 - a'_{(1,3)}) \geq 1$ 、 $w'_1 - w'_4 + 6(1 - a'_{(1,4)}) \geq 1$ で表される。図6のように、頂点 v_1 と v_4, v_5, v_2 が閉路を構成している場合、閉路を構成する各頂点の重みは、 $w'_1 \leq w'_2 \leq w'_3 \leq w'_4$ のようになる。 $w'_1 - w'_4$ は 1 より小さくなるので、制約条件を満たすためには、 $a'_{(1,4)} = 0$ としなくてはならない。つまり、辺 (v_1, v_4) は正当化スルー木に含まれることはないという制約条件になっている。

次に、定義2の1,3および定義3の1(a)に示した正当化スルー木の条件を整数計画問題の制約条件として表現する。なお定義2.2は a' の定義から常に満たされるため、制約条件として考慮する必要はない。

• 定義2.1に対する条件

定義2.1より、正当化スルー木の葉は外部入力である。よって、ある辺 (v_i, v_j) が正当化スルー木に含まれている ($a'_{(i,j)} = 1$) とすると、頂点 v_i が外部入力でない限り、入力辺のいずれか1つは必ず正当化スルー木に含まれていなければならない。これ

をすべての辺に対して考えると、この制約条件は、

$$\forall (v_i, v_j) \in A, \sum_{(v_h, v_l) \in I(v_i)} a'_{(h,l)} \geq a'_{(i,j)} \quad (3)$$

と表現できる。ここで、 $I(v_i)$ は頂点 v_i の入力辺集合である。例えば、図6の頂点 v_1 に対して、 $a'_{(1,3)} = 1$ となったとき、つまり、辺 (v_1, v_3) が正当化スルー木に含まれると、辺 (v_0, v_1) または辺 (v_2, v_1) が正当化スルー木に含まれるという制約条件になっている。この制約条件をすべての辺に対して考えることによって、外部入力に葉に対応する木を構成可能である。

• 定義2.3に対する条件

併合スルーはすべて正当化スルー木に含まれるか、全く含まれないかのどちらかである。今、辺 (v_i, v_j) と辺 (v_h, v_l) が併合スルーであると仮定すると ($i \neq h$)、この制約条件は、

$$\forall \{(v_i, v_j), (v_h, v_l) \mid t(v_i, v_j) = t(v_h, v_l)\}, a'_{(h,l)} = a'_{(i,j)} \quad (4)$$

と表現できる。

• 定義3.1(a)に対する条件

ある正当化スルー木集合内の正当化スルー木は互いに素でなくてはならない。これはある頂点 v_i を考えたとき、その出力辺のうち高々1つしか正当化スルー木に含まれてはいけないことを意味する。これをすべての頂点に対して考えると、この制約条件は、

$$\forall v_i \in V, \sum_{(i,j) \in O(v_i)} a'_{(i,j)} \leq 1 \quad (5)$$

と表現できる。ここで、 $O(v_i)$ は頂点 v_i の出力辺集合である。例えば、図6の頂点 v_1 に対して、 $a'_{(1,3)}$ と $a'_{(1,4)}$ が同時に 1 とはならないことを表している。

(2) 正当化スルー木集合によるフィードバック頂点集合被覆のための条件

定義3.1(b)に示したように、スルー木集合は与えられた R-グラフのフィードバック頂点集合 FVS を被覆していなければならない。

FVS を求める問題は、文献[6]において整数計画問題として表現できることが示されている。ここでは、これを応用する。なお、正当化スルー木と伝搬スルー木はそれぞれ1つの FVS を被覆していればよく、被覆される FVS が同一のものである必要もないため、正当化スルー木が被覆する FVS と伝搬スルー木が被覆する FVS を別々の変数を用いて表現する。ここでは、変数 $x'_i \in \{0, 1\}$ を、頂点 $v_i \in V$ が正当化スルー木で被覆される FVS の要素かどうかを表す変数とする。 $x'_i = 1$ ならば FVS の要素であり、0 ならば要素ではない。次に、FVS の必要十分条件を考える。FVS の定義から、FVS に含まれる頂点をグラフから取り除けば、グラフ中に閉路は存在しない。よって、先ほどの正当化スルー木が閉路を持たない条件と同様に、重みを表す変数 w'_i を用いて、正当化スルー木が被覆する FVS の必要十分条件に対する制約条件は、以下のようになる。

$$\forall v_i \in V, w'_i - w'_j + nx'_i \geq 1 \quad (0 \leq w'_i \leq (|V| - 1)) \quad (6)$$

次に、変数 x'_i で表された FVS を正当化スルー木が被覆するための条件を考える。 $x'_i = 1$ の場合、頂点 v_i が FVS に含まれることを意味するため、頂点 v_i への入力辺のうち、少なくとも1つの辺は、スルー木に含まれていなければならない。これをす

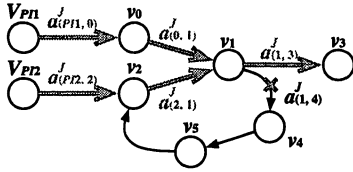


図6 正当化スルー木

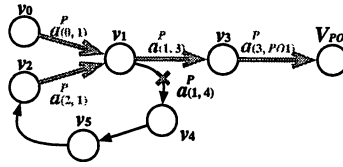


図7 伝搬スルー木

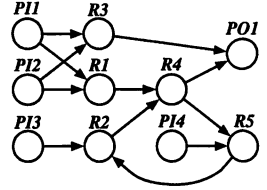


図8 R-グラフの例

すべての頂点に対して考えると、この制約条件は、

$$\forall v_i \in V, \sum_{(v_h, v_j) \in I(v_i)} a'_{(h,i)} \geq x'_i \quad (7)$$

と表現できる。例えば、図6の頂点 v_1 がFVSであるとすると、 $x'_1 = 1$ であり、 $a'_{(0,1)}$ または $a'_{(2,1)}$ のいずれかは1となり、正当化スルー木に含まれるという制約条件になっている。

(3) 伝搬スルー木集合に対する基本条件

伝搬スルー木が木であることを保証するための制約条件は、正当化スルー木の場合と同様に考えることができる。各頂点 $v_i \in V$ の重みを表す変数 $w_i^p \in R^+$ を導入すると、

$$\forall (v_i, v_j) \in A, w_i^p - w_j^p + n(1 - a'_{(i,j)}) \geq 1 \quad (8)$$

と表現できる。次に、定義2の4および定義3の2(a)に示した伝搬スルー木の条件を整数計画問題の制約条件として表現する。なお、定義2の5は変数 a^p の条件から常に満たされるため、制約条件として考慮しない。

• 定義2.4に対する条件

定義2.4より、伝搬スルー木の根は外部出力である。これは、正当化スルー木の条件式(3)と同じ考え方から、

$$\forall (v_i, v_j) \in A, \sum_{(v_h, v_j) \in O(v_i)} a'_{(i,j)} \geq a'_{(h,i)} \quad (9)$$

と表現できる。ただし、ある辺 (v_h, v_i) が伝搬スルー木に含まれている ($a'_{(h,i)} = 1$) とすると、頂点 v_i が外部出力でない限り、出力辺のいずれか1つは必ず伝搬スルー木に含まれていなければならないという点が制約条件式(3)とは異なる。例えば、図7の頂点 v_1 に対して、 $a'_{(0,1)} = 1$ となったとき、つまり、辺 (v_0, v_1) が伝搬スルー木に含まれると、辺 (v_1, v_3) または辺 (v_1, v_4) が伝搬スルー木に含まれるという制約条件になっている。この制約条件をすべての辺に対して考えることによって、外部出力が根に対応する木を構成することが可能となる。

• 定義3.2(a)に対する条件

伝搬スルー木集合内の伝搬スルー木は互いに素でなくてはならない。この条件は、正当化スルー木の制約条件式(5)と同様に、

$$\forall v_i \in V, \sum_{(i,j) \in O(v_i)} a'_{(i,j)} \leq 1 \quad (10)$$

と表現できる。

(4) 伝搬スルー木集合によるフィードバック頂点集合被覆のための条件

定義3.2(b)に示したように、スルー木集合は与えられたR-グラフのFVSを被覆していなければならない。これは、正当化スルー木の制約条件式(6)と同様に考えることができ、

$$\forall v_i \in V, w_i^p - w_j^p + nx_i^p \geq 1 \quad (0 \leq w_i^p \leq (|V| - 1)) \quad (11)$$

と表現できる。ただし、変数 $x_i^p \in \{0, 1\}$ は、頂点 $v_i \in V$ が伝

搬スルー木で被覆されるFVSかどうかを表す変数である ($x_i^p = 1$ ならばFVSの要素であり、0ならば要素でない)。次に、変数 x_i^p で表されたFVSを伝搬スルー木が被覆するための条件は、正当化スルー木の制約条件式(7)と同じ考え方から、

$$\forall v_i \in V, \sum_{(v_h, v_j) \in O(v_i)} a^p_{(i,j)} \geq x_i^p \quad (12)$$

と表現できる。ただし、 $x_i^p = 1$ の場合、頂点 v_i がFVSに含まれることを意味するため、頂点 v_i からの出力辺のうち、少なくとも1つの辺は、スルー木に含まれていなければならないという点が条件式(7)と異なる。例えば、図7の頂点 v_1 がFVSであるとすると、 $x_1^p = 1$ であり、 $a^p_{(1,3)}$ または $a^p_{(1,4)}$ のいずれかは1となり、伝搬スルー木に含まれるという制約条件になっている。

3.2 適用例

図8のR-グラフに対して、本手法を適用する。すべての辺の付加スルーコストを1として考えると、図9に示すような整数計画問題として表現できる。この整数計画問題を解くと、 $a'_{(PI3, R2)} = 1$ 、 $a'_{(R4, PO1)} = 1$ が得られ、辺 $(PI3, R2)$ が正当化スルー木、辺 $(R4, PO1)$ が伝搬スルー木として選択される。ここで、目的関数(総スルーコスト)は2となる。この結果、図8のR-グラフに対して、図3に示したように付加スルーコスト最小で拡張無閉路可検査性に基づくスルー木集合を構成することが可能となる。

3.3 無閉路可検査性への応用

文献[4]は、順序回路が無閉路可検査性を満たすための十分条件を示している。拡張無閉路可検査性と無閉路可検査性の違いは、スルー木が満たす条件である。無閉路可検査性に基づくスルー木集合が満たすべき条件は、葉が外部入力、根が外部出力であり、頂点がFVSを被覆すればよいというものである。よって、提案する最適スルー木集合構成法は無閉路可検査性に基づくスルー木集合を求めるために用いることが可能である。本手法を無閉路可検査性へ適用するためには、正当化スルー木と伝搬スルー木とで異なる変数を用いたものを同一のものとし、制約条件をまとめて考えればよい。つまり、 $w_i^p = w_i^q$ 、 $a_i^p = a_i^q$ 、 $x_i^p = x_i^q$ とすることで適用できる。

4. 実験結果

本手法の有効性を調べるため、実験を行った。計算機は、Microsoft Windows XP Professional(Xeon(TM), CPU 3.20GHz 3.19GHz, メモリ 2.00GB)を用いた。整数計画問題を解くためのソフトウェアは、lp.solve.5.5.0.10 [7]を用いた。

レジスタ転送レベルデータパスから抽出したR-グラフに対して、拡張無閉路可検査性[5]と無閉路可検査性[4]を満たすための付加スルーコスト、変数数、制約条件数、計算時間を算出し

表1 回路情報

回路名	外部入力数	外部出力数	レジスタ数
4thIIR	1	1	14
GCD	2	4	3
LWF	2	2	5
PAULIN	3	2	7
Tseng	3	2	6
ex1	3	1	6
ex2	6	2	8
ex3	4	1	6

表2 実験結果(拡張無閉路可検査性)

回路名	変数数	制約条件数	付加スルー数	計算時間(sec)
4thIIR	126	482	9	72.281
GCD	69	241	2	0.062
LWF	84	316	3	0.031
PAULIN	138	550	8	56.312
Tseng	101	384	5	2.985
ex1	82	302	2	0.312
ex2	130	478	2	0.281
ex3	89	326	2	0.109

表3 実験結果(無閉路可検査性)

回路名	変数数	制約条件数	付加スルー数	計算時間(sec)
4thIIR	52	232	9	0.062
GCD	29	112	2	0.015
LWF	34	145	3	0.015
PAULIN	54	252	8	0.359
Tseng	41	179	5	0.046
ex1	34	142	4	0.015
ex2	54	224	3	0.031
ex3	37	152	3	0.015

目的関数: $minimize \sum_{(i,j) \in E} (c_{i,j} \times \max(a_{i,j}, \bar{a}_{i,j}))$ (1)

制約条件

正当化スルー木:

$$\begin{aligned} w_{fn} - w_2 + 10(1 - a_{fn,n}) &\geq 1 & w_{fn} - w_1 + 10(1 - \bar{a}_{fn,n}) &\geq 1 \\ w_{fn} - w_2 + 10(1 - a_{fn,n}) &\geq 1 & w_{fn} - w_1 + 10(1 - \bar{a}_{fn,n}) &\geq 1 \\ w_{fn} - w_2 + 10(1 - a_{fn,n}) &\geq 1 & w_2 - w_{f01} + 10(1 - a_{a,f0}) &\geq 1 \\ w_1 - w_4 + 10(1 - a_{a,f0}) &\geq 1 & w_2 - w_4 + 10(1 - \bar{a}_{a,f0}) &\geq 1 \\ w_2 - w_1 + 10(1 - a_{a,f0}) &\geq 1 & w_4 - w_{f01} + 10(1 - a_{a,f0}) &\geq 1 \\ w_4 - w_5 + 10(1 - a_{a,f0}) &\geq 1 & w_{f01} - w_5 + 10(1 - \bar{a}_{a,f0}) &\geq 1 \end{aligned}$$
 (2)
$$\begin{aligned} a_{fn,n} + a_{fn,n} &\geq a_{a,f0} & a_{fn,n} + a_{fn,n} &\geq a_{a,f0} & a_{fn,n} + a_{a,f0} &\geq a_{a,f0} \\ \bar{a}_{a,f0} + \bar{a}_{a,f0} &\geq a_{a,f0} & \bar{a}_{a,f0} + \bar{a}_{a,f0} &\geq a_{a,f0} & \bar{a}_{a,f0} + \bar{a}_{a,f0} &\geq a_{a,f0} \end{aligned}$$
 (3)
$$a_{fn,n} + a_{fn,n} \leq 1, \quad \bar{a}_{a,f0} + \bar{a}_{a,f0} \leq 1, \quad a_{a,f0} + \bar{a}_{a,f0} \leq 1$$
 (5)
$$\begin{aligned} w_{fn} - w_2 + 10x_{fn} &\geq 1 & w_{fn} - w_1 + 10x_{fn} &\geq 1 & w_{fn} - w_5 + 10x_{fn} &\geq 1 \\ w_{fn} - w_1 + 10x_{fn} &\geq 1 & w_{fn} - w_2 + 10x_{fn} &\geq 1 & w_2 - w_{f01} + 10x_2 &\geq 1 \\ w_1 - w_4 + 10x_1 &\geq 1 & w_2 - w_4 + 10x_2 &\geq 1 & w_2 - w_1 + 10x_3 &\geq 1 \\ w_4 - w_{f01} + 10x_4 &\geq 1 & w_4 - w_5 + 10x_5 &\geq 1 & w_{f01} - w_5 + 10x_6 &\geq 1 \end{aligned}$$
 (6)
$$\begin{aligned} a_{fn,n} + a_{fn,n} &\geq x_3 & a_{fn,n} + a_{fn,n} &\geq x_1 & a_{fn,n} + a_{a,f0} &\geq x_2 \\ \bar{a}_{a,f0} + \bar{a}_{a,f0} &\geq x_4 & \bar{a}_{a,f0} + \bar{a}_{a,f0} &\geq x_5 & \bar{a}_{a,f0} + \bar{a}_{a,f0} &\geq x_6 \end{aligned}$$
 (7)

伝達スルー木:

$$\begin{aligned} w_{fn} - w_2 + 10(1 - a_{fn,n}) &\geq 1 & w_{fn} - w_1 + 10(1 - \bar{a}_{fn,n}) &\geq 1 \\ w_{fn} - w_2 + 10(1 - a_{fn,n}) &\geq 1 & w_{fn} - w_1 + 10(1 - \bar{a}_{fn,n}) &\geq 1 \\ w_{fn} - w_2 + 10(1 - a_{fn,n}) &\geq 1 & w_2 - w_{f01} + 10(1 - a_{a,f0}) &\geq 1 \\ w_1 - w_4 + 10(1 - a_{a,f0}) &\geq 1 & w_2 - w_4 + 10(1 - \bar{a}_{a,f0}) &\geq 1 \\ w_2 - w_1 + 10(1 - a_{a,f0}) &\geq 1 & w_4 - w_{f01} + 10(1 - a_{a,f0}) &\geq 1 \\ w_4 - w_5 + 10(1 - a_{a,f0}) &\geq 1 & w_{f01} - w_5 + 10(1 - \bar{a}_{a,f0}) &\geq 1 \end{aligned}$$
 (8)
$$\begin{aligned} a_{a,f0} &\geq a_{fn,n} & a_{a,f0} &\geq a_{fn,n} & a_{a,f0} &\geq a_{fn,n} \\ \bar{a}_{a,f0} &\geq \bar{a}_{a,f0} & \bar{a}_{a,f0} &\geq \bar{a}_{a,f0} & \bar{a}_{a,f0} &\geq \bar{a}_{a,f0} \\ a_{a,f0} + \bar{a}_{a,f0} &\geq a_{a,f0} & a_{a,f0} + \bar{a}_{a,f0} &\geq a_{a,f0} & a_{a,f0} + \bar{a}_{a,f0} &\geq a_{a,f0} \\ \bar{a}_{a,f0} &\geq \bar{a}_{a,f0} \end{aligned}$$
 (9)
$$a_{fn,n} + a_{fn,n} \leq 1, \quad \bar{a}_{a,f0} + \bar{a}_{a,f0} \leq 1, \quad a_{a,f0} + \bar{a}_{a,f0} \leq 1$$
 (10)
$$\begin{aligned} w_{fn} - w_2 + 10x_{fn} &\geq 1 & w_{fn} - w_1 + 10x_{fn} &\geq 1 & w_{fn} - w_5 + 10x_{fn} &\geq 1 \\ w_{fn} - w_1 + 10x_{fn} &\geq 1 & w_{fn} - w_2 + 10x_{fn} &\geq 1 & w_2 - w_{f01} + 10x_2 &\geq 1 \\ w_1 - w_4 + 10x_1 &\geq 1 & w_2 - w_4 + 10x_2 &\geq 1 & w_2 - w_1 + 10x_3 &\geq 1 \\ w_4 - w_{f01} + 10x_4 &\geq 1 & w_4 - w_5 + 10x_5 &\geq 1 & w_{f01} - w_5 + 10x_6 &\geq 1 \end{aligned}$$
 (11)
$$\begin{aligned} a_{a,f0} &\geq x_3 & a_{a,f0} &\geq x_1 & a_{a,f0} &\geq x_2 \\ a_{a,f0} + \bar{a}_{a,f0} &\geq x_4 & \bar{a}_{a,f0} &\geq x_5 & \bar{a}_{a,f0} &\geq x_6 \end{aligned}$$
 (12)

正当化 伝達スルー木に共通:

$a_{i,j}, \bar{a}_{i,j}$ are Boolean x_i, x_j are Boolean $0 \leq w_i \leq 9$ $0 \leq w_j \leq 9$

図9 適用例

た。実験に用いたデータパスの情報を表1に示す。また、今回の実験では、各データパスのR-グラフのすべての辺に対するスルーコストを1とした。すなわち、付加スルー数最小を最適化目標として実験を行った。拡張無閉路可検査性に適用した結果を表2、無閉路可検査性に適用した結果を表3に示す。

表2より、拡張無閉路可検査性を満たすためのスルー木集合対は、4thIIR, PAULINでは多くかかっているものの、すべての回路に対して実用的な計算時間で求めることができた。

表3より、無閉路可検査性を満たすためのスルー木集合は、すべてのデータパスに対して実用的な計算時間で求めることができた。また、どのデータパスに対しても無閉路可検査性を満たすためのスルー木集合を求めるための計算時間は、拡張無閉路可検査性に比べて小さいことがわかる。これは、前節に示したように、無閉路可検査性を満たすためのスルー木集合を求めるための変数の数が拡張無閉路可検査性の場合に比べて大幅に少なくなるため、これにともなって、制約条件数も少なくなるからである。なお、ex1, ex2, ex3の回路に対する付加スルーコ

ストは拡張無閉路可検査性のほうが小さいことがわかる。また、これらの結果より、拡張無閉路可検査性のための付加スルー数が無閉路可検査性のための付加スルー数に比べて小さくなる順序回路の存在を確認でき、拡張無閉路可検査性の有効性が示された。

5. まとめ

本論文では、無閉路可検査性に基づくテスト生成のための最適スルー木集合構成法を提案した。拡張無閉路可検査性を満たすスルー木集合を求めるために、スルー木集合を求める問題の定式化を行い、この問題を整数計画問題として表現することによって、最適スルー木集合構成法を提案した。実験により、レジスタ転送レベルデータパスに対して、拡張無閉路可検査性を満たすためのスルー木集合対を最小の付加スルーコストで求めることができることも確認した。また、本手法を無閉路可検査性を満たすためのスルー木集合を求める問題にも応用し、実験により、スルー木集合を最小の付加スルーコストで求めることができることを確認した。今後の課題として、計算時間を削減するための整数計画問題の緩和問題としての定式化や冗長な制約条件を削減するための前処理の提案が挙げられる。

謝辞

本研究に際し、貴重な助言を下さった奈良先端科学技術大学院大学情報科学研究科コンピュータ設計学講座の米田友和助教に感謝いたします。また、貴重な意見を下さった天野雄二郎君を始めとする広島市立大学情報科学部設計工学講座の諸氏に感謝いたします。この研究の一部は日本学術振興会科学技術研究費補助金・基盤研究(C)(課題番号19500048)の研究助成による。

文献

- [1] P. Goel, "Test generation costs analysis and projections," Proc. 17th DAC, pp. 77-84, June 1980.
- [2] C. Y. Ooi, and H. Fujiwara, "Classification of sequential circuits based on τ^k notation," IEEE Proc. ATS, pp.348-353, Nov.2004.
- [3] C. Y. Ooi, T. Clouqueur and H. Fujiwara, "Classification of sequential circuits based on τ^k notation and its applications," IEICE Trans. on info. and syst., pp.2738-2747, Dec. 2005.
- [4] C. Y. Ooi, and H. Fujiwara, "A new class of sequential circuits with acyclic test generation complexity," IEEE Proc. ICCD, pp. 425-431, Oct. 2006.
- [5] 岡伸也, C. Y. Ooi, 市原英行, 井上智生, "無閉路可検査順序回路のクラス拡張に関する考察," 信学技報(DC2006-88), Vol. 106, No. 528, pp. 49-54, 2007年2月.
- [6] Srimat T., Arun and Vishwani, "AN EXACT ALGORITHM FOR SELECTING PARTIAL SCAN FLIP-FLOPS," IEEE Proc. DAC, pp. 81-86, 1994.
- [7] <http://psolve.sourceforge.net/5.5/>