

チップ間無線通信を用いた 3次元動的リコンフィギュラブルデバイスの実装

斉藤正太郎[†] 杉森 靖史[†] 小浜 由範[†] 黒田 忠広[†] 長谷川揚平[†]
天野 英晴[†]

[†] 慶應義塾大学大学院理工学研究科 〒223-8522 神奈川県横浜市港北区日吉 3-14-1
E-mail: †muccra@am.ics.keio.ac.jp

あらまし 本論文では、動的リコンフィギュラブルプロセッサ MuCCRA を複数チップ積層した 3次元動的リコンフィギュラブルプロセッサ MuCCRA-Cube の実装および評価について述べる。積層する個々の MuCCRA チップ (プレーン) は、同一のアーキテクチャを採用し、再構成可能な Processing Element (PE) とデータメモリの 2次元アレイ構造をもつ。また、マルチコンテキスト方式の動的再構成を採用し、コンテキストの切り替えはクロックサイクルごとに各プレーンが独立して行うことができる。チップ間の接続には、チップ上に形成するインダクタの誘導結合による無線通信を採用している。この技術は、チップ製造後に比較的低コストで積層が可能であることから、マルチコア構成の動的リコンフィギュラブルプロセッサを実装する技術として注目される。すなわち、製造後の構成が固定的な従来技術に対して、拡張性やコスト面で有利であると考えられる。我々は ASPLA/STARC 90nm CMOS 技術を用いて MuCCRA-Cube を 2.5mm × 5mm のダイ上に実装し、3次元積層の実現可能性と 3次元化による性能向上の可能性を示した。

キーワード 動的リコンフィギュラブルプロセッサ, 3次元 IC, 誘導結合通信

Implementation of 3-D Dynamically Reconfigurable Device using Inter-Chip Wireless Communication

Shotaro SAITO[†], Yasufumi SUGIMORI[†], Yoshinori KOHAMA[†], Tadahiro KURODA[†], Yohei
HASEGAWA[†], and Hideharu AMANO[†]

[†] Department of Information and Computer Science, Keio University
3-14-1, Hiyoshi, Kohoku-ku, Yokohama, 223-8522 Japan
E-mail: †muccra@am.ics.keio.ac.jp

Abstract This paper describes the physical design and evaluation of 3-D dynamically reconfigurable processor MuCCRA-Cube which consists of stacked MuCCRA chips. Each MuCCRA chip (plane) is architecturally identical, and it has a single array of reconfigurable Processing Elements (PEs) and data memory elements. Each plane can switch the PE-array structure based on the multicontext-style dynamic reconfiguration. For an inter-chip connection, a wireless communication technique based on the inductive coupling communication is provided. This is the profitable technique for developing cost-efficient and scalable multi-core architectures because several chips can be stacked after the chip fabrication with relatively low costs. We have developed a prototype chip of MuCCRA-Cube with ASPLA/STARC 90nm CMOS technology. Evaluation result shows that the feasibility of the 3-D stacked MuCCRA-Cube and the potential of the performance improvement.

Key words Dynamically Reconfigurable Processor, 3D-IC, Inductive Coupling Communication

1. はじめに

近年、モバイル機器を対象とした組込みハードウェアの開発において、設計期間の長期化、コスト増大が大きな問題となっている。この問題を解決するデバイスとして、動的リコンフィギュ

ラブルデバイス [1] が注目を集めている。動的リコンフィギュラブルデバイスは、実行時に動的に回路構成を切り替えることができ、アプリケーション専用ハードウェアの高速度を持つ一方で、ソフトウェアの柔軟性を兼ね備える。これにより、設計期間の短縮、開発コスト削減が期待される。

一般的に、動的リコンフィギャラブルデバイスは、アレイ状に配置された再構成可能な Processing Element (PE) および、データメモリなどから構成され、これらはプログラマブルなスイッチを介して相互接続される。最近、数多くのデバイスが実用化され、様々なアプリケーションによる評価の結果、動的リコンフィギャラブルデバイスは、巨大な1つのPEアレイを用いるよりも、小規模のアレイを複数個利用する方が効率が良いことが明らかになってきた。このため、最近のデバイスは複数アレイを数個接続するマルチコア型を採用している。マルチコア型を利用する場合、コア間の接続はチップ上のバスや NoC (Network on a Chip) を利用する場合が多い。しかし、この方法は一度チップを作ったらコア数が固定されてしまい、拡張性がない。複数チップを利用する方法は、I/O ピンを介して入出力を行うために、バンド幅が制約される上に、消費電力が高い。半導体のダイ間を直接接続する SiP (System in a Package) 技術は、このような場合有望であるが、コストが大きく、接続できる数に制限がある。

そこで、我々は近年急速に実用化に近づいている、チップ間の無線通信に着目した。この技術は、製造したダイ間をワイヤレスに接続することが可能で、放熱が問題にならない限り、多数のダイを重ねて、スケールアップすることが可能である。理想的には、要求に応じた PE 数を、通信ボトルネックなしに接続することが可能になる。しかし、有線・無線のチップ間接続を含めて、3次元構造の動的リコンフィギャラブルデバイスはこれまでに提案されておらず、3次元化に伴う面積オーバーヘッド、消費電力、性能に関する網羅的な解析も行われていない。

我々は、動的リコンフィギャラブルデバイス MuCCRA を開発し、実チップレベルでの研究を行っている。文献[2]では、この MuCCRA のアーキテクチャをベースに、インダクタの誘導結合によるチップ間無線通信を用いて、スケラブルな動的リコンフィギャラブルシステム MuCCRA-Cube を提案した。MuCCRA-Cube は同じアーキテクチャのチップを複数積層した3次元構造のデバイスである。本稿では、この MuCCRA-Cube の仕様を具体的に定め、ASPLA/STARC 90 nm CMOS プロセスで $2.5\text{mm} \times 5.0\text{mm}$ のチップに実装を行い、その面積、性能、消費電力について具体的に検討を行う。

2. 関連研究

半導体技術の進歩により、単一チップ上により大規模な回路を実装できるようになった。その一方、半導体技術の微細化に伴い、配線遅延や消費電力の増加がますます深刻化している。

そこで近年注目を浴びている技術が、3次元 IC である。3次元 IC は複数枚のウエハまたはダイを垂直方向に重ねあわせることで実現される。3次元化により個々のチップの面積を小さく抑えることで、配線長を削減することができる。その結果、配線における遅延や消費電力を削減することができる。

この3次元 IC の技術を利用して、FPGA の3次元化を行った例がこれまでにいくつか報告されている。[3]では、ロジック部・内部接続部・メモリ部に3分割して積層した3D-FPGA、[4]では、3次元ルーティングスイッチを用いたアーキテクチャの

3D-FPGA が提案されている。いずれにおいても、3次元化により配線長や配線における遅延・消費電力を削減できることが示されている。また、プログラマブル内部接続によるオーバーヘッドが大きい FPGA のようなアーキテクチャに対しては、3次元化が特に有効であるという議論もなされている。

2.1 チップ間接続技術

積層したダイ間あるいはウエハ間を接続する方法として、これまでにいくつかの技術が提案されている。接続方式は大きく分けて有線方式と無線方式に分類することができる。有線方式には、最も一般的な知られているダイ同士をワイヤボンディングで結合する方式、ダイ上に形成したマイクロバンプという金属突起を利用して結合する方式 [5]、ウエハ同士を貫通ビアで結合する方式 [6] がある。また、無線方式にはコンデンサの容量結合を利用する方式 [7]、インダクタの誘導結合を利用する方式 [8] がある。

なかでも無線方式は、チャンネルを形成する極板やインダクタを通常の製造プロセスで形成することができるので、低コストで実装が可能である。また、チャンネルの形成には半導体の製造プロセスの加工精度を利用できるので、加工精度の問題も発生しない。さらに、チップのテストは非接触でテストでき、着脱も可能なので、歩留まりを最小限に抑えることができる。

また、容量結合による方式と誘導結合による方式を比較すると、誘導結合方式のほうが複数チップの積層が可能であるという点で優れている。そのため、今回の実装でも誘導結合によるチップ間無線通信を利用している。

2.2 誘導結合によるチップ間無線通信

誘導結合によるチップ間無線通信は、図1に示すように、チップのメタル配線でインダクタンスを形成し、インダクタ間の誘導結合を利用してチップ間の通信を行う技術である [8]。

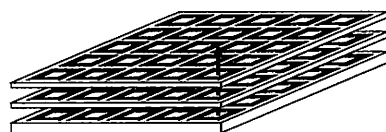


図1 誘導結合によるチップ間無線通信

送信側のインダクタの電流を送信データに応じて変化させると、それに応じて受信側のインダクタに受信電圧が誘導される。この誘導電圧を受信器で検出して送信データを復元する。

磁界が届けば、複数のチップにもデータを送信することが可能である。通信距離を短くするほど、すなわちチップ厚を薄くするほど磁界が届きやすくなるため、インダクタを小型化でき、消費電力を小さくすることができる。

3. 3次元 SoC と MuCCRA

チップ間ワイヤレス技術の特長は、ダイの一部に対して、様々な小さなダイを比較的小さなコストで多数積み重ねていける点にある。最近の SoC (System-on-a Chip) は、CPU、動的リコンフィギャラブルプロセッサなどのアクセラレータを、要求性能に合わせてそれぞれ複数個搭載したマルチコア構成を取る場

合が多い。様々な用途に対して最適化するためには様々な構成が必要となるが、最近のプロセスのマスク代の高騰により多品種化を行う場合のコストが大きなものになってしまう。しかし、この技術を用いれば、小さなダイ上に CPU、あるいは動的リコンフィギュラブルプロセッサの PE アレイを実装し、ワイヤレス技術を用いて必要数積み重ねることで、さまざまな要求性能に対応することができる。標準化されたインダクタに対して種類の異なるアクセラレータのダイを用意すれば、機能自体を多様化することが可能である。図 2 にこのような部分 3 次元構造 SoC によるマルチコア化の概念を示す。このようなダイ間の接続は SiP(System-in-Package) 技術でも可能だが、ワイヤレス接続に比べて積み重ねるダイの数が制限され、コストも大きい。

今回実装した MuCCRA-Cube は、このようなダイレベルでコンフィギュラブルな SoC への第一歩と考えることができる。積み重ねる PE アレイとして、本来マルチコアでの実装を目標としている MuCCRA [9] を利用した。以下、MuCCRA の PE アレイアーキテクチャを紹介する。

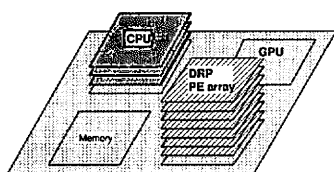


図 2 部分 3 次元構造によるマルチコア化

3.1 シングルコア MuCCRA のアーキテクチャ

3.1.1 PE アレイの構成

シングルコア MuCCRA は、図 3 に示すように 4×4 の 24bit PE アレイと、アレイの下端のデータメモリから構成される。

PE 間の接続は、FPGA 同様のアイランドスタイル、すなわち、配線領域間に Switching Element (SE) を設けて縦横のネットワークを構成し、インターコネクトモジュールによって、PE の入出力を接続する。結合網は双方向それぞれ 2 系列 (d0, d1) から構成される。SE およびインターコネクトは、FPGA 同様、構成情報によってスタティックに接続が決まる。MuCCRA はマルチコンテキスト型の動的リコンフィギュラブルプロセッサであり、コンテキストと呼ぶ PE アレイ上で実現される回路構成情報をメモリに複数保持する。必要なコンテキストを 1 クロックという短い時間で切り替えながら読み出すことにより処理を行う。それぞれのコンテキストの最大遅延時間は PE 間の接続経路に影響を受ける。

コンテキスト数は 32 であり、コンフィギュレーションデータメモリ上に 256 コンフィギュレーションセット分のコンフィギュレーションデータが格納され、RoMultiC [10] によって各 PE、SE のコンテキストメモリにマルチキャストされる。

3.1.2 PE の構成

各 PE は演算を行う PE コア、構成情報を保持するコンテキストメモリ、PE と結合網とのデータのやりとりを行うコネクションブロックから構成される。各 PE のコンテキストメモリは最大で 32 コンテキスト分の構成情報を保持することが可能

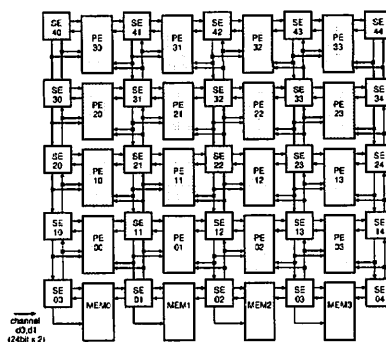


図 3 PE アレイの構成

である。

PE コアは、図 4 に示すように、加減算・比較・論理演算を行う Arithmetic and Logic Unit (ALU)、シフト・マスク・定数値供給を行う Shift and Mask Unit (SMU)、レジスタファイル (RFile) から構成される。演算粒度は 24bit である。また、レジスタファイルは 8 個のレジスタを持つ 2 ポート構成で、A ポートは読み書き、B ポートは読出し専用となっている。

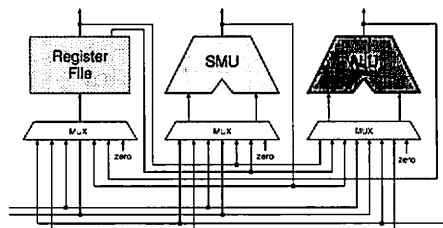


図 4 PE コアの構成

3.1.3 SE の構成

Switching Element (SE) は、各方向からの入力をマルチプレクサで選択して出力するスイッチ (SW) とコンテキストメモリから構成される。各 SE のコンテキストメモリは、PE 同様に最大で 64 コンテキスト分の構成情報を保持することが可能である。マルチプレクサの出力は、SE の構成情報により決定する。South, East, West からの入力はそのままだ出力されるが、North からの入力では East, West へ出力される場合には、内部のレジスタに格納され、次のクロックで出力される。これは、結合網中で組合せ回路のループ構造が発生するのを防ぐためである。

3.1.4 構成情報の転送

MuCCRA は各 PE、SE に小規模のコンテキストメモリを分散して持つ。さらにチップ上には、コンフィギュレーションデータメモリを持ち、立ち上げ時にチップ外部よりこのメモリに対して、全ての PE、SE で利用するコンフィギュレーションデータを転送する。タスクの実行開始後は必要に応じてこのメモリから各 PE、SE のコンテキストメモリにコンフィギュレーションデータを転送する。コンフィギュレーションデータの転送および制御は、Task Configuration Controller (TCC) により行われる。

3.2 コンテキスト制御

MuCCRA のコンテキストの切り替え制御は、単純なカウンタベースの Context Switching Controller (CSC) によって行われる。PE, SE などのモジュールは CSC が生成するコンテキストポインタに従って、自身のコンテキストメモリからコンフィギュレーションデータを読み出してコンテキストを切り替える。

4. MuCCRA-Cube

本節では、シングルコアの MuCCRA チップを複数枚積層した、3次元構造の動的リコンフィギュラブルデバイス MuCCRA-Cube について、その概要と本稿で実装した MuCCRA-Cube の設計、実装方法を説明する。

4.1 MuCCRA-Cube の概要

MuCCRA-Cube は図 5 に示すように、シングルコアから構成される MuCCRA チップ（プレーン）を多段積層した、3次元構造のデバイスである。MuCCRA-Cube では、チップ上に形成したインダクタの誘導結合による無線通信を利用してチップ間の通信を行う。この方式を採用したのは、複数チップの積層が可能であり、既存のプロセスで製造が可能であるなど、他の方式と比較して有利な点が多いからである。

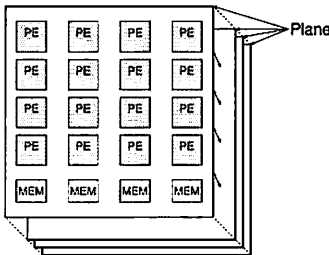


図 5 MuCCRA-Cube の概観

これまで提案されている 3次元構造のアーキテクチャ ([3], [4]) とは異なり、MuCCRA-Cube は同一のチップを積層するので、積層数を容易に変更することができる点の特徴である。そのため、一般にアレイの規模を大きくした際に問題となる配線長および配線遅延の増大を緩和しつつも、規模の拡張が可能であり、非常にスケラビリティが高い。また、3次元構造化によりマルチコア構成を実現でき、並列処理による高速化が期待できる。

4.2 MuCCRA-Cube の設計

本研究では、3.1 節で説明したシングルコアの MuCCRA をベースアーキテクチャとして 3次元構造化する。MuCCRA-Cube の設計には Verilog-HDL を用い、シノプシス社の Design Compiler 2006.06.SP2 を用いて論理合成を行った。

4.2.1 設計の概要

図 6 に本研究で設計した MuCCRA-Cube の概観を示す。今回の設計ではプレーンの積層数を 4 枚としている。ただし、同じプレーンを積層するので、積層数は柔軟に変更可能である。また、図 6 に示すように、プレーンの向きを上下反転して積層

する。

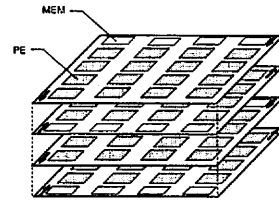


図 6 プレーンの積層

MuCCRA は下端にデータメモリがあり、基本的には下から上に向かってデータが流れる。処理したデータをメモリに書き戻すには、上端の PE から下端の MEM までデータを移動する必要がある。MuCCRA ではこの操作を繰り返すことにより、データの処理を行う (図 7(a))。メモリへの書き戻しのパスは演算処理を含まない単なるデータ移動であるので、冗長であるばかりでなく、チャンネルの利用効率の低下も招く。プレーンを反転して積層することにより、この冗長なパスを削減することができるため、より効率よくデータを処理することが可能となる (図 7(b))。

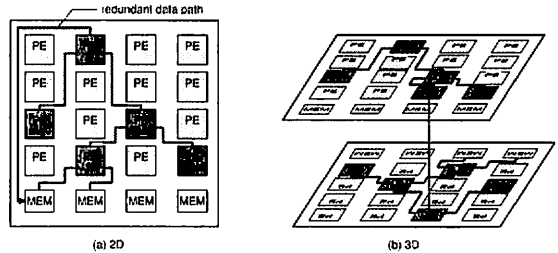


図 7 積層によるデータパス削減

また、各 PE がそれぞれデータを 3次元転送するためのチャンネル（インダクタ）を持ち、隣接する上下プレーンの同一位置にある PE と単方向接続される。転送方向は、アレイの半分が上方向、もう半分が下方向となっており、データがプレーン間を行き来することもできる。

4.2.2 PE 間の接続

各 PE 間は上下どちらか一方のプレーンの PE に単方向接続される。チャンネル幅は、データ用の 24bit とキャリービット用の 2bit の合わせて 26bit である。図 8 に示すように、PE コアの ALU, SMU, レジスタファイルからの出力がマルチプレクサに入力され、3次元転送するデータを選択することができる。また、上あるいは下のプレーンから受信したデータは PE 内の ALU, SMU, レジスタファイルの各入力セクタに接続される。

4.2.3 コンフィギュレーション

MuCCRA-Cube ではコンフィギュレーションを各プレーンごとに行う。すなわち、各プレーン毎にコンフィギュレーションデータを用意し、それをチップの外部より、各プレーンにあるコンフィギュレーションデータメモリに転送する。そして、必要に応じて各プレーンの TCC により PE, SE のコンテキストメモリにマルチキャストする。

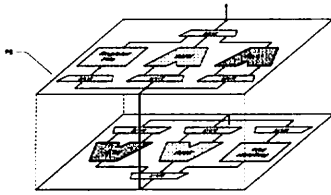


図 8 3次元方向のPE間接続

4.2.4 アプリケーションの実装方式とプレーン間のコンテキスト同期

MuCCRA-Cubeにおけるアプリケーションの実装方式は、コンテキストレベル実装またはタスクレベル実装の2通りの方式をとることができる。

コンテキストレベル実装とは、全てのプレーンを同一のコンテキストポインタで制御し、3次元構造全体で1つのタスク処理を行う方法である。この方法は、1コンテキスト当たり利用できるPE数が増えるので、PEアレイのスケールを拡張することに相当する。単に2次元にPEアレイのサイズを拡張した場合には、面積が大きくなり、配線長も増加するので、配線遅延による性能低下が懸念される。一方、MuCCRA-Cubeでは、プレーン間の接続に制約はあるものの、配線遅延は変わらないという点で有利である。コンテキストレベル実装は、処理の実行を開始するために外部から入力する信号を全てのプレーンで同期し、全てのプレーンが同時に実行開始することにより実現する。

タスクレベル実装とは、それぞれのプレーンが独立してタスク処理を行う方法である。この方法はパイプライン処理に有効であると考えられる。マルチコア動的リコンフィギュラブルシステムによるパイプライン処理では、一般的に、分散メモリへの格納、First In First Out(FIFO)を介した転送を必要とするため、オーバーヘッドが大きく、消費電力もかかる。しかし、3次元方向のデータ転送により、分散メモリへの格納、FIFOを用いるオーバーヘッドを削減できると考えられる。タスクレベル実装におけるプレーン間のデータのやりとりは、ハンドシェイク方式により実現する。すなわち、あるコンテキストにおいて隣接プレーンにデータを送信する際にはまずリクエスト信号を出し、受信側のプレーンが受信コンテキストに遷移して受信可能であるという信号を受け取るまで、コンテキストを遷移せずに待機する。送信側は受信可能信号を受け取ったらデータを送信して次のコンテキストに遷移し、受信側はデータを受信したら次のコンテキストに遷移する。

4.3 MuCCRA-Cubeの実装

MuCCRA-Cubeのプレーンとなる試作チップを実装した。試作チップのサイズは $2.5\text{mm} \times 5.0\text{mm}$ であり、ASPLA/STARCの90nm CMOSプロセスを用いて実装した。設計にはVerilog-HDLを用い、VDECでサポートされるシノプシス社のDesign Compiler 2006.06-SP2を用いて論理合成を行った。また、レイアウト、フロアプラン、配置配線には、同じくシノプシス社のAstro 2007.03-SP3を用いた。

4.4 アプリケーションの開発環境

アプリケーションの開発は、C言語ライクの独自のプログラミング言語を使用して行う。記述されソースコードはMuCCRA向けに独自に開発したコンパイラBlack Diamondを使用してコンパイルする。Black Diamondはソースコードを元にPEアレイに回路をマッピング・ルーティングし、MuCCRAのVerilog-HDLシミュレーションモデルで読み込むコンフィギュレーションデータファイルを生成する。この際に、構成情報のマルチキャストが効率良く行われるように、転送の順番と転送先のスケジューリングが行われる。

現段階では、MuCCRA-Cubeにおけるアプリケーションの記述はプレーン毎に行い、それぞれコンパイルする必要がある。生成された各プレーンのコンフィギュレーションデータファイルは、Verilog-HDLシミュレーションモデルに読み込む。現在はRTLでのシミュレーションが可能であり、プレーン間はチップ間無線通信インタフェースのVerilogモデルにより接続される。

5. 評価

本節では、実装したMuCCRA-Cubeの面積の評価を行い、3次元化に伴う面積オーバーヘッドの解析を行う。また、MuCCRA-Cubeの1プレーン上にアプリケーションを実装し、MuCCRA-Cubeの性能および消費電力の評価を行う。

5.1 面積オーバーヘッド

MuCCRA-Cubeのプレーンは3次元構造化に伴い、通常のシングルコアMuCCRAと比較して以下の面積オーバーヘッドがある。

- 1) ロジック拡張に伴う面積オーバーヘッド
- 2) コンフィギュレーションデータのビット幅拡張に伴うメモリセルの面積オーバーヘッド
- 3) インダクタおよび送受信器の面積オーバーヘッド

このうち、1)と2)の面積オーバーヘッドは数%程度であり、3)の面積オーバーヘッドと比較すると十分に小さいことが分かっている[2]。

今回の試作チップでは、 $1874.88\mu\text{m} \times 3900.96\mu\text{m}$ のサイズのコアエリアに、PE、SE、TCC、CSCといったモジュールとインダクタ、送受信器が実装されている。レイアウト面積の内訳を表1に示す。インダクタは、直径 $100\mu\text{m}$ のものを16個、 $300\mu\text{m}$ のものを2個使用しており、その面積はコアエリアの約4.6%を占めている。ただし、インダクタの直径は積層チップ間の距離に依存し、チップ間の距離が近いほど小さくすることが可能である。今回は第1回目の試作であるため、インダクタ径を比較的大きめに設定したが、文献[8]では直径 $30\mu\text{m}$ のインダクタでのチップ間通信を実現しており、インダクタによる面積オーバーヘッドは改善することが可能であると考えられる。

5.2 アプリケーションによる評価

次に、MuCCRA-Cubeへの実アプリケーションの実装と性能および消費電力の評価結果を示す。なお、ここで示す結果は、MuCCRA-Cubeの1プレーンに対して実装したアプリケーションの評価から得られたものである。

実装したアプリケーションは、JPEGエンコーダで用いら

表1 レイアウト面積の内訳

	インダクタ	送受信回路	メモリセル	ロジック	その他
レイアウト面積 [mm ²]	0.34	0.74	0.99	1.00	4.24
コアエリアとの面積比 [%]	4.65	10.12	13.54	13.68	58.01

表2 DCTによる評価結果

ブロックサイズ [bit]	1024
コンテキスト数	29
コンフィギュレーションデータ数	310
実行クロック数	195
最大遅延 [nsec]	22
動作周波数 [MHz]	45.4
実行時間 [μ s]	4.29
消費電力 [mW]	34.29

れる離散コサイン変換 (DCT) である。DCT は 8×8 画素の RGB データ (ブロック) をデータメモリ (MEM) から次々に読み出し、主に積和・積差演算を繰り返して行う。

実装したアプリケーションのコンフィギュレーションデータと、配置配線後のネットリストを用いてシミュレーションを行った。性能および消費電力の評価結果を表2にまとめた。実行クロック数は、アプリケーションの演算に要する実行サイクル数であり、コンテキスト配送、データの入出力に要するサイクル数は含めていない。

また、消費電力の評価は、配置配線後ネットリストを用いたシミュレーションによりネットのスイッチング確率を抽出し、シノプシスの PowerCompiler を使用して行った。ただし、無線通信の送受信器の消費電力は含まれていない。なお、表2に示す結果は、最大動作周波数 (45MHz) で動作させた場合のものである。

評価結果より、DCT を実装した場合には 45MHz 程度で動作可能であることがわかる。また、消費電力は 34.29 mW と低い消費電力で動作可能であることが分かる。一方で、送受信器の消費電力はシミュレーションによる概算値ではプレーン当たり 63mW であり、データの3次元転送による電力オーバーヘッドが高いことが分かった。しかし、転送を行わない時は送信器をストップする機構を実装しているため、実際にはこの値よりも小さくなると考えられる。また、送受信器の電力はチップ間距離やインダクタ直径にも依存するので、今後改善することができると思われる。

プレーンを積層した場合には、積層数倍近くの性能向上が期待できる。また、アプリケーションを分割して複数のプレーンに実装することにより、プレーン当たりのコンテキスト数、コンフィギュレーションデータ数を削減することができる。各プレーンのコンフィギュレーションは並列して行うことができるので、これにより MuCCRA の問題点の一つである再構成時間を削減することが可能となる。

6. おわりに

本稿では、我々が独自に開発を行っている動的リコンフィギュラブルデバイス MuCCRA を利用した3次元構造の動的リコンフィギュラブルデバイスの設計と実装について述べた。MuCCRA-Cube は、ASPLA/STARC 90nm CMOS プロセスを用いて実装した。MuCCRA-Cube は MuCCRA チップを複数積層し、チップ上に形成したインダクタの誘導結合による無線通信でチップ間接続した構造を持つ。MuCCRA-Cube は同じチップを積層して構成されるので、積層数を容易に変更することができ、スケーラビリティが非常に高いという特徴がある。

実装の結果と配置配線後のネットリストを用いたシミュレーションにより、3次元化に伴う面積オーバーヘッドやアプリケーションの実行速度が明らかになった。3次元化に伴うプレーン当たりの面積オーバーヘッドがあるため、1プレーンでは配線遅延・動作周波数が低下するが、積層数を増やすことによりトータルとして性能向上が期待できる。

今後は、3次元構造に有効なアプリケーションの模索、送受信器を含めた消費電力の詳細な解析、より最適なプレーンアーキテクチャの検討を行っていく予定である。

謝 辞

本研究は東京大学大規模集積システム設計教育研究センターを通して、ローム (株)・凸版印刷 (株)・シノプシス株式会社・日本ケイデンス株式会社・メンター株式会社との協力で行われたものである。

文 献

- [1] 末吉, 天野 (編): “リコンフィギュラブルシステム”, オーム社 (2005).
- [2] 斉藤, 長谷川, 天野他: “チップ間無線通信を用いた3次元動的リコンフィギュラブルプロセッサ MuCCRA-Cube の提案”, 電子情報通信学会 リコンフィギュラブルシステム研究会, pp. 25-30 (2007).
- [3] M. Lin, et al.: “Performance Benefits of Monolithically Stacked 3-D FPGA”, Proc. of ACM/SIGDA 14th international symposium on FPGA, pp. 113-122 (2006).
- [4] A. Rahman, et al.: “Wiring Requirement and Three-Dimensional Integration of Field-Programmable Gate Arrays”, Proc. of the 2001 international workshop on System-level interconnect prediction, pp. 107-113 (2001).
- [5] B. Black, et al.: “3D Processing Technology and Its Impact on iA32 Microprocessors”, IEEE International Conference On Computer Design, pp. 316-318 (2004).
- [6] J. Burns, et al.: “Three-Dimensional Integrated Circuits for Low-Power, High-Bandwidth Systems on a Chip”, IEEE International Solid-State Circuits Conference, pp. 268-269 (2001).
- [7] K. Kanda, et al.: “1.27Gb/s/pin 3mW/pin Wireless Superconnect (WSC) Interface Scheme”, IEEE International Solid-State Circuits Conference, pp. 186-187 (2003).
- [8] N. Miura, et al.: “A 1Tb/s 3W Inductive-Coupling Transceiver for Inter-Chip Clock and Data Link”, IEEE International Solid-State Circuits Conference, pp. 424-425 (2006).
- [9] 長谷川, 堤, 中村, 西村, 佐野, 加東, 斉藤, 天野: “動的リコンフィギュラブルプロセッサ MuCCRA-1 の実装と評価”, SACSIS, pp. 95-102 (2007).
- [10] V. Tunbunheng, M. Suzuki and H. Amano: “RoMultiC: Fast and Simple Configuration Data Multicasting Scheme for Coarse Grain Reconfigurable Devices”, Proc. of IEEE Int'l Conf. on Field Programmable Technology (FPT), pp. 129-136 (2005).