

ランタイムパワーゲーティングを適用した MIPS R3000 プロセッサの実装設計と評価

白井 利明[†] 香嶋 俊裕[†] 武田 清大[†] 中田 光貴[†] 宇佐美 公良[†]
長谷川 揚平[‡] 関 直臣[‡] 天野 英晴[‡]

[†]芝浦工業大学 〒135-8548 東京都江東区豊洲 3-7-5

[‡]慶応義塾大学 〒223-8522 神奈川県横浜市港北区日吉 3-14-1

E-mail: † { m107036, m106029, m106066, m107064, usami } @shibaura-it.ac.jp

‡ { hasegawa, seki, hunga } @am.ics.keio.ac.jp

あらまし 時間的、空間的に細かい粒度で電源遮断を行い、回路のリーク電力を低減するランタイムパワーゲーティング (RTPG) がある。4つの演算器 (ALU, SHIFT, MULT, DIV) と例外処理コプロセッサに RTPG を適用した MIPS R3000 プロセッサの実装設計を ASPLA90nm プロセスにて行った。また、シミュレーション解析による各種性能を評価した。各ユニットの電力低減効果の損益分岐点は高温時で 2~32 クロックサイクルとなった。RTPG 適用による ALU の遅延時間の増大は 1.16~1.42 倍であった。各ユニットのウェイクアップ時間は 5ns 以内であった。

キーワード MTCMOS 回路、パワーゲーティング、リーク電力、消費電力

Physical design and Evaluation of MIPS R3000 processor applying Run Time Power Gating

Toshiaki SHIRAI[†] Toshihiro KASHIMA[†] Seidai TAKEDA[†] Mitsutaka NAKATA[†]
Kimiyoshi USAMI[†] Yohei HASEGAWA[‡] Naomi SEKI[‡] Hideharu AMANO[‡]

[†] Department of Information Science and Engineering, Shibaura Institute of Technology

[‡] Department of Information and Computer Science, Keio University

Abstract Run Time Power Gating (RTPG) is a technology that reduces leakage power in a temporally/spatially fine-grained manner. This paper describes a physical design to apply RTPG to ALU, SHIFT, MULT, DIV, exception handling Coprocessor in a MIPS R3000 processor. Simulation results show that break even point to gain in power savings is 2-32 clock cycles at high temperature in 90nm technology. Delay time of ALU is increased by 16-42% by applying RTPG. Wakeup times of power-gated units are 5ns or less.

Keyword MTCMOS circuits, Power Gating, Leakage Power, Power Dissipation

1. はじめに

MOS トランジスタの製造プロセスの微細化技術が牽引する形で、現在の LSI は高性能・多機能化を実現してきた。従来の LSI の低消費電力化において、考慮すべき第一の成分はダイナミック電力であり、これをいかに抑止するかが鍵であった。しかし、トランジスタの著しい微細化により、近年リーク電力の増大も無視できない状況にあり、低消費電力化の第二の成分として考慮に加えざるを得なくなっている。

リーク電力の成分であるサブスレッショルドリー

ク電力は「トランジスタの閾値電圧」と「温度」に依存して指数関数的に増減する。現在のリーク電力低減技術は閾値電圧を利用したものが主流である。

閾値電圧に差がある 2 種類のトランジスタによって実現されるパワーゲーティング技術 (電源遮断技術, Power Gating, 以下 PG) は、MTCMOS (Multi Threshold CMOS) と呼ばれ、待機時のリーク電力が抑止できる技術である。待機時とは回路が使用されていない期間であり、再び回路が使用されるまでの期間、電源遮断を行いリーク電力の低減をするものである。

PGを適用した従来回路の制御時間はマイクロ秒単位であった[1]。我々は、さらなる低電力化へのステップとして、時間的に粒度の細かい数ナノ秒オーダーでの電源遮断・リーク電力低減化を目指すランタイムパワーゲーティング(Run Time Power Gating, 以下RTPG)を提案してきた[2][3]。

従来のPG適用範囲は回路の機能マクロ(例:CPU, 信号処理回路, 通信回路)ごとに行うのが主であったが、RTPGではPGの適用領域にも細粒度に絞って、電源遮断の機会を増やしている事が特徴としてあげられる。例えば大久保らの研究[2]ではCPU内のALUモジュールに、武田らの研究[3]では乗算器内部の上位bit演算回路部に、それぞれRTPGを適用している。

本研究ではMIPS R3000プロセッサの4つの演算器(ALU, SHIFT, MULT, DIV)と例外処理コプロセッサ(CP0)の合計5つの回路にRTPGを適用した。また、RTPG適用部分の制御回路の設計を行った。

本研究は、科学技術振興機構(JST)の戦略的創造研究推進事業(CRESTタイプ)による東大・慶応・農工大・芝浦工大の共同研究[4]の一環で行った。本稿では研究成果のうち、実装設計とトランジスタレベルシミュレーションでの性能評価について詳細に述べる。

2. パワーゲーティングについて

今回、PG技術を適用する中で、最もオーソドックスな footer 型 MTCMOS 回路を採用した。低閾値トランジスタで構成された論理回路と GND 線との間にパワースイッチ(Power Switch, 以下PS)と呼ばれる高閾値 nMOS トランジスタを挿入して実現する。PS の ON・OFF を制御する事で通常の論理回路動作(アクティブ)と待機時のリーク電力低減(スリープ)を実現する。論理回路と PS を繋ぐ配線は仮想 GND 線(Virtual Ground Line, 以下 VGND 線)と呼ばれる。

MTCMOS 回路の設計で難しい点は2つある。1つはアクティブ時の回路速度の劣化である。論理回路の放電電流量に対して VGND 線の配線抵抗と PS のオン抵抗が大きい場合、一時的に VGND 線電圧が GND 線電圧よりも上昇する。論理回路内の nMOS から見ればソース電位が上昇したことになり、トランジスタのスイッチング速度の低下に繋がる。

PS 分の面積オーバーヘッドを考慮すると、1つの PS を複数の論理回路で共有接続するのが望ましい。しかし、論理回路の入力ベクターによっては同時刻に放電が発生し VGND 線電圧が上昇する場合がある(図1)。PS のトランジスタ幅を十分大きくしてオン抵抗を小さくするか、同時放電が起こりやすい論理回路は PS を共有しない事が望ましい。

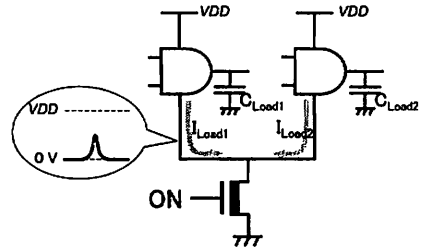


図1 放電電流の重なりによる VGND 線電圧の上昇

MTCMOS 回路設計の2つ目の難しさは、スリープ開始直後からリーク電力が低減化しないことである。VDD 線からのリーク電流が PS 部でカット出来ていても、VGND 線と論理ゲート間配線の寄生容量にリーク電流によって VDD 電圧付近まで電荷が充電される現象が発生するからである(図2)。この為、スリープ開始直後は真にリーク電力が低減化できていないとは言えない。この特性は時間的に細かい粒度でスリープ制御を行う RTPG において最も重要な点である。

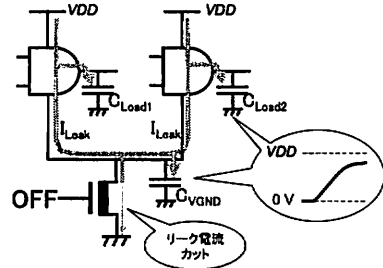


図2 スリープ時の内部配線の電圧上昇

MTCMOS 回路ではスリープ中に出力配線が中間電圧になる為、そのまま PG 非適用回路やアクティブ状態の PG 回路の入力配線に接続すると、貫通電流が発生する可能性がある。そこでホルダーセルやアイソレーションセル(図3)といった回路を貫通電流が発生する配線に挿入する必要がある。アイソレーションセルには幾つか種類があるが、今回はアクティブ時にはバッファとして動作し、スリープ時には'0'を出力させるものを採用した。

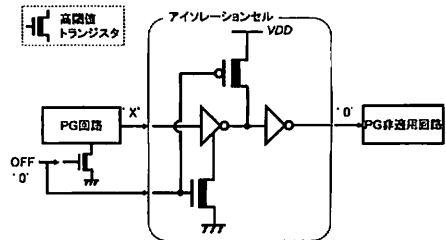


図3 スリープ時のアイソレーションセルの動作

PS やアイソレーションセルの ON・OFF に必要なダイナミック電力はスリープ/アクティブ切り替えに伴う電力オーバーヘッドとなる。PS の駆動ドライバを挿入する場合は、この駆動電力もオーバーヘッドになる。

PG 回路がスリープ状態からアクティブ状態へ復帰する場合、VGND 線と論理ゲート間配線に溜まった電荷を放電する必要がある。これにかかる時間はウェイクアップ時間と呼ばれ、回路速度のオーバーヘッドとなる。ウェイクアップする際に、データバス配線に溜まった電荷によりグリッジが発生し、これによる消費電力も電力オーバーヘッドとなる。

RTPG では PG に比べて PS の ON・OFF が頻繁に起こる為、電力オーバーヘッドを極力小さくすることが強く求められる。ウェイクアップ時間は数 ns のオーダーであることが求められる。

3. RTPG 適用回路のレイアウト実装設計

実装設計には STARC 提供 ASPLA90nm プロセス (VDD 1V, 6 層 Cu 配線) を用いた。京都大学の ASPLA 社デジタル LSI 設計ライブラリを参考にチップ試作を前提に設計した。

3.1. パワーゲーティング用スタンダードセルの開発

今回 RTPG 回路の設計にはマクロ内で論理セルと PS セルを混在させ、一般配線にて VGND 線を接続する形を取った。その為、STARC 提供のスタンダードセルライブラリを参考に、セル内に VGND 線と VGND 端子を追加した論理セル 52 種類、PS セル 4 種類を当研究室にて開発した。論理セルは、予め PG 化する回路を STARC 提供セルライブラリにて論理合成した結果から、使用頻度の高い論理セルを優先的に RTPG 用に開発した結果 52 種類となった。また、第 2 章で述べたアイソレーションセルを 2 種類開発した。スタンダードセルのレイアウトツールにはケイデンス社 Virtuoso を用いた。

3.2. RTPG 回路のレイアウト設計

RTPG 回路ごとに RTL から論理合成を行った。後の工程で、STARC セルから PG 用セルに置き換える必要があるため、合成の段階から 52 種類のセルのみを使用するように合成制約をかけた。STARC 提供のセルを全て使用することができる条件に比べて、セル面積のみで約 17% 増加という結果となった [6]。論理合成ツールにはシノプシス社 Design Compiler を、論理合成ライブラリは STARC 提供のものを用いた。なお RTL 設計段階から動作周波数 200MHz を想定して設計を行った。

論理合成から生成されたネットリストにアイソレーションセルを挿入した。その後、自動配置配線による仮レイアウトを行った。後工程で PS を挿入する領域を確保する為、今回の設計では Core Utilization を 0.5

と低めに設定した。自動配置配線ツールにはシノプシス社 Astro を用いた。仮レイアウト後、STARC セルから RTPG セルへの置き換えを自作ツールにて行った。

PS の挿入と最適化フローにシーケンスデザイン社の CoolPower を用いた [6]。同ツールはアクティブ時の VGND 線電圧の上昇に着目し、以下の PS 挿入と最適化を行う。

- ① PS のトランジスタ幅を広くする
- ② 同時放電を行うセルに対してそれぞれに別の PS を挿入し、VGND 線を分割する

アクティブ時の VGND 線の最大電圧は設計者がコントロールできるようになっている。今回の設計では VDD の 10% 未満になるように設定した (一時的な VGND 線の電圧が 0.1V 以下になるように最適化を行った)。回路外からの PS 制御信号が 1V に立ち上がったから 0.5ns 以内で PS のゲート電圧が 1V 立ち上がるように、パワースイッチ用駆動ドライバを挿入した。

PS 挿入後、再度 Astro によって配線を行い、RTPG 回路のマクロレイアウト設計は完了する。

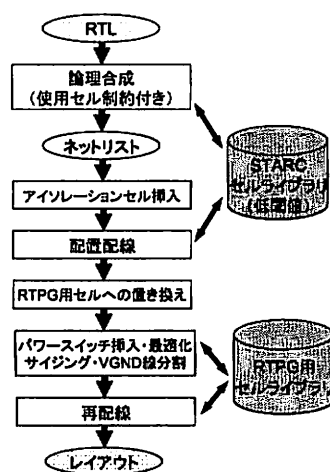


図 4 RTPG 回路設計フロー

4. RTPG 適用 R3000 とスリープ制御回路の概要

今回 RTPG を適用した演算器とコプロセッサ CP0 を使用した MIPS R3000 を設計した (図 5)。

MIPS R3000 は RSIC 型 32bit プロセッサであり、5 段パイプラインからなるシンプルな構造が特徴である。1 つの命令がメモリから読み出され (IF ステージ) 命令解読とレジスタ読み出し (ID ステージ) の後に 4 つ用意された演算器のいずれかを使用して演算を行う (EX ステージ)。実行される 1 命令で 4 つの演算器が使用されるのかそれぞれ自動検出し、使用されない演算器をスリープさせる設計にした (命令レベルでのスリープ制御)。実行するアプリケーションによっては 4 つの演算器が使用される頻度には偏りがある為、演算

器ごとに独立してアクティブ/スリープの制御を行う効果は高いと考えられる。

キャッシュミス時には 20 サイクルを超えるパイプラインストールとなる為、演算器は全てスリープさせる事にした（キャッシュミス時のスリープ制御）。

RTPG を適用するに当たり、実行する 1 命令が EX ステージでどの演算器を使用するのか事前に先読みし、解説結果から各演算器のアクティブ/スリープの動的な制御を行うスリープ制御回路を設計した。この回路をパイプライン中の IF ステージ内に追加した(図 6)。

命令が ID ステージで処理中に、EX ステージで使用される演算器がウェイクアップする。スリープ制御回路を IF ステージに設けたアーキテクチャ面からの工夫によりウェイクアップ時間の隠蔽が可能となった。

ALU は演算器の中でも使用される頻度が高い為、1 命令ごとにスリープさせているのは、低消費電力効果が現れるだけの十分なスリープ期間を得ることができない可能性は高い。そこで「ALU のみ、先読みによる命令レベルのスリープ制御は行わない」といった、回路設計後でも柔軟な制御の変更が行えるようスリープ制御回路を設計した。

なお、MULT は 3 サイクル、DIV は 12 サイクルのマルチサイクル処理を行っている。

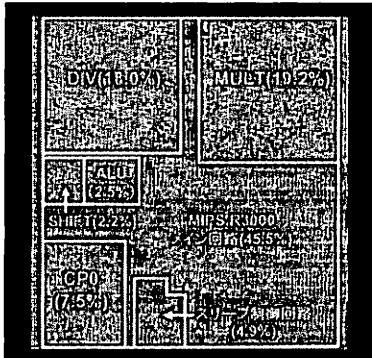


図 5 RTPG 適用 R3000 のレイアウト図と面積割合

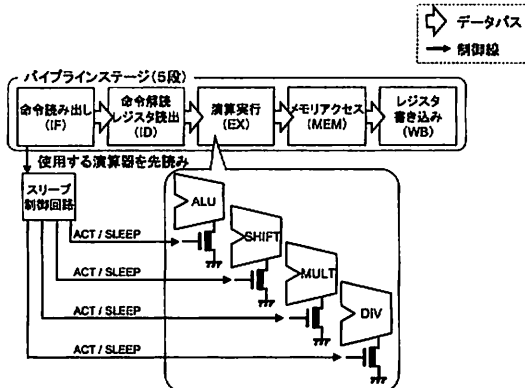


図 6 RTPG 適用 R3000 のアーキテクチャ概要

例外処理コプロセッサ CP0 は例外処理検出に同期してアクティブ/スリープの制御を行うように設計した(図 7)。OS が例外処理を行うまで通常は CP0 を使用せずにいる為、極めて長い期間スリープさせる事ができると予想される。しかし、例外処理は命令実行中に割り込んで実行されるので、CP0 は高速でウェイクアップできる必要がある。

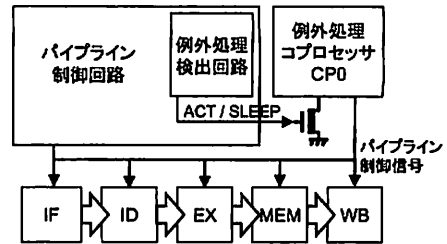


図 7 CP0 のスリープ制御構造

5. RTPG 回路の各種性能の評価

設計した RTPG 適用回路の低消費電力効果、回路動作速度、ウェイクアップ時間を評価するために、レイアウトデータを元にトランジスタレベルのシミュレーション解析を行った。回路設計の段階で 200MHz の動作周波数を想定しているので、シミュレーションにおいても 1 クロックサイクル = 5ns としている。電源電圧 1V、プロセスバラつきを典型値で解析している。レイアウトからの RC 抽出にメンター社 Calibre を、シミュレーション解析にはシノプシス社 HSIM を使用した。

5.1. 低消費電力効果

RTPG 適用回路の低消費電力効果を評価するため、非適用回路（低閾値トランジスタ構成 CMOS 回路、以下 Normal 回路）との比較を行った。スリープしてから一定時間経過ごとの消費電力値をシミュレーション解析から求めた。消費電力にはスリープ移行時とウェイクアップ時に消費されるパワースイッチ・パワースイッチドライバ・アイソレーションセルの切り替えによる電力、ウェイクアップ時のグリッジによる電力もオーバーヘッドとして含めた(図 8)。

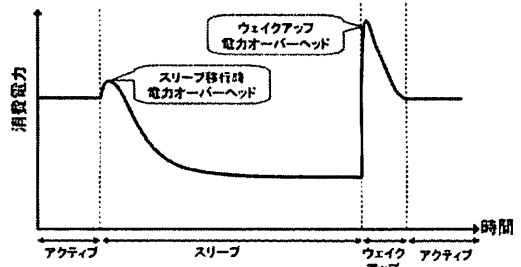


図 8 電力オーバーヘッド

横軸にスリープ期間、縦軸に低消費電力効果 (Normal 回路比) をグラフにした (図 9)。SHIFT と CPO は ALU と近い傾向にあったのでグラフは割愛した。

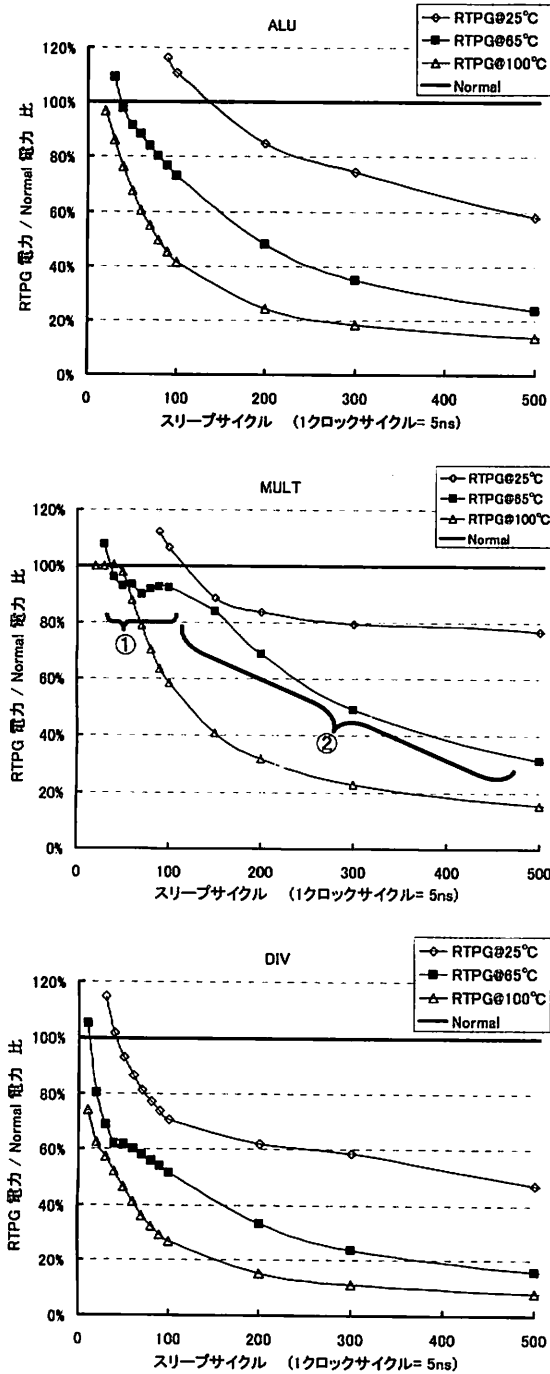


図 9 各ユニットの低消費電力効果 (Normal 回路比)

100°Cを超える高温状態かつ長時間スリープが可能であれば、各ユニットのリーク電力は10~30%に低減化ができる (Normal 回路のリーク電力 100%)。スリープ開始直後、RTPG 適用回路の消費電力が Normal 回路よりも上回る。これはリーク電力の低減効果よりも上記したオーバーヘッド電力の消費分が大きい為である。RTPG の低消費電力効果が初めて現れる損益分岐点を温度ごとにまとめた (表 1)。シミュレーションを行っていない領域は線形補完で補っている。温度が高いほどリーク電力低減効果は高く、早くにオーバーヘッド電力がペイできる事がわかる。使用頻度が高いと見られる ALU も、20 サイクル以上のスリープする機会があるキャッシュミス時のスリープ制御のみを行うならば、損益分岐点を越えたスリープ期間を得ることができると考えられる (高温時)。

表 1 消費電力低減効果の損益分岐点 (サイクル数) (VDD 1V, Process Typ)

	25°C	65°C	100°C	125°C
ALU	124	38	18	12
SHIFT	160	50	22	14
MULT	118	44	44	34
DIV	58	14	6	2
CPO	92	28	12	8

MULT はスリープしていても一定期間リーク電力が低減化せずに山なりの波形を示している領域がある (図 9 MULT 領域①@65°C)。その要因について詳細な解析をした結果、リーク電流によってセル間配線に大量の電荷が溜まり出し、ウェイクアップ時にグリッジが発生し始めるのが、この領域であることがわかった。その為、グリッジ発生による電力オーバーヘッドが増加することになる。領域②でもグリッジは発生するが、十分なスリープ期間がある為、電力増加分も隠蔽できるほどの低消費電力効果が得られる。グリッジによる電力オーバーヘッドの増大は今後 RTPG 回路の設計において考慮すべき重要な要素であることがわかった。

5.2. 回路速度評価

PG を適用することによって少なからず回路速度に劣化が生じる。ALU に幾つかのベクターを入力し、演算が終了するまでの遅延時間を解析した (表 2)。

遅延時間が増加する要因としては VGND 線の電圧の上昇によってトランジスタのスイッチングが遅くなる事の他に、PS 挿入領域確保の為にフロアプランの段階で Core Utilization を低めに設定しているの、セル間配線長が増している事が考えられる。今回は 200MHz の動作を目標としていたので、この遅延増加を許容した。実際には、Core Utilization を高く設定し

た RTPG 回路のレイアウト設計は出戻りが多く時間がかかるものの、セル間配線長の短縮は可能であり、遅延時間の増大をある程度抑えられると考えられる。

表 2 RTPG による ALU の遅延時間
(VDD 1V, Process Typ)

入力ベクター	遅延時間
FFFFFFFF + FFFFFFFF	0.652ns (1.32)
000000FF + 000000FF	0.837ns (1.16)
0000FFFF - 000000FF	0.972ns (1.39)
00000000 + 00000000	0.685ns (1.42)
FFFF0000 + FFFF0000	0.680ns (1.41)

(括弧内は Normal 回路の遅延時間との比)

5.3. ウェイクアップ時間評価

RTPG 適用回路のウェイクアップ時間を解析した。PS を ON してから、VGND 線に溜まった電荷が放電され電圧が 0V になるまでの時間をウェイクアップ時間として評価した。VGND 線の電圧が定常状態になる 1000 サイクルスリープさせた RTPG 回路をウェイクアップさせて解析した(表 3)。4 章で述べたように、今回の設計では 1 サイクル以内でのウェイクアップが求められていたが、それが実現可能である結果となった。

表 3 ウェイクアップ時間 (VDD 1V, Process Typ)

	25°C	65°C	100°C	125°C
ALU	1.69ns	1.71ns	1.73ns	1.74ns
SHIFT	1.09ns	1.10ns	1.10ns	1.11ns
MULT	4.68ns	4.75ns	4.80ns	4.83ns
DIV	2.69ns	2.72ns	2.74ns	2.76ns
CPO	1.14ns	1.16ns	1.17ns	1.18ns

6. プログラム実行時の低消費電力効果

RTPG 適用 MIPS R3000 にベンチマークプログラムを実行させた時の演算器それぞれのスリープ可能期間をシミュレーションによって解析し、4.1 章の各ユニットの低消費電力効果の結果と合わせて評価を行った。

今回、整数 100 個をクイックソートするプログラムを用意した。スリープ可能期間の解析にはケイデンス社 NC-Verilog と、当研究室で開発した RTPG 適用ネットリストのシミュレーション環境を用いた [7]。温度 25°C と 100°C の状態での評価の結果をグラフで示す(図 10)。RTPG 適用により R3000 全体で 51% にまで消費電力が低減できる事がわかった (100°C)。25°C の時はスリープ制御回路の消費電力により 6% の電力増加となった。クイックソートは MULT, DIV の使用頻度が極端に低い。今後、それらのユニットの使用頻度が高いプログラムで電力評価する予定である。

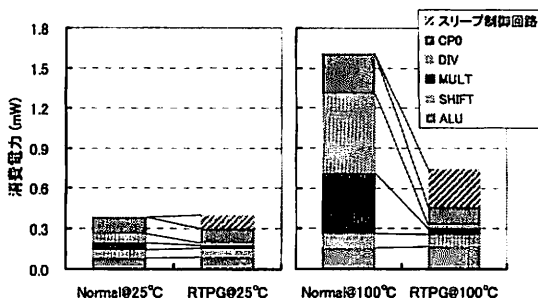


図 10 クイックソート実行時の R3000 全体の低消費電力効果の評価結果

7. むすび

ランタイムパワーゲーティングを演算器とコプロセッサに適用した MIPS R3000 を設計した。設計データからシミュレーションにより各種性能を解析した。

各ユニットの損益分岐点は高温時でも 2~32 サイクルとバラつきがあり、ウェイクアップ時のグリッジによる電力が関係していることがわかった。遅延時間の増大は ALU で 1.16~1.42 倍となった。ウェイクアップ時間は 5ns 以内で可能であることがわかった。

謝 辞

本研究は、科学技術推進機構 (JST) の戦略的創造研究推進事業 (CREST) における研究領域「情報システムの超低消費電力化を目指した技術革新と統合化技術」の研究課題「革新的電源制御による次世代超低消費電力高性能システム LSI の研究」によるものである。

本研究は東京大学大規模集積システム設計教育研究センターを通し、株式会社半導体理工学研究センター、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社、京都大学の協力で行われたものである。

文 献

- [1] Toshihiro Hattori et al, "hierarchical Power Distribution and Power Management Scheme for a Single Chip Mobile Processor", Design Automation Conference 2006, pp.292-295, Jul. 2006
- [2] 大久保直昭 他, "細粒度動的スリープ制御による動作時リーク電力低減手法", 情報処理学会 DA シンポジウム 2006, pp.199-204, 2006 年 7 月
- [3] 武田清大 他, "走行時パワーゲーティングを適用した低消費電力乗算器の物理設計と試作", 電子情報通信学会研究報告 VLD2006-74, pp.13-18, 2006 年 11 月
- [4] 中村宏 他, "革新的電源制御による超低消費電力高性能システム LSI の構想", 電子情報通信学会研究報告 ICD2007-30, pp.79-84, 2007 年 5 月
- [5] 関直臣 他, "MIPS R3000 における細粒度動的スリープ方式の提案", 情報処理学会 DA シンポジウム 2007, pp.91-96, 2007 年 8 月
- [6] <http://www.sequencedesign.com/>
- [7] 中田光貴 他, "ランタイムパワーゲーティングを適用した回路での検証環境と電力見積もり手法の構築", 電子情報通信学会研究報告 VLD2007, 2008 年 1 月