

ランタイムパワーゲーティングを適用した回路での 検証環境と電力見積もり手法の構築

中田 光貴[†] 白井 利明[†] 香嶋 俊裕[†] 武田 清大[†]
宇佐美 公良[‡] 関 直臣[‡] 長谷川 揚平[‡] 天野 英晴[‡]

[†]芝浦工業大学 〒135-8548 東京都江東区豊洲 3-7-5

[‡]慶応義塾大学 〒223-8522 神奈川県横浜市港北区日吉 3-14-1

E-mail: †{m107064, m107036, m106029, m106066, usami}@sic.shibaura-it.ac.jp,

‡{seki, hasegawa, hunga}@am.ics.keio.ac.jp

あらまし ランタイムパワーゲーティング技術(Run-Time Power Gating :RTPG)を適用した回路の論理検証は、重要な課題の一つである。一般的な検証環境では、ネットリストにパワースイッチセルを含んでいるため、ゲートレベルシミュレーションを実行することが出来ない。本稿では、パワースイッチのための論理モデリングや RTPG 適用回路のシミュレーション手法を提案する。さらに、提案したシミュレーション手法や新たなマクロモデリングをベースとした電力見積もり手法について述べる。RTPG を適用した ALU の電力見積もり精度は、トランジスタレベルシミュレーションと比較し 10%以内であった。

キーワード MTCMOS 回路, パワーゲーティング, 低消費電力, 検証環境

Development of verification and power estimation methodology for circuits with Run Time Power Gating

Mitsutaka NAKATA[†], Toshiaki SHIRAI[†], Toshihiro KASHIMA[†], Seidai TAKEDA[†],
Kimiyoishi USAMI[†], Naomi SEKI[‡], Yohei HASEGAWA[‡], and Hideharu AMANO[‡]

[†]Shibaura Institute of Technology 3-7-5 Toyosu, Koto-ku, Tokyo, 135-8548 Japan

[‡]Keio University 3-14-1 Hiyoshi, Minatokitaku, Yokohama-shi, Kanagawa, 223-8522 Japan

E-mail: †{m107064, m107036, m106029, m106066, usami}@sic.shibaura-it.ac.jp,

‡{seki, hasegawa, hunga}@am.ics.keio.ac.jp

Abstract

When applying Run-Time Power Gating (RTPG) to a design, logic verification is one of the major problems. Gate-level simulation cannot be carried out in the conventional verification environment because logic netlist includes power switch cells. In this paper, we propose logic modeling for a power switch and simulation methodology for power-gated circuits. In addition, we present about power estimation technique based on the proposed simulation methodology and the novel macro-modeling. Evaluation at ALU with RTPG showed that the accuracy of the estimated power was within 10% against the transistor-level simulation.

Keyword MTCMOS circuits, Power Gating, Power Dissipation, Development of verification

1. はじめに

LSIは、MOSトランジスタの微細化技術の進歩により、高性能化・多機能化を実現してきた。

従来、消費電力の割合はダイナミック電力が大半を占めていたが、トランジスタの微細化と電源電圧の減少により、LSIの消費電力に含まれるリーク電流の割

合が急激に増加している。消費電力を抑えるには、ダイナミック電力と待機時リーク電力だけでなく、動作時リーク電力の低減も対策が必要となる。

リーク電力を低減する技術に、トランジスタの駆動電圧の閾値差を利用し、回路の待機時に電源遮断を行うパワーゲーティング技術(Power Gating, PG)がある。

この技術を応用し、動作時リーク電力を低減させるために、時間的により短い粒度の単位でスリープ制御を行うランタイムパワーゲーティング (Run-Time Power Gating, RTPG) がある [1]。この技術を演算器に適用し、演算のオペランド値によっては動作する必要が無い回路部分を細粒度でスリープさせることにより、動作時リーク電力の低減効果を得ることができる [2]。

本稿では、科学技術振興機構 (JST) の戦略的創造研究推進事業 (CREST タイプ) による、東大・慶応・農工大・芝浦工大の共同研究 [3] で、RTPG を適用した CPU コアの設計・試作を行った際に構築した検証環境及び電力見積もり手法の提案と評価を述べる。

2. パワーゲーティング

PG 回路の中で、本稿では Footer 型 MTCMOS 回路を使用する。これは、論理回路部に低閾値 nMOS トランジスタを、論理回路部とグランドとの間にパワースイッチとして高閾値 nMOS トランジスタを挿入する。このパワースイッチを ON すると回路は動作し、OFF するとスリープして待機時のリーク電力を低減できる。論理回路部とパワースイッチを接続する配線を仮想グランド線 (Virtual Ground Line :以降 VGND 線) と呼ぶ。Footer 型 MTCMOS 回路の構成を図 1 に示す。

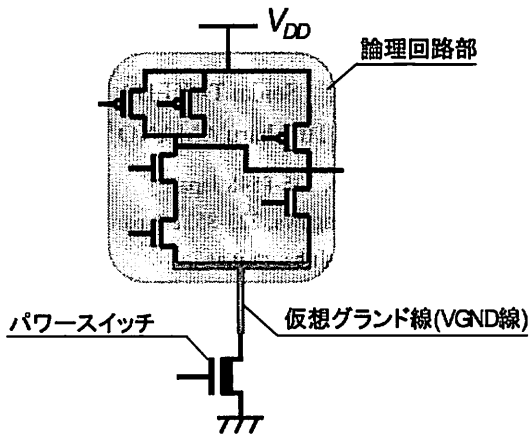


図 1. Footer 型 MTCMOS 回路の構成

スリープ中、PG 回路の出力配線は中間電圧となり、直接別の論理回路部の入力配線に接続した場合、貫通電力が発生する恐れがある。そこで、貫通電力の発生を防ぐため、アイソレーションセルを間に挿入する。アイソレーションセルにはいくつかの種類があるが、回路動作時にはバッファとして動作し、スリープ時には '0' を出力する形式を採用した [4]。

3. 設計検証手法

3.1. RTPG 適用設計における検証環境の問題点

RTPG 適用回路の設計を行う際、通常の CMOS 回路の設計フローにはないパワースイッチやパワースイッチドライバの挿入、パワースイッチ最適化などの設計工程を追加する必要がある。またそれに伴い、新たに追加した工程で正しく設計が完了したか各段階において検証を行う必要がある。

設計・試作を行った際の設計・検証フローを図 2 に示す。

HDL による論理記述の検証を RT レベルで行い、論理合成後のネットリストをゲートレベルシミュレーションで検証するのが通常の CMOS 回路設計での検証フローである。ところが RTPG 適用回路の場合、その後の設計フローで作られるパワードメイン分割・RTPG 回路を適用したネットリスト、さらにはパワースイッチ最適化後、再配線を施したネットリストについては、通常のゲートレベルシミュレーション検証環境では行うことができない。その原因として、RTPG を適用したネットリストにはパワースイッチと VGND 線が存在する。通常のゲートレベルシミュレーションにはグランドが存在しないためシミュレーションを行なうことが出来ない。

そのため、RTPG 適用回路を検証するには、新たにこれらに対応した検証環境を構築する必要がある。

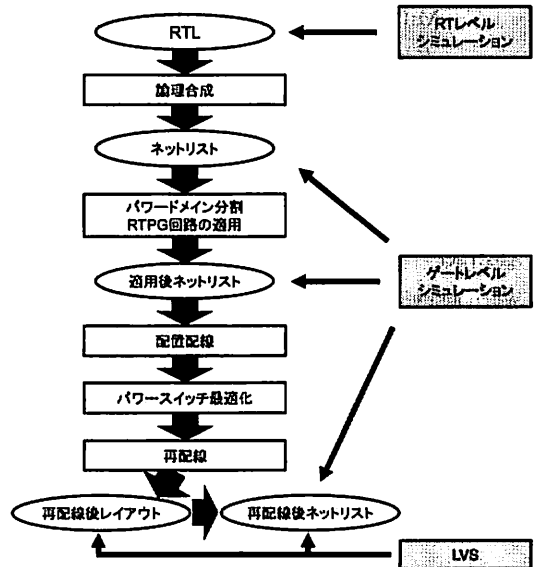


図 2. RTPG 適用回路の設計・検証フロー

3.2. 検証環境構築

通常、ゲートレベルシミュレーションを行なう際にスタンダードセルの動作を記述したゲートレベルシミュレーションのシミュレーション用ライブラリファイルを読み込みで行なう。

今回、このライブラリファイルを図3に示すような形式で動作を模擬するようにライブラリファイルを作成した。

RTPG 適用設計を行った場合、使用されるスタンダードセルは以下の3種類に分類することが出来る。論理回路部の Logic Cell、回路の ON/OFF を行う Power Switch Cell と回路がスリープした際の出力を固定する Isolation Cell である。これら3種類の動作を模擬するように図3のような形式でシミュレーション用ライブラリを作成した。

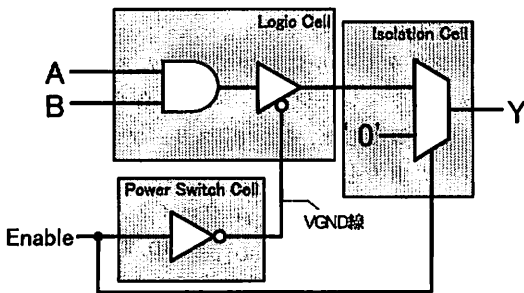


図 3. RTPG に対応した AND 論理の構成

(1) Logic Cell

セルの後段にスリーステートバッファを挿入する。これは、パワースイッチから出されるスリープ制御信号により動作するかスリープか判断する機構である。Enable 信号が'0'の場合、通常のバッファとして機能するので、入力値がそのまま出力される。Enable 信号が'1'の場合、出力値は'Z'になる。

(2) Power Switch Cell

パワースイッチセルは Enable 信号により、回路の状態を動作状態かスリープ状態にするセルである。本手法ではインバータの動作を用いて模擬する。インバータで模擬する利点は、シミュレーション時に VGND が正しくスイッチングしているのかを検証できることである。また、パワースイッチがスイッチングすることにより、パワースイッチセルからの出力が繋がっている Logic Cell 部のスリーステートバッファからの出力が動作時では通常の出力、スリープ時では'Z'になる。これにより、動作時およびスリープ時を模擬できる。

(3) Isolation Cell

動作時・スリープ時の出力を選択するマルチプレクサ(アイソレーションセル)を挿入する。回路動作時は、Logic Cell からの出力をそのまま出力し、スリープ時は、スリーステートバッファからの論理は'Z'が出されるため、不正な値が伝播しないよう固定値として'0'を出力する。

実際の回路動作においても、スリープ中は出力が中間電位に浮くため出力を固定する動作を模擬できる。

上記(1),(2),(3)で述べた形式で、設計・試作で使用した MTCMOS セルの種類全てのシミュレーション用ライブラリを作成した。

以上により、ゲートレベルにおける検証環境を構築できた。また、再配線後レイアウトの電源ショート等を発見出来る様、LVS 環境も構築した。

4. 提案環境での

ゲートレベルシミュレーション結果

今回、作成したシミュレーション用ライブラリファイルを用いて RTPG を適用した回路 ALU のゲートレベルシミュレーションを行なった。

例として、入力値'0000_FFFF'と'0000_0001'の符号無し加算を行い、'0001_0000'を出力する仕様とした。非適用回路で実行したシミュレーション波形を図 4.1. に、適用回路で実行したシミュレーションの波形を図 4.2. に示す。

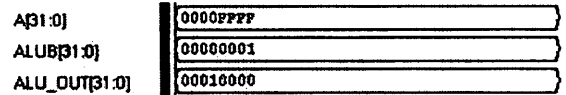


図 4.1. 非適用回路のシミュレーション波形

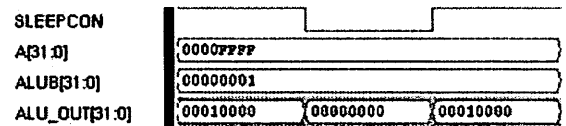


図 4.2. 適用回路のシミュレーション波形

非適用回路の場合、入力値は不変であるため、出力値も常に同じ値を保っていることが判る。そこで、適用回路ではある期間スリープ制御信号(SLEEPCON)を'0'にし、スリープ期間を設けた。波形を確認すると、スリープ期間の出力値は'0000_0000'になっており、スリープ時の仕様をみたしている。よって、シミュレーション用ライブラリファイルを RTPG に対応させることで、ゲートレベルの検証環境を構築できた。

5. 電力見積もり手法

5.1. 電力評価方法の問題点

RTPG 適用回路でトランジスタレベルの電力評価を行う際、演算時間の長さが問題となる。トランジスタの状態遷移が複雑であることが理由として挙げられる。そのため、回路が大規模になるに従って、演算時間が大幅に増加し、効率的な電力評価が行えない。

そこで、マクロモデルを用いて電力を状態毎に簡易的に見積もることで、演算時間を短縮し、効率的な電力評価を行える電力見積もり手法を提案する。

5.2. 電力見積もり手法の提案

回路の動作時・スリープ時の電力動向は図5のようになる[4]。これから見られる電力の種類を区別すると、以下のようになる。

- ・ 動作時のダイナミック及びリーク電力
- ・ スリープ時のダイナミック及びリーク電力
- ・ スリープイン時オーバーヘッド電力
- ・ ウェイクアップ時オーバーヘッド電力

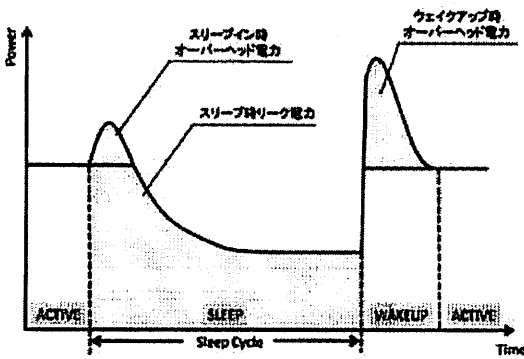


図5. 動作時・スリープ時の電力

これらの電力見積もりを計算可能な方法は2つに分類される。動作時電力とスリープ時のダイナミック電力は、Synopsys社のPower Compilerで算出できる。一方、スリープ時のリーク電力と各オーバーヘッド電力は、独自に考案した電力計算プログラムで導き出す。最終的にその2つの計算方法から出された電力を足し合わせることで、ゲートレベルシミュレーションに近い、正確な電力見積もりを行える。

5.2.1. Power Compiler

適用回路の動作時のダイナミック電力及びリーク電力を求める手法について述べる。

Power Compilerは、スイッチング頻度情報(SAIF)を読み込ませることで、スイッチング頻度に合わせた電力計算を行う。前述したRTPG適用後のゲートレベルシミュレーションを用いてスイッチング頻度を取得し、

Power Compilerに読み込まれることで求める。また、スリープのリーク電力を除くために、Power Compilerに読み込ませるテクノロジライブラリのリーク電力を状態依存で記述するように加工し、スリープ時リーク電力を'0'になるようにした。

ここで、スリープ時にRTPG適用回路の中の適用外部分には電力が発生するので、Power Compilerで求められる電力に含むものとする

パワースイッチの駆動に用いられるパワースイッチドライバ(PSD)の電力は、スリープ時にもダイナミック電力として発生することから、Power Compilerで求める電力値に含まれる。

5.2.2. 電力計算プログラム

残りのスリープ時リーク電力、スリープイン時オーバーヘッド電力、ウェイクアップ時オーバーヘッド電力について、電力計算プログラムを用いた電力見積もり手法を解説する。

トランジスタレベルにおいて特定のスリープサイクル間隔でシミュレーションを行い、各サイクルをエネルギー値で算出した。そこで、スリープサイクル数*i*の平均リーク電力を求めるため、スリープ時の適用回路のリークエネルギー E_{leak_i} 、ウェイクアップ時のオーバーヘッドエネルギー E_{wake_i} 、PSD電力 P_{PSD_i} 、スリープ期間 T_i を用いて以下の式ができる。

$$P_i = \{(E_{leak_i} + E_{wake_i}) / T_i\} - P_{PSD_i}$$

PSD電力は、スリープ時にも発生するダイナミック電力であるため、リーク電力のみを表わすこの式からは除外しなければならない。

スリープサイクル数の上限は、リーク電力が低減し定常状態になり始めた近傍値である1000サイクルまでとした。1000サイクル以上のときは、リークがほぼ一定になるので1000サイクルの値を使用する。また、ここで求めた P_i に対して線形補間を適用し、1サイクル毎の平均リーク電力を割り出した。

ここまでの過程を、RTPGを適用したALUに施し、スリープサイクル数毎の平均リーク電力として図6に示す。

次に、実際に回路をスリープさせた時に、そのスリープ期間が全スリープ期間に占める割合を求める。全スリープ期間を T_{all} 、 T_i のスリープ期間が現れた回数を n_i とすると、そのスリープ期間の出現頻度 R_i は、

$$R_i = T_i \times n_i / T_{all}$$

となる。

スリープ時リーク電力の総合計を計算するには、スリープ期間 T_i の平均電力 P_i にそのスリープ期間の出現頻度 R_i を掛けた値を、スリープ期間毎に合計すればよい。よって、スリープ時リーク電力の総合計 P_{sleep} は、

$$P_{sleep} = \sum_i (P_i \times R_i)$$

そして、Power Compiler によって見積もられた動作時電力 P_{active} とスリープ時リーク電力を足した値が、全体の電力 P_{total} となる。

$$P_{total} = P_{active} + P_{sleep}$$

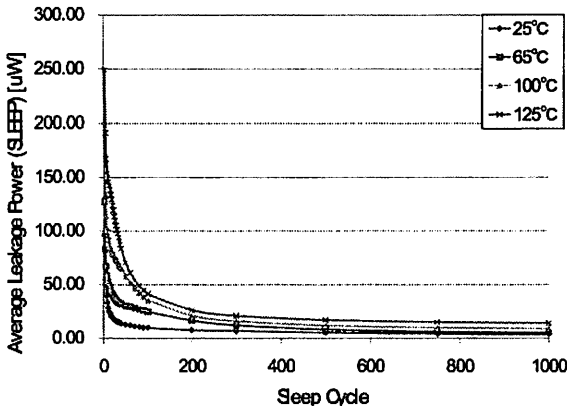


図 6. スリープサイクル数毎の平均リーク電力

5.3. 電力見積もり手法の評価

電力見積もり手法の有効性を示すため、先程求めた全体電力とゲートレベルシミュレーションで算出した電力を比較し、どの程度の誤差範囲に収まるか検証し、評価を行った。

検証のため、RTPG を適用した ALU に対し、電力見積もり手法で電力を計算した。表 1 のように適当なサイクルで①→②→③…のように動作・スリープを合計 200 サイクル繰り返し、その時発生した電力を求めていく。入力ベクタは固定値とし、温度別 (25°C, 65°C, 100°C, 125°C) に取得した。ただし、動作周波数は 200MHz で動作するものとし、1 サイクル 5ns で換算する。

図 7 は、電力計算プログラムとトランジスタレベルシミュレーションとして Synopsys 社の HSIM で算出した合計電力のグラフである。2 つの誤差をグラフの上部にそれぞれ示す。

表 1. ベクタの状態と遷移時間

状態	状態を保持する時間[ns]	サイクル数
① active	30	6
② sleep	50	10
③ active	80	16
④ sleep	500	100
⑤ active	150	30
⑥ sleep	20	4
⑦ active	40	8
⑧ sleep	130	26

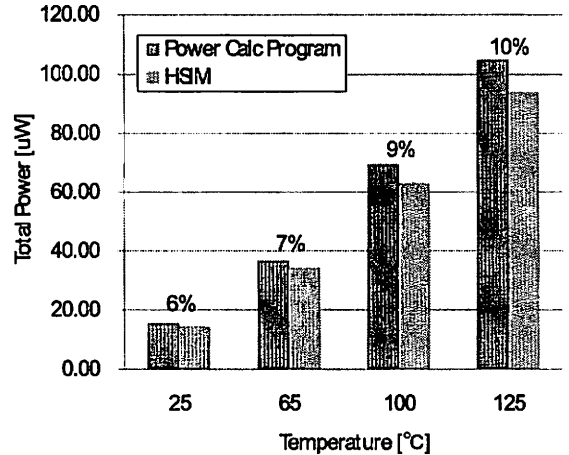


図 7. 合計電力の比較

合計電力を比較すると、電力計算プログラムが HSIM の電力より大きく現れた。その差は温度毎に広がり、25°C では 6%、125°C になると 10% の誤差が発生することが分かった。

予めスリープサイクル数毎のリーク電力を求めておくことで、トランジスタレベルシミュレーションによる膨大な演算時間を削減でき、高速に電力見積もりを行えた。また、誤差がトランジスタレベルシミュレーションと比べ 10% 以内に収まったことから、電力見積もり手法として有効であると確認できた。

6. むすび

ランタイムパワーゲーティングを適用した回路でゲートレベルシミュレーションや LVS を動作させることができる検証環境を構築した。また、高速に電力評価を行える電力見積もり手法を提案・評価を行った。その結果、電力見積もり精度はトランジスタレベルシミュレーションの結果と比較し 6~10%程度の誤差であった。

謝辞

本研究は、科学技術推進機構（JST）の戦略的創造研究推進事業（CREST）における研究領域「情報システムの超低消費電力化を目指した技術革新と統合化技術」の研究課題「革新的電源制御による次世代超低消費電力高性能システム LSI の研究」による。

本研究は、東京大学大規模集積システム設計教育研究センターを通し、株式会社半導体理工学研究センター、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社、京都大学の協力で行われたものである。

参考文献

- [1] 大久保直昭 他, " 細粒度動的スリープ制御による動作時リーク電力低減手法", 情報処理学会 DA シンポジウム 2006, pp.199-204, 2006 年 7 月.
- [2] 武田清大 他, " 走行時パワーゲーティングを適用した低消費電力乗算器の物理設計と試作", 電子情報通信学会研究報告 VLD2006-74, 2006 年 11 月
- [3] 中村宏 他, " 革新的電源遮断による超低消費電力高性能システム LSI の構想", 電子情報通信学会研究報告 ICD2007-30, pp.79-84, 2007 年 5 月
- [4] 白井利明 他, " ランタイムパワーゲーティングを適用した MIPS R3000 プロセッサの実装設計と評価", 電子情報通信学会研究報告 VLD2007, 2008 年 1 月
- [5] <http://www.cadence.co.jp/>